

はじめに

本リファレンスガイドは、“MachXO2™ デバイスのユーザフラッシュメモリとハードマクロ制御機能の使用ガイド (Using User Flash Memory and Hardened Control Functions in MachXO2 Devices Usage Guide)” の補足としての位置づけであり、以下の内容について記述します。

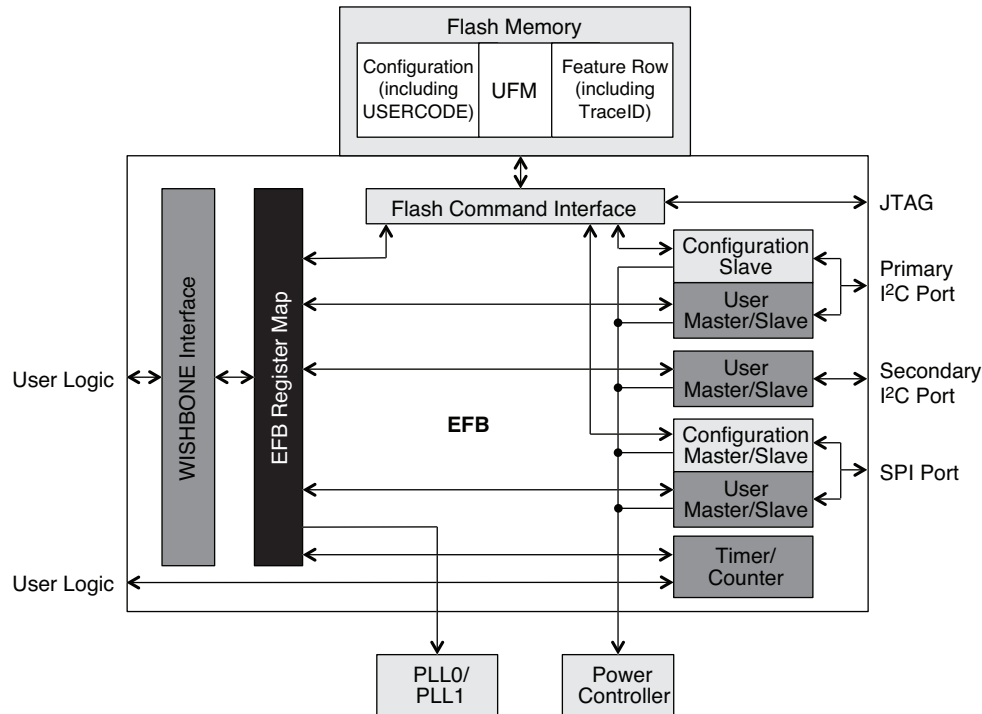
- ・ WISHBONE プロトコル
- ・ EFB レジスタマップ
- ・ コマンドシーケンス
- ・ 例

MachXO2 FPGA ファミリは高性能で低消費電力の FPGA ファブリックと、ハードマクロ化制御機能、及びオンチップ・ユーザフラッシュメモリ（以下 UFM）を集積しています。ハードマクロ制御機能によりデザインの実装が容易になり、LUT やレジスタ、クロック及び配線などの汎用リソースの使用が節約されます。ハードマクロ制御機能は物理的には EFB（Embedded Function Block、組み込み機能ブロック）内にあります。全 MachXO2 デバイスに EFB モジュールが集積されており、次の制御機能が含まれています。

- ・ I²C コアが二つ
- ・ SPI コアが一つ
- ・ 16 ビット・タイマ / カウンタが一つ
- ・ 以下を含むフラッシュメモリへのインターフェイス
 - ユーザフラッシュメモリ（UFM、MachXO256 を除く）
 - コンフィグレーション・ロジック
- ・ PLL のダイナミック・パラメータ設定へのインターフェイス
- ・ I²C や SPI を通してのオンチップ・パワーコントローラとのインターフェイス

図 17-1 に EFB アーキテクチャ及び FPGA コアロジックへのインターフェイスを示します。

図 17-1. 組み込み機能ブロック (EFB)



EFB レジスタマップ

EFB モジュール内のレジスタマップによって、ハードマクロは WISHBONE バスインターフェイスを通してユーザロジックへのリード / ライトができます。それぞれのハードマクロ機能には、8 ビットの専用データレジスタ及び制御レジスタがあります。ただし、UFM セクタとコンフィグレーション・ロジックは例外で、それらには同じ一組のレジスタでアクセスします。表 17-1 に EFB モジュールのレジスタマップをまとめます。PLL モジュール内にある PLL レジスタへのアクセスは、EFB WISHBONE リード / ライトサイクルを介して行います。

表 17-1. EFB レジスタマップ

アドレス (16 進)	ハードマクロ機能
0x00-0x1F	PLL0 ダイナミックアクセス ¹
0x20-0x3F	PLL1 ダイナミックアクセス ¹
0x40-0x49	I ² C プライマリ
0x4A-0x53	I ² C セカンダリ
0x54-0x5D	SPI
0x5E-0x6F	タイマ / カウンタ
0x70-0x75	フラッシュメモリ () UFM / コンフィグレーション
0x76-0x77	EFB 割り込みソース

1. MachXO2 デバイスの PLL 数は最大 2。PLL0 はアドレス範囲が 0x00 から 0x1F まで。PLL1 (該当する場合) は 0x20 から 0x3F まで。PLL コンフィグレーション・レジスタと使用法の詳細については TN1199, MachXO2 sysCLOCK? PLL Design and Usage Guide (MachXO2 sysCLOCK PLL デザインと使用法ガイド) を参照

表 17-1 で定義されていないアドレスへのアクセスは無効で、その結果は予測できません。EFB WISHBONE スレーブ・インターフェイスに対して、必ず有効なアドレスを指定しなければなりません。

WISHBONE バスインターフェイス

MachXO2 の WISHBONE バスは OpenCores 標準に準拠しており、FPGA ユーザロジックと EFB 機能ブロック間、並びに個々の EFB 機能ブロック間が接続されます。EFB WISHBONE スレーブ・インターフェイスと相互通信するために、ユーザロジック内に WISHBONE マスタ・インターフェイスまたは LatticeMico8™ ソフトプロセッサを置く必要があります。

図 17-2 のブロック図は、FPGA コアと EFB 間で使用される WISHBONE バス信号を示します。また、表 17-2 に各信号の詳細な定義を示します。

図 17-2. FPGA コアと EFB モジュール間の WISHBONE バスインターフェイス

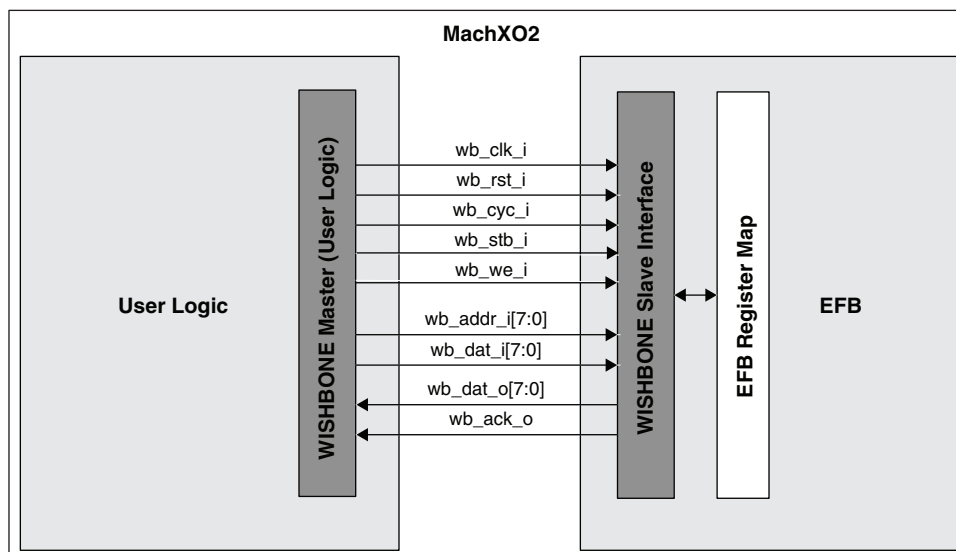


表 17-2. EFB モジュールの WISHBONE スレーブ・インターフェイス信号

信号名	I/O	ビット幅	記 述
wb_clk_i	入力	1	立ち上りエッジ有効のクロックで、EFB モジュール内の WISHBONE インターフェイス・レジスタ、及びハードマクロ機能によって使用される。クロック速度は最速 133 MHz まで対応。I2C ユーザスレーブやコンフィグ用スレーブとして用いる場合、クロック周波数が I2C インターフェイス周波数の 7.5 倍より大きい必要がある (I2C が 400kHz 動作の場合は >3.0MHz)
wb_rst_i	入力	1	アクティブ High の同期リセット信号。WISHBONE インタフェース・ロジックのみをリセットする。この信号はいかなるレジスタの値にも影響しない。進行中のバストランザクションにのみ影響する。次の WISHBONE トランザクションを行う前に、ネゲート後 1 μ 秒間待つこと
wb_cyc_i	入力	1	WISHBONE マスタによってアサートされるアクティブ High の信号。有効なバスサイクルが進行中であることを示す
wb_stb_i	入力	1	アクティブ High のストローブ入力信号。その WISHBONE スレーブが進行中のバストランザクションのターゲットであることを示す。EFB モジュールは、ストローブのアサートに対応してアクノレッジを返す
wb_we_i	入力	1	レベルセンシティブなライト / リード制御信号。Low はリード動作を示し、そして High はライト動作を示す
wb_adr_i	入力	8	8 ビット幅アドレス。EFB モジュールのレジスタマップからの特定のレジスタを選択するために使用される
wb_dat_i	入力	8	8 ビット幅データ入力パス。EFB モジュールのレジスタマップの特定のレジスタへバイトデータをライトするために使用される
wb_dat_o	出力	8	8 ビット幅データ出力パス。EFB モジュールのレジスタマップの特定のレジスタからバイトデータをリードするために使用される
wb_ack_o	出力	1	High アクティブの転送アクノレッジ信号で、EFB モジュールがアサートする。リクエストされた転送がアクノレッジされたことを示す

EFB とインターフェイスするためにユーザロジック内に WISHBONE マスターコントローラを置く必要があります。複数マスタ構成では、WISHBONE マスタ出力はユーザ定義のアービタで多重化します。LatticeMico8 ソフトプロセッサの場合は、マルチマスタバス構成を実装可能な Mico System Builder (MSB) プラットフォームを利用することもできます。2 つのマスタが同一サイクルでバスを要求した場合は、アービトレーション勝者の出力のみがスレーブ・インターフェイスに伝達されます。

EFB の WISHBONE バスは、WISHBONE 標準の “クラシック (Classic)” バージョンに対応しています。WISHBONE バスはオープンソース標準であるため、その全機能が実装されている、または必要とされるわけではありません。

- ・ タグ (Tag) は、EFB モジュールの WISHBONE スレーブ・インターフェイスではサポートされません。EFB はハードマクロ化されたブロックのため、これらの信号をユーザが追加することはできません。
- ・ データバスは 1 バイト幅ですので、EFB モジュールの WISHBONE スレーブ・バスインターフェイスにバイトセレクト信号 (sel_i, sel_o) は不要です。
- ・ EFB WISHBONE スレーブ・インターフェイスはオプションのエラー及びリトライアクセス終端信号に対応していません。無効アドレスにアクセスされた場合でも、スレーブは単純に wb_ack_o 信号のアサートで応答します。ユーザは有効なアドレス範囲を超えないようにしなければなりません。

WISHBONE ライトサイクル

図 17-3 に EFB WISHBONE スレーブ・インターフェイス側から見たライトサイクルの波形を示します。1 回のライトサイクル中に、1 バイトデータのみが WISHBONE マスタから EFB ブロックに書き込まれます。ライト動作には、最低 3 クロックサイクル必要です。

クロックエッジ Edge0 において、マスタはアドレスとデータ、及びアサートの各制御信号を更新します。このサイクル中に次のことを行います。

- ・ wb_adr_i [7:0] にアドレスを出力する
- ・ EFB ブロックにライトするデータを wb_dat_i [7:0] に出力する
- ・ ライトイネーブル wb_we_i 信号をアサートして、ライトサイクルであることを示す
- ・ wb_cyc_i をアサートして、サイクルの開始を示す
- ・ wb_stb_i をアサートして、特定のスレーブモジュールを選択する

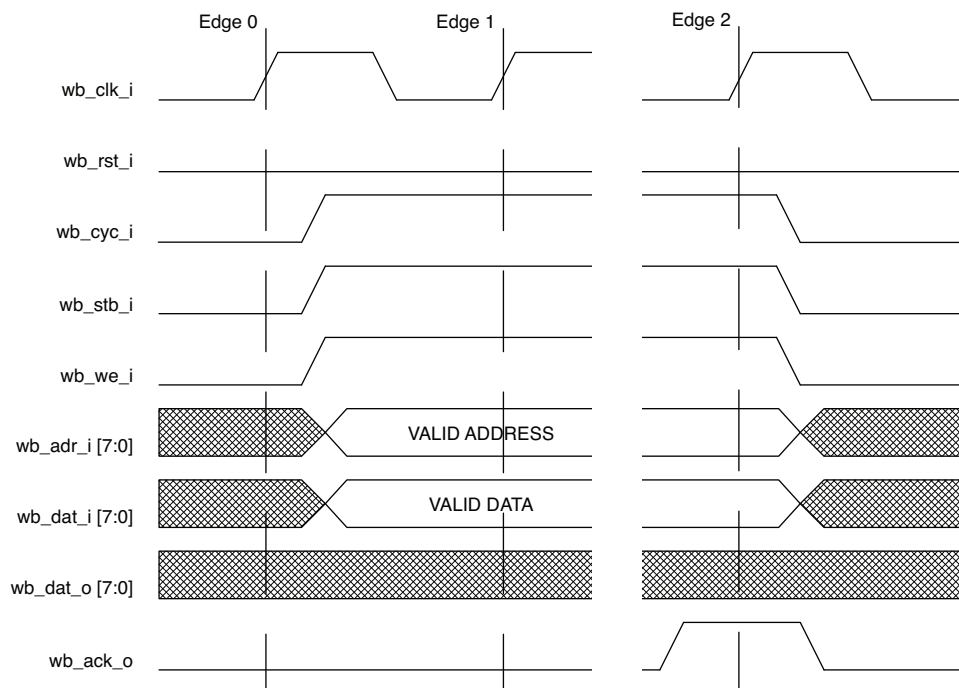
クロックエッジ Edge1 において、WISHBONE スレーブはマスタによって出力された信号入力をデコードします。このサイクル中に次のことが行われます。

- ・ スレーブはアドレス線 wb_adr_i [7:0] に出力されたアドレスをデコードする
- ・ スレーブはデータ線 wb_dat_i [7:0] に出力されたデータをラッチする
- ・ マスタは wb_ack_o 線がアクティブ High レベルになるのを待ち、High が検出されたら次のクロックエッジでサイクルを終了する準備を整える
- ・ EFB は wb_ack_o 信号のアサート前に不定長のウェイトステートを挿入するかもしれない
- ・ スレーブは wb_ack_o 信号をアサートする

クロックエッジ Edge2 において、次のことが行われます。

- ・ スレーブは wb_dat_i [7:0] データ線で提供されたデータをラッチする
- ・ マスタはストローブ信号 wb_stb_i、サイクル信号 wb_cyc_i、及びライトイネーブル信号 wb_we_i をネゲートする
- ・ スレーブはマスタによるストローブ信号のネゲートに応答して、確認応答信号 wb_ack_o をネゲートする

図 17-3. WISHBONE バスのライト動作



WISHBONE Read Cycle

図 17-4 に EFB WISHBONE スレーブ・インターフェイス側から見たリードサイクルの波形を示します。1 回のリードサイクル中に、1 バイトデータのみが WISHBONE マスタによって EFB ブロックから読み出されます。リード動作には、最低 3 クロックサイクル必要です。

クロックエッジ Edge0 において、マスタはアドレス、データ及びアサートの各制御信号を更新します。このサイクル中に次のことを行います。

- ・ `wb_adr_i` [7:0] にアドレスを出力する
- ・ ライトイネーブル `wb_we_i` 信号をネゲートして、リードサイクルであることを示す
- ・ `wb_cyc_i` をアサートして、サイクルの開始を示す
- ・ `wb_stb_i` をアサートして、特定のスレーブモジュールを選択する

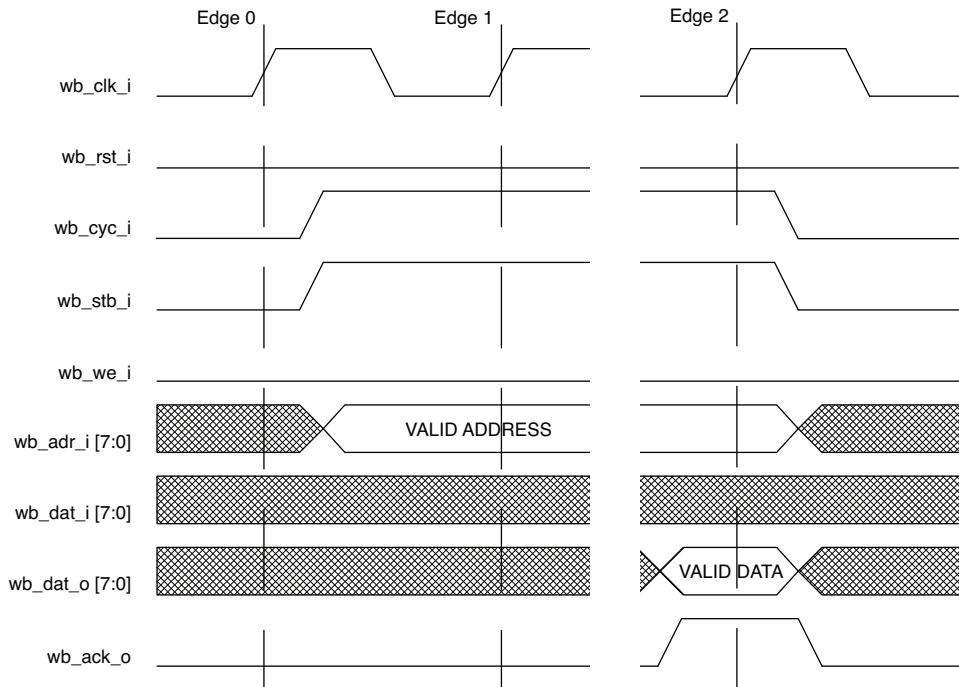
クロックエッジ Edge 1 において、WISHBONE スレーブはマスタによって出力された信号入力をデコードします。このサイクル中に次のことが行われます。

- ・ スレーブはアドレス線 `wb_adr_i` [7:0] で与えられたアドレスをデコードする
- ・ マスタは EFB WISHBONE スレーブからデータ線 `wb_dat_o` [7:0] に出力されるデータを、次のクロックエッジでラッチする準備をする
- ・ マスタは `wb_ack_o` がアクティブ High レベルになるのを待ち、High が検出されたら次のクロックエッジでサイクルを終了する準備をする
- ・ EFB は `wb_ack_o` をアサートする前にウェイトを挿入するかもしれません。これによってサイクルの速度を調整できます。ウェイトステート数に制限はありません
- ・ スレーブは有効データを `wb_dat_o` [7:0] データ線に出力する
- ・ スレーブがストローブ信号 `wb_stb_i` に応答する `wb_ack_o` 信号をアサートする

クロックエッジ Edge 2 において次のことが行われます。

- ・ マスタが `wb_dat_o` [7:0] データ線で提供されたデータをラッチする
- ・ マスタがストローブ信号 `wb_stb_i` 及びサイクル信号 `wb_cyc_i` をネゲートする
- ・ スレーブがマスタによるストローブ信号のネゲートに応答して、確認応答信号 `wb_ack_o` をネゲートする

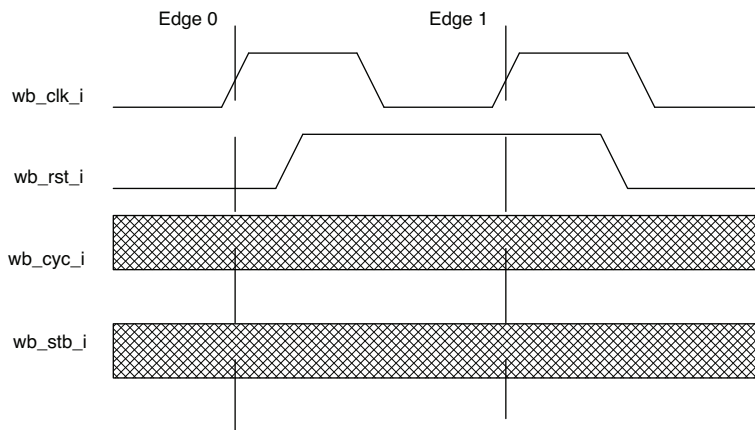
図 17-4. WISHBONE バスのリード動作



WISHBONE リセットサイクル

図 17-5 に同期信号 **wb_rst_i** の波形を示します。リセット信号のアサートでは、WISHBONE インターフェイス・ロジックがリセットされるだけです。この信号が EFB レジスタマップ内のレジスタの内容に影響することはありません。影響が及ぶのは進行中のバストランザクションのみです。

図 17-5. EFB WISHBONE インターフェイスのリセット



wb_rst_i 信号は任意の時間長、アサート可能です。

ハードマクロ I²C IP コア

I²C は、ボード内の複数デバイスとの通信に広く使われている 2 線式シリアルバスです。全ての MachXO2 デバイスに 2 個のハードマクロが含まれており、それぞれ “プライマリ (Primary)” 及び “セカンダリ (Secondary)” I²C IP コアと呼ばれます。両者のいずれも I²C マスタまたは I²C スレーブとして構成できます。2 個のコアの違いは、プライマリコアは I/O ピンが事前に割り当てられているのに対し、セカンダリコアのポートは任意の汎用 I/O に割り当てることができることです。またプライマリ I²C コアは UFM へのアクセス

と CFM のプログラミングに使用できます。しかしプライマリ I²C コアは、単一のデザインでは UFM/CFM かユーザファクションのどちらか一方にしか用いることはできません。スレーブ動作用にハードマクロ I²C コアをインスタンス化する際に、EFB の "wb_clk_i" 入力 はアクティブなクロック源に明示的に接続し、その周波数が I²C インターフェイス周波数の 7.5 倍より大きい必要があります (I²C が 400kHz 動作の場合は >3.0MHz)。

I²C レジスタ

両 I²C コアはともに、コントロール / コマンド / ステータス / データのレジスタセットを通して EFB WISHBONE インターフェイスと通信します。表 17-3 にレジスタ名とその機能を示します。これらのレジスタは EFB レジスタマップのサブセットになっています。

表 17-3. I²C レジスタ

プライマリ I ² C レジスタ名	セカンダリ I ² C レジスタ名	レジスタ機能	プライマリ I ² C アドレス	セカンダリ I ² C アドレス	アクセス
I2C_1_CR	I2C_2_CR	制御	0x40	0x4A	Read/Write
I2C_1_CMDR	I2C_2_CMDR	コマンド	0x41	0x4B	Read/Write
I2C_1_BR0	I2C_2_BR0	クロックプリスケール (分周)	0x42	0x4C	Read/Write
I2C_1_BR1	I2C_2_BR1	クロックプリスケール (分周)	0x43	0x4D	Read/Write
I2C_1_TXDR	I2C_2_TXDR	送信データ	0x44	0x4E	Write
I2C_1_SR	I2C_2_SR	ステータス	0x45	0x4F	Read
I2C_1_GCDR	I2C_2_GCDR	同報通知 (General Call)	0x46	0x50	Read
I2C_1_RXDR	I2C_2_RXDR	受信データ	0x47	0x51	Read
I2C_1_IRQ	I2C_2_IRQ	IRQ (割り込み要求)	0x48	0x52	Read/Write
I2C_1_IRQEN	I2C_2_IRQEN	IRQ イネーブル	0x49	0x53	Read/Write

注：特に指定しない限り、書き込み可能レジスタの全予約ビットには '0' が書かれなければなりません

表 17-4. I²C 制御 (プライマリ / セカンダリ)

I2C_1_CR / I2C_2_CR								0x40/0x4A
ビット	7	6	5	4	3	2	1	0
名称	I2CEN	GCEN	WKUPEN	(Reserved)	SDA_DEL_SEL[1:0]		(Reserved)	
デフォルト	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	—	R/W	R/W	—	—

注：本レジスタがライトされると I²C コアはリセットされます

I2CEN I²C システム・イネーブル (System Enable) ビット。本ビットは I²C コア機能をイネーブルする。I2CEN がクリアされている場合、I²C はディセーブルされて、アイドルステートに強制される

- 0: I²C 機能はディセーブル
- 1: I²C 機能はイネーブル

GCEN 同報通知応答イネーブル (General Call Response Enable) ビット。スレーブモードにおける同報通知応答をイネーブルする

- 0: ディセーブル
- 1: イネーブル

同報通知 (General Call) アドレスは "0000000" で定義され、7 ビットアドレス指定、10 ビットアドレス指定のどちらでも機能する。

WKUPEN	(スレーブアドレス一致による) Standby/Sleep からのウェイクアップをイネーブルするビット (Wake-up from Standby/Sleep Enable (by Slave Address matching))。本ビットがイネーブルされると、I ² C コアはスタンバイ / スリープからデバイスを起動するために、ウェイクアップ信号をオンチップ・パワーマネージャに送ることができる。本ウェイクアップ機能が有効なのは、スタンバイ / スリープモード中にスレーブアドレスがコールされる場合。 0: ディセーブル 1: イネーブル
SDA_DEL_SEL[1:0]	SDA 出力遅延の選択 (Output Delay (Tdel) Selection、図 17-15 参照) 00: 300ns (min) 300ns + 2000/[wb_clk_i (MHz)] (max) 01: 150ns (min) 150ns + 2000/[wb_clk_i (MHz)] (max) 10: 75ns (min) 75ns + 2000/[wb_clk_i (MHz)] (max) 11: 0ns (min) 0ns + 2000/[wb_clk_i (MHz)] (max)

表 17-5. I²C コマンド (プライマリ / セカンダリ)

I2C_1_CMDR / I2C_2_CMDR							0x41/0x4B	
ビット	7	6	5	4	3	2	1	0
名称	STA	STO	RD	WR	ACK	CKSDIS	(Reserved)	
デフォルト	0	0	0	0	0	1	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	—	—

STA	START (= 起動、又は ” 繰り返し ”START) 条件を生成する。マスタ動作
STO	STOP (= 停止) 条件を生成する。マスタ動作
RD	スレーブからリードを示す。マスタ動作
WR	スレーブへのライトを示す。マスタ動作
ACK	アクノレッジ・オプション。受信時の ACK 送信を選択 0: ACK を送出 1: NACK を送出
CKSDIS	クロック・ストレッチング (伸張) ディセーブル (Clock Stretching Disable)。 本デバイスはクロック・ストレッチングに対応しない (PCN #10A-13 を参照)。 本ビットは本レジスタへのライトアクセス時は常時 '1' とすること。

表 17-6. I²C クロック・プリスケール 0 (プライマリ / セカンダリ)

I2C_1_BR0 / I2C_2_BR0								0x42/0x4C
ビット	7	6	5	4	3	2	1	0
名称	I2C_PRESCALE[7:0]							
デフォルト ¹	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

1. ハードウェアのデフォルト値は、EFB コンポーネント・インスタンス化パラメータによって上書きされることがあります。次項を参照

表 17-7. I²C クロック・プリスケール 1 (プライマリ / セカンダリ)

I2C_1_BR1 / I2C_2_BR1								0x43/0x4D
ビット	7	6	5	4	3	2	1	0
名称	(Reserved)						I2C_PRESCALE[9:8]	
デフォルト ¹	0	0	0	0	0	0	0	0
アクセス	—	—	—	—	—	—	R/W	R/W

1. ハードウェアのデフォルト値は、EFB コンポーネント・インスタンス化パラメータによって上書きされることがあります。次項を参照

I2C_PRESCALE[9:0] I²C クロック・プリスケール値。I2CBR [9:8] へのライト動作が行われると、I²C コアがリセットされる。WISHBONE クロック周波数は (I2C_PRESCALE*4) で分周され、I²C バスが対応しているクロック周波数 (50KHz、100KHz、400KHz) まで下げられる。

注：マスタからの送信と異なり、スレーブ I²C バスのサポート最大速度は、実際は (WISHBONE クロック) /2048 です。例えば、スレーブ I²C を 50KHz で動作させるためには、WISHBONE クロック周波数は 102MHz にします。

注：I²C コアが EFB GUI の I2C タブで構成されたときに、IPexpress によってデジタル値が計算されます。この計算は WISHBONE クロック周波数及び I²C 周波数 (両方ともユーザが入力する値) に基づきます。分周器のデジタル値はデバイスのプログラミング中に MachXO2 にプログラムされます。電源起動後またはデバイスの再コンフィグレーション後に、データが I2C_1_BR1/0 レジスタ及び I2C_2_BR1/0 レジスタにロードされます。

レジスタ I2C_1_BR1/0 及び I2C_2_BR1/0 には、WISHBONE インターフェイスからリード / ライトアクセスを行います。デバイス動作中にこれらのクロックのプリスケール・レジスタを動的に更新できますが、I²C バス周波数に違反しないよう注意する必要があります。

表 17-8. I²C 送信データレジスタ (プライマリ / セカンダリ)

I2C_1_TXDR / I2C_2_TXDR								0x44/0x4E
ビット	7	6	5	4	3	2	1	0
名称	I2C_Transmit_Data[7:0]							
デフォルト	0	0	0	0	0	0	0	0
アクセス	W	W	W	W	W	W	W	W

I2C_Transmit_Data[7:0] I²C 送信データ。本レジスタには、データライト・フェーズで I²C バスに送信されるバイトが格納される。ビット 0 が LSB となり、最後に送信される。スレーブアドレスを送信する際、ビット 0 は R/W ビットを表す。

表 17-9. I²C ステータス (プライマリ / セカンダリ)

I2C_1_SR / I2C_2_SR								0x45/0x4F
ビット	7	6	5	4	3	2	1	0
名称	TIP ¹	BUSY ¹	RARC	SRW	ARBL	TRRDY	TROE	HGC
デフォルト	—	—	—	—	—	—	—	—
アクセス	R	R	R	R	R	R	R	R

1. R1 デバイスにおいては、これらのビットが有効になるまでに 1/2 SCK 周期の遅れが発生します。詳細については、"AN8086, Designing for Migration from MachXO2-1200-R1 to Standard (Non-R1) Devices (MachXO2-1200-R1 から MachXO2-1200 標準品への移行上の注意)" をご参照ください

TIP データバイト送信中 (Transmitting In Progress)。信号の同期が行われるため、TIP フラグは START 条件の直後に SCL 半サイクル分だけ遅延される。また注意が必

	要なのは、本ビットはコンフィグレーションのウェイクアップ後、及び最初の有効な I²C 送信開始前 (BUSY が Low の場合) に High となることで、バイト送信中を表さないためインジケータとしては無効。 1: バイト転送が進行中 0: バイト転送は完了
BUSY	I²C バスビジー。I²C バスが送信に使用されている。START 条件でセットされ、STOP でクリアされる。本ビットがセットされた場合に限り、他の全ての I²C SR ビットが有効な送信の有効なインジケータとして扱われる。 1: I²C バスはビジー 0: I²C バスはビジーでない
RARC	受信アクノレッジ (Received Acknowledge)。アドレススレーブから (マスタのライト中)、または受信マスタから (マスタのリード中) アクノレッジ応答を受信した。 1: アクノレッジは受信されなかった 0: アクノレッジが受信された
SRW	スレーブリード / ライト (Slave R/W)。送信または受信モードを示す。 1: マスタ受信 / スレーブ送信中 0: マスタ送信中 / スレーブ受信 注 ; SRW は TRRDY=1 となり、同期化のため最大 WISHBONE クロック 4 周期の遅延後に有効となる。SRW と TRRDY を同一の WISHBONE アクセスで評価しないこと。SRW ビットは、TRRDY が真となった後最低 4 周期 WISHBONE クロック周期後にチェックする。遅延については図 17-16 に表記あり。
ARBL	調停喪失 (Arbitration Lost)。コアがマスタモードで調停を喪失した。本ビットは割り込みを発生可能。 1: 調停喪失 0: 正常
TRRDY	トランスミッタ / レシーバ・レディ (Transmitter or Receiver Ready)。I²C 送信データレジスタが送信データを受信可能であるか、または I²C 受信データレジスタに受信データが格納されている (マスタ / スレーブモードと、SRW ステータスに依存)。本ビットは割り込みを発生可能。 1: トランスミッタやレシーバがレディ 0: トランスミッタやレシーバはレディでない
TROE	トランスミッタ / レシーバ・オーバランエラーまたは NACK 受信 (Transmitter/Receiver Overrun Error or NACK received)。送信または受信オーバランエラー (マスタ / スレーブモードと SRW ステータスに依存) が発生したか、アクノレッジが受信されない (RARC もセットされている場合のみ)。本ビットは割り込みを発生可能。 1: トランスミッタ / レシーバ・オーバラン検出、または NACK を受信した 0: 正常
HGC	ハードウェア同報通知受信 (Hardware General Call Received)。スレーブモードで、ハードウェア同報通知を受信した。同報通知データレジスタでは、対応するコマンドバイトを利用できる。本ビットは割り込みを発生可能。 1: スレーブモードでハードウェア同報通知を受信した 0: 正常

表 17-10. I²C 同報通知 (General Call) データレジスタ (プライマリ / セカンダリ)

I2C_1_GCDR / I2C_2_GCDR								0x46/0x50
ビット	7	6	5	4	3	2	1	0
名称	I2C_GC_Data[7:0]							
デフォルト	—	—	—	—	—	—	—	—
アクセス	R	R	R	R	R	R	R	R

I2C_GC_Data[7:0] I²C 同報通知データ (General Call Data)。本レジスタには、I²C バスの同報通知トランザクションの第 2 (コマンド) バイトが格納される。

表 17-11. I²C 受信データレジスタ (プライマリ / セカンダリ)

I2C_1_RXDR / I2C_2_RXDR								0x47/0x51
ビット	7	6	5	4	3	2	1	0
名称	I2C_Receive_Data[7:0]							
デフォルト	—	—	—	—	—	—	—	—
アクセス	R	R	R	R	R	R	R	R

I2C_Receive_Data[7:0] I²C 受信データ (Receive Data)。本レジスタには、リードデータ・フェーズ中に I²C バスからキャプチャされたバイトが格納される。ビット 0 が LSB で、最後に受信される。

表 17-12. I²C 割り込みステータス (プライマリ / セカンダリ)

I2C_1_IRQ / I2C_2_IRQ								0x48/0x52
ビット	7	6	5	4	3	2	1	0
名称	(Reserved)				IRQARBL	IRQTRRDY	IRQTROE	IRQHGC
デフォルト	—	—	—	—	—	—	—	—
アクセス	—	—	—	—	R/W	R/W	R/W	R/W

IRQARBL 調停喪失割り込みステータス (Interrupt Status for Arbitration Lost)
イネーブルされると、ARBL がアサートされたことを示す。本ビットに '1' をライトすると、割り込みがクリアされる。

- 1: 調停喪失割り込み
- 0: 割り込みなし

IRQTRRDY トランスミッタまたはレシーバ・レディの割り込みステータス (Interrupt Status for Transmitter or Receiver Ready)
イネーブルされると、TRRDY がアサートされたことを示す。本ビットに '1' をライトすると、割り込みがクリアされる。

- 1: トランスミッタまたはレシーバ・レディ割り込み
- 0: 割り込みなし

IRQTROE トランスミッタ / レシーバ・オーバランまたは NACK 受信割り込みステータス (Interrupt Status for Transmitter/Receiver Overrun or NACK received)。
イネーブルされると、TROE がアサートされたことを示す。本ビットに '1' をライトすると、割り込みがクリアされる。

- 1: トランスミッタ / レシーバ・オーバランまたは NACK 受信割り込み
- 0: 割り込みなし

IRQHGC ハードウェア同報通知受信の割り込みステータス (Interrupt Status for Hardware General Call Received)。

イネーブルされると、HGC がアサートされたことを示す。本ビットに '1' をライトすると、割り込みがクリアされる。

- 1: スレーブモードでハードウェア同報通知受信割り込み
- 0: 割り込みなし

表 17-13. I²C 割り込みイネーブル (プライマリ / セカンダリ)

I2C_1_IRQEN / I2C_2_IRQEN								0x49/0x53
ビット	7	6	5	4	3	2	1	0
名称	(Reserved)				IRQARBLN	IRQTRRDYEN	IRQTROEEN	IRQHGCEN
デフォルト	0	0	0	0	0	0	0	0
アクセス	—	—	—	—	R/W	R/W	R/W	R/W

IRQARBLN	調停喪失割り込みイネーブル (Interrupt Enable for Arbitration Lost)
	1: 割り込み生成イネーブル
	0: 割り込み生成ディセーブル
IRQTRRDYEN	トランスミッタまたはレシーバ・レディ割り込みイネーブル (Interrupt Enable for Transmitter or Receiver Ready)
	1: 割り込み生成イネーブル
	0: 割り込み生成ディセーブル
IRQTROEEN	トランスミッタまたはレシーバ・オーバラン割り込みイネーブル (Interrupt Enable for Transmitter/Receiver Overrun or NACK Received)
	1: 割り込み生成イネーブル
	0: 割り込み生成ディセーブル
IRQHGCEN	ハードウェア同報通知受信割り込みイネーブル (Interrupt Enable for Hardware General Call Received)
	1: 割り込み生成イネーブル
	0: 割り込み生成ディセーブル

図 17-6 に WISHBONE インターフェイスが起動するマスタ I²C のリード / ライト制御のフロー図を示します。以下のシーケンスはプライマリ I²C のものですが、セカンダリ I²C にも同じシーケンスが適用されます。

図 17-6. I2C マスタリード / ライト例 (WISHBONE 経由)

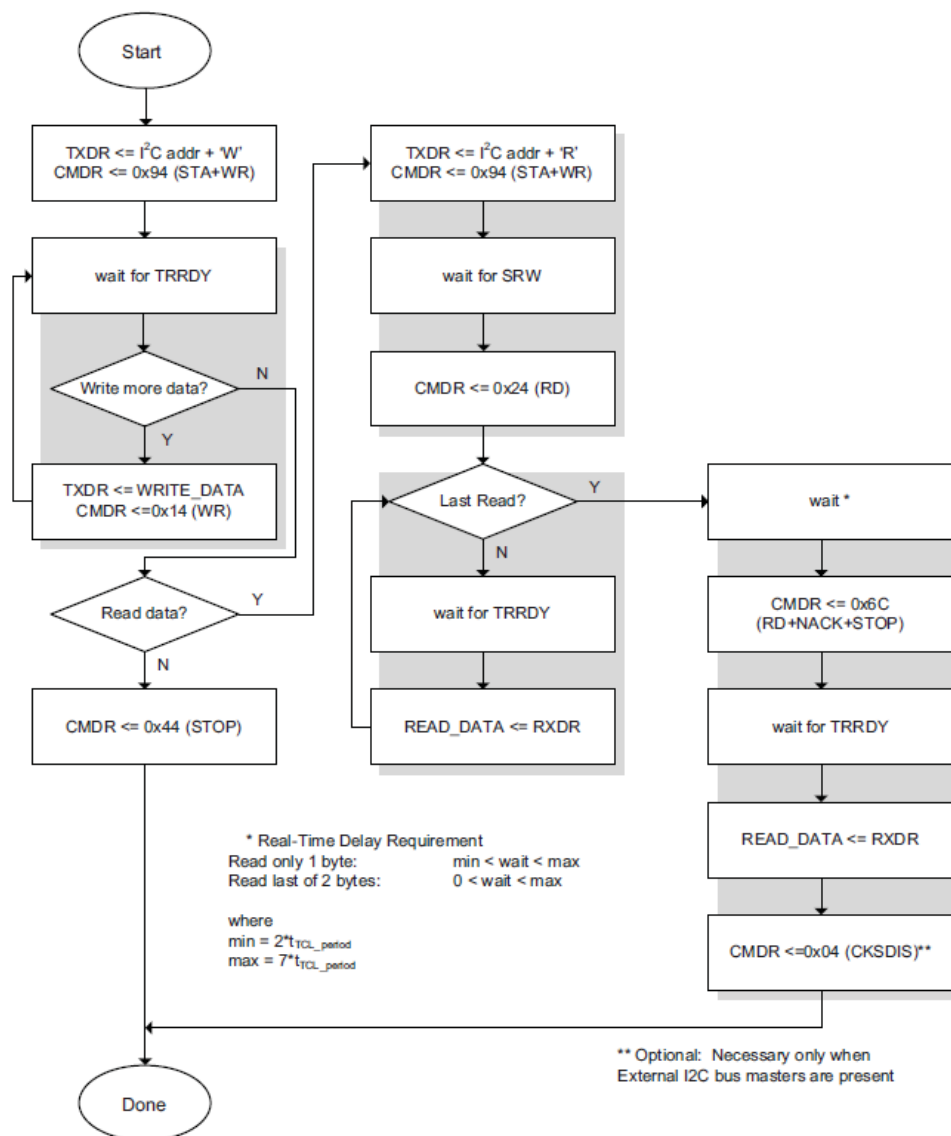
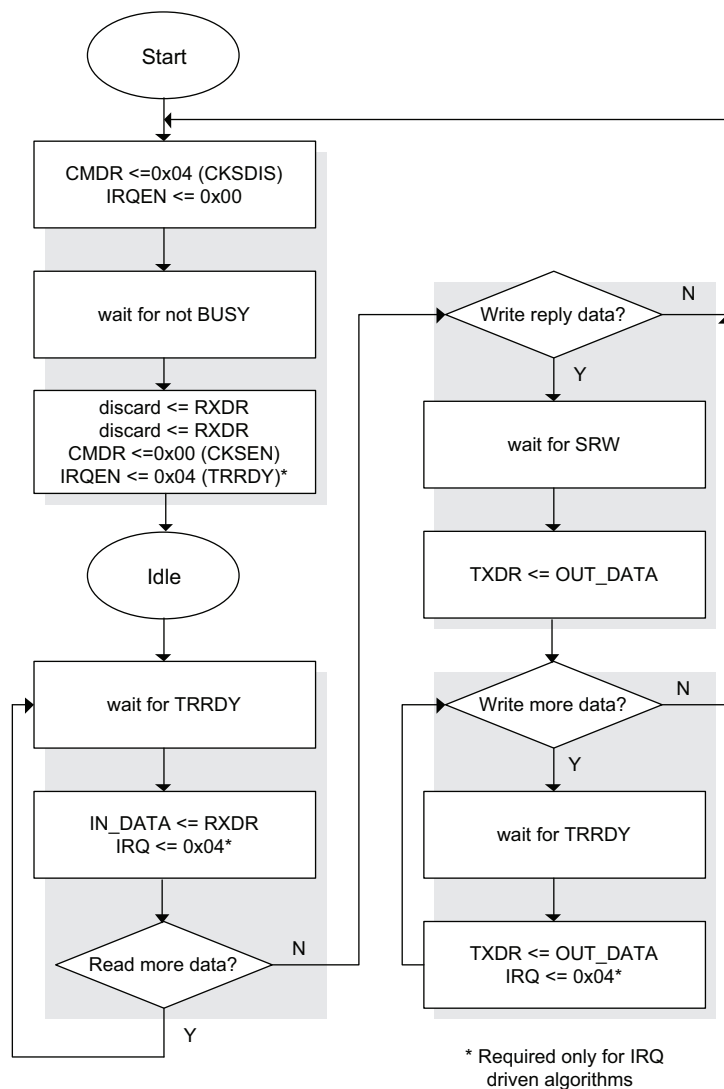


図 17-7 に WISHBONE インターフェイスから I²C スレーブデバイスへのリード / ライトのフロー図を示します。以下のシーケンスはプライマリ I²C のものですが、セカンダリ I²C にも同じシーケンスが適用されます。

図 17-7. I2C スレーブリード / ライト例 (WISHBONE 経由)



典型的な I2C トランザクション

前ページで示すマスターとスレーブ各フローで対応する、典型的な I²C バスプロトコル・トランザクションを図 17-8、図 17-9、および図 17-10 に示します。

図 17-8. 単純な I²C コマンド (*ISC_ERASE* など)

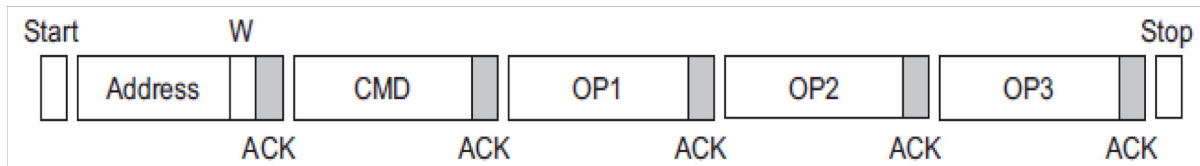


図 17-9. ライトデータのある I²C コマンド (*LSC_PROG_INCR_NV* など)

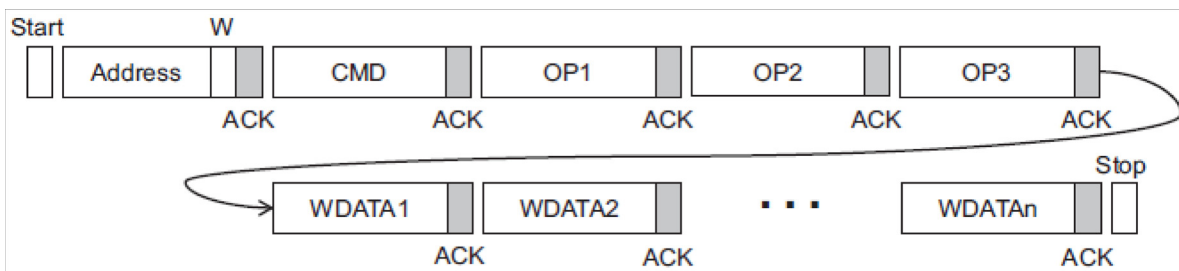
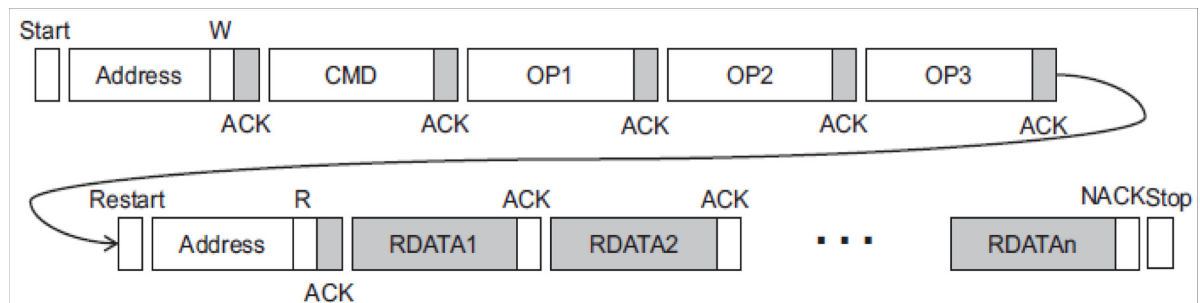


図 17-10. リードデータのある I²C コマンド (*LSC_READ_STATUS* など)



I²C 機能の波形

図 17-11. EFB マスタ～PC ライト

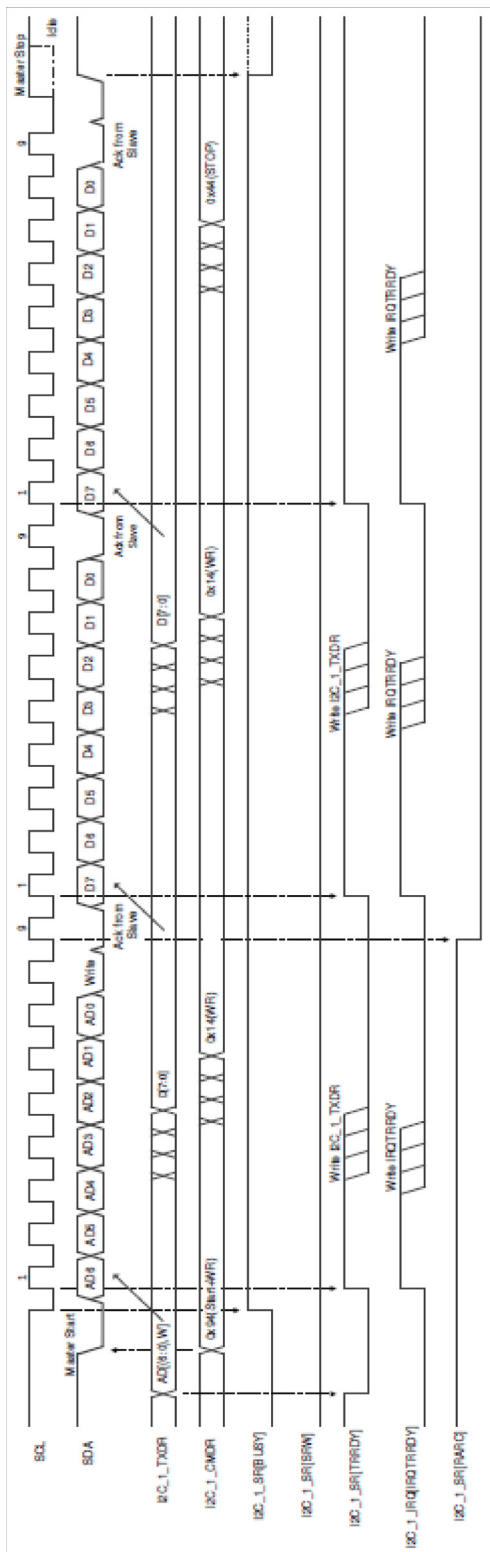


図 17-12. EFB マスタ～PC リード

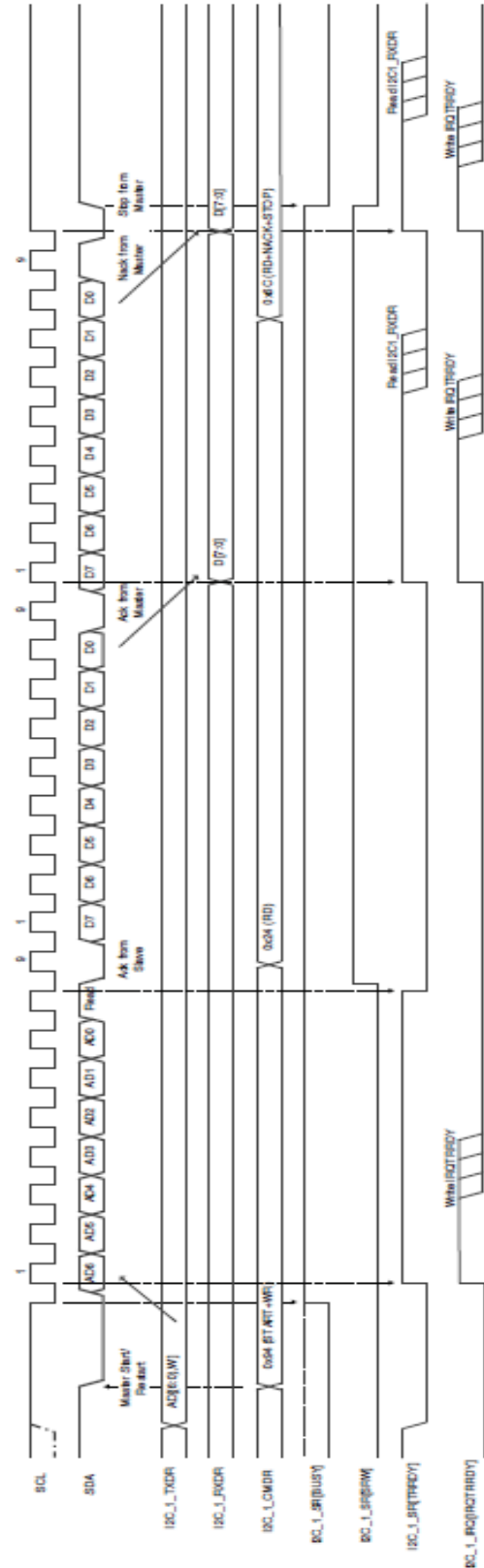
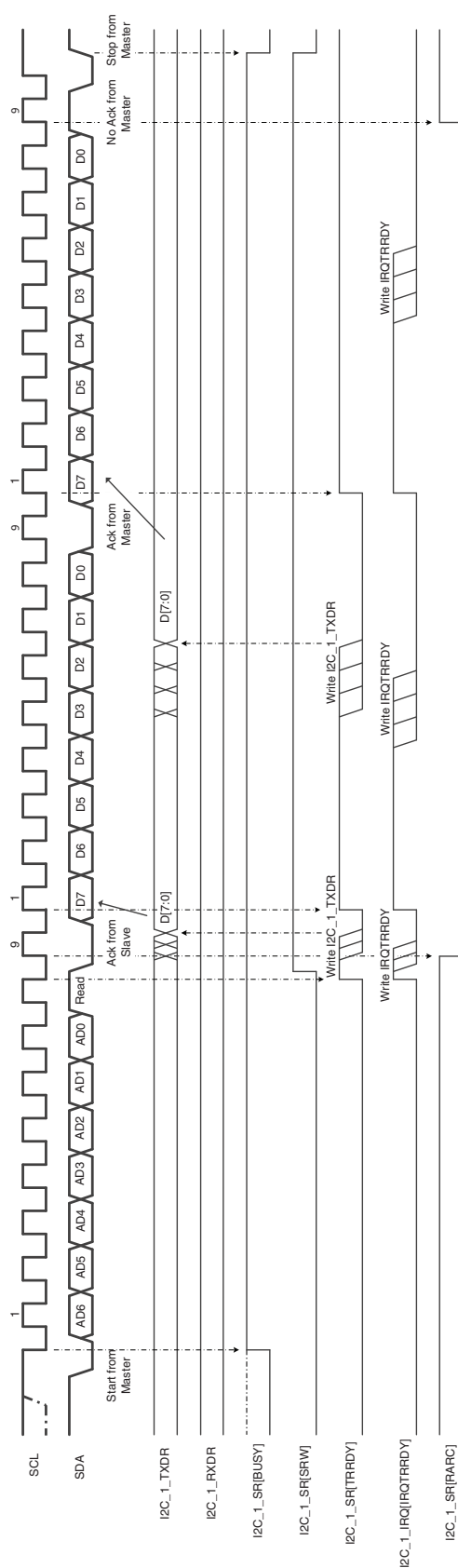
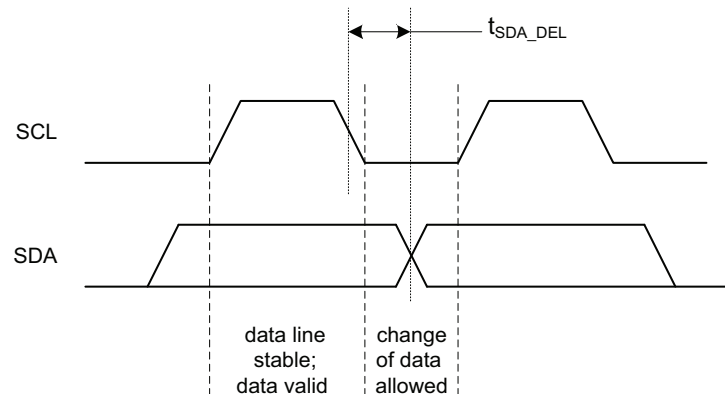


図 17-14. EFB スレーブ～PC リード



I²C タイミング図

図 17-15. I²C ビット転送タイミング



I²C シミュレーションモデル

I²C の EFB レジスタマップに対応する MachXO2 EFB ソフトウェア・シミュレーションモデルは以下の通りです。

表 17-14. プライマリ I²C シミュレーションモデル

プライマリ I ² C レジスタ名	レジスタサイズ/ビット位置	レジスタ機能	プライマリ I ² C アドレス	アクセス	シミュレーションモデルのレジスタ名	シミュレーションモデルのパス
I2C_1_CR	[7:0]	Control	0x40	Read/Write	i2ccr1[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
I2CEN	7				i2c_en	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
GOEN	6				i2c_gcen	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
WKUPEN	5				i2c_wkupen	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
SDA_DEL_SEL[1:0]	[3:2]				sda_del_sel	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
I2C_1_CMDR	[7:0]	Command	0x41	Read/Write	i2ccmdr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
STA	7				i2c_sta	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
STO	6				i2c_sto	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
RD	5				i2c_rd	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
WR	4				i2c_wt	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
ACK	3				i2c_nack	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
CKSDIS	2				i2c_cksdis	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
I2C_1_BR0	[7:0]	Clock Pre-scale	0x42	Read/Write	i2cbr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
I2C_PRESCALE[7:0]	[7:0]				i2cbr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
I2C_1_BR1	[7:0]	Clock Pre-scale	0x43	Read/Write	i2cbr[9:8]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/

表 17-14. プライマリ I²C シミュレーションモデル (Continued)

プライマリ I ² C レジスタ名	レジスタサイズ/ビット位置	レジスタ機能	プライマリ I ² C アドレス	アクセス	シミュレーションモデルのレジスタ名	シミュレーションモデルのパス
I2C_PRESCALE[9:8]	[1:0]				i2cbr[9:8]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
I2C_1_TXDR	[7:0]	Transmit Data	0x44	Write	i2ctxdr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
I2C_Transmit_Data[7:0]	[7:0]				i2ctxdr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
I2C_1_SR	[7:0]	Status	0x45	Read	i2csr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
TIP	7				i2c_tip_sync	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
BUSY	6				i2c_busy_sync	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
RARC	5				i2c_rarc_sync	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
SRW	4				i2c_srw_sync	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
ARBL	3				i2c_arbl	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
TRRDY	2				i2c_trrdy	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
TROE	1				i2c_troe	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
HGC	0				i2c_hgc	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
I2C_1_GCDR	[7:0]	General Call	0x46	Read	i2cgcdr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
I2C_GC_Data[7:0]	[7:0]				i2cgcdr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
I2C_1_RXDR	[7:0]	Receive Data	0x47	Read	i2crxdr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
I2C_Receive_Data[7:0]	[7:0]				i2crxdr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_1st/
I2C_1_IRQ	[7:0]	IRQ	0x48	Read/Write	{1'b0, 1'b0, 1'b0, 1'b0, i2csr_1st_irqsts_3, i2csr_1st_irqsts_2, i2csr_1st_irqsts_1, i2csr_1st_irqsts_0}	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQARBL	3				i2csr_1st_irqsts_3	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQTRRDY	2				i2csr_1st_irqsts_2	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQTROE	1				i2csr_1st_irqsts_1	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQHGC	0				i2csr_1st_irqsts_0	../efb_top/efb_pll_sci_inst/u_efb_sci/
I2C_1_IRQEN	[7:0]	IRQ Enable	0x49	Read/Write	{1'b0, 1'b0, 1'b0, 1'b0, i2csr_1st_irqena_3, i2csr_1st_irqena_2, i2csr_1st_irqena_1, i2csr_1st_irqena_0}	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQARBLN	3				i2csr_1st_irqena_3	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQTRRDYEN	2				i2csr_1st_irqena_2	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQTROEEN	1				i2csr_1st_irqena_1	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQHGCEN	0				i2csr_1st_irqena_0	../efb_top/efb_pll_sci_inst/u_efb_sci/

表 17-15. セカンダリ I²C シミュレーションモデル

セカンダリ I ² C レジスタ名	レジスタサイズ/ビット位置	レジスタ機能	セカンダリ I ² C アドレス	アクセス	シミュレーションモデルのレジスタ名	シミュレーションモデルのパス
I2C_2_CR	[7:0]	Control	0x4A	Read/Wri te	i2ccr1[7:0]	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
I2CEN	7				i2c_en	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
GCEN	6				i2c_gcen	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
WKUPEN	5				i2c_wkupen	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
SDA_DEL_SEL[1:0]	[3:2]				sda_del_sel	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
I2C_2_CMDR	[7:0]	Command	0x4B	Read/Wri te	i2ccmdr[7:0]	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
STA	7				i2c_sta	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
STO	6				i2c_sto	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
RD	5				i2c_rd	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
WR	4				i2c_wt	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
ACK	3				i2c_nack	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
CKSDIS	2				i2c_cksdis	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
I2C_2_BR0	[7:0]	Clock Pre- scale	0x4C	Read/Wri te	i2cbr[7:0]	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
I2C_PRESCALE[7:0]	[7:0]				i2cbr[7:0]	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
I2C_2_BR1	[7:0]	Clock Pre- scale	0x4D	Read/Wri te	i2cbr[9:8]	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
I2C_PRESCALE[9:8]	[1:0]				i2cbr[9:8]	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
I2C_2_TXDR	[7:0]	Transmit Data	0x4E	Write	i2ctxdr[7:0]	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
I2C_Transmit_Data[7:0]	[7:0]				i2ctxdr[7:0]	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
I2C_2_SR	[7:0]	Status	0x4F	Read	i2csr[7:0]	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
TIP	7				i2c_tip_sync	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
BUSY	6				i2c_busy_sync	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
RARC	5				i2c_rarc_sync	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
SRW	4				i2c_srwl_sync	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
ARBL	3				i2c_arbl	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
TRRDY	2				i2c_trrdy	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/
TROE	1				i2c_troe	../efb_top/config_plus_inst/config_core_inst/ cfg_cdu/njport_unit/i2c_2nd/

表 17-15. セカンダリ PC シミュレーションモデル (Continued) (Continued)

セカンダリ PC レジスタ名	レジスタサイズ/ビット位置	レジスタ機能	セカンダリ PC アドレス	アクセス	シミュレーションモデルのレジスタ名	シミュレーションモデルのパス
HGC	0				i2c_hgc	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_2nd/
I2C_2_GCDR	[7:0]	General Call	0x50	Read	i2cgcdr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_2nd/
I2C_GC_Data[7:0]	[7:0]				i2cgcdr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_2nd/
I2C_2_RXDR	[7:0]	Receive Data	0x51	Read	i2crxdr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_2nd/
I2C_Receive_Data[7:0]	[7:0]				i2crxdr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/i2c_2nd/
I2C_2_IRQ	[7:0]	IRQ	0x52	Read/Write	{1'b0, 1'b0, 1'b0, 1'b0, i2csr_2nd_irqsts_3, i2csr_2nd_irqsts_2, i2csr_2nd_irqsts_1, i2csr_2nd_irqsts_0}	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQARBL	3				i2csr_2nd_irqsts_3	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQTRRDY	2				i2csr_2nd_irqsts_2	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQTROE	1				i2csr_2nd_irqsts_1	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQHGC	0				i2csr_2nd_irqsts_0	../efb_top/efb_pll_sci_inst/u_efb_sci/
I2C_2_IRQEN	[7:0]	IRQ Enable	0x53	Read/Write	{1'b0, 1'b0, 1'b0, 1'b0, i2csr_2nd_irqena_3, i2csr_2nd_irqena_2, i2csr_2nd_irqena_1, i2csr_2nd_irqena_0}	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQARBLEN	3				i2csr_2nd_irqena_3	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQTRRDYEN	2				i2csr_2nd_irqena_2	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQTROEEN	1				i2csr_2nd_irqena_1	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQHGCEN	0				i2csr_2nd_irqena_0	../efb_top/efb_pll_sci_inst/u_efb_sci/

ハードマクロ SPI IP コア

MachXO2 EFB には SPI マスタまたはスレーブとして構成可能なハード SPI IP コアが含まれています。マスタとして構成される場合、IP コアは SPI バスに接続されたスレーブ SPI インターフェイスで他のデバイスを制御可能です。コアがスレーブとして構成される場合は、外付け SPI マスタデバイスとインターフェイスできます。

SPI レジスタ

SPI コアはコントロール / コマンド / ステータス / データのレジスタセットを通して EFB WISHBONE インターフェイスと通信します。表 17-16 にレジスタ名とその機能を示します。これらのレジスタは EFB レジスタマップのサブセットになっています。

表 17-16. SPI レジスタ

SPI レジスタ名	レジスタ機能	アドレス	アクセス
SPICR0	制御レジスタ 0	0x54	Read/Write
SPICR1	制御レジスタ 1	0x55	Read/Write
SPICR2	制御レジスタ 2	0x56	Read/Write
SPIBR	クロック・プリスケール	0x57	Read/Write
SPICSR	マスタチップセレクト	0x58	Read/Write
SPITXDR	送信データ	0x59	Write
SPISR	ステータス	0x5A	Read
SPIRXDR	受信データ	0x5B	Read
SPIIRQ	割り込み要求	0x5C	Read/Write
SPIIRQEN	割り込み要求イネーブル	0x5D	Read/Write

注：特に指定しない限り、書き込み可能レジスタの全予約ビットには '0' が書かれなければなりません

表 17-17. SPI 制御 0

SPICR0 0x54								
ビット	7	6	5	4	3	2	1	0
名称	TIdle_XCNT[1:0]		TTrail_XCNT[2:0]			TLead_XCNT[2:0]		
デフォルト	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注：本レジスタへのライトは SPI コアをリセットします

TIdle_XCNT[1:0]

アイドル遅延カウント (Idle Delay Count)。SCK 期間中に、マスタ・チップセレクトが Low にアサートされる (マスタモードのみ) 前の最小インターバルを指定する。

00: ½
01: 1
10: 1.5
11: 2

TTrail_XCNT[2:0]

トレイル遅延カウント (Trail Delay Count)。SCK 期間中の、SCK の最後のエッジと、マスタ・チップセレクトの High デサート (マスタモードのみ) との間の最小インターバルを指定する。

000: ½
001: 1
010: 1.5
...
111: 4

TLead_XCNT[2:0]

リード遅延カウント (Lead Delay Count)。SCK 期間中に、マスタ・チップセレクトが Low にアサートされてから、SCK の最初のエッジ (マスタモードのみ) までの最小インターバルを指定する。

000: ½
001: 1
010: 1.5
...
111: 4

表 17-18. SPI 制御 1

SPICR1								0x55
ビット	7	6	5	4	3	2	1	0
名称	SPE	WKUPEN_USER	WKUPEN_CFG	TXEDGE	(Reserved)			
デフォルト	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	—	—	—	—

注：本レジスタへのライトは SPI コアをリセットします

SPE	SPI Enable。本ビットは SPI コア機能をイネーブルする。SPE がクリアされると、SPI はディセーブルされて、アイドルステートに強制される。 0: SPI はディセーブル 1: SPI はイネーブルで、ポート端子は SPI 機能専用になる
WKUPEN_USER	ユーザウェイクアップ・イネーブル (Wake-up Enable via User)。ユーザスレーブ SPI チップセレクト (SCSN) が Low にドライブされたときに、SPI コアがオンチップ電源コントローラにウェイクアップ信号を送信し、スタンバイ / スリープモードの部分をウェイクアップすることをイネーブルする。 0: ウェイクアップはディセーブル 1: ウェイクアップはイネーブル
WKUPEN_CFG	ウェイクアップ・イネーブル、コンフィグレーション (Wake-up Enable Configuration)。本ビットは、コンフィグレーション・スレーブ SPI イネーブルである SN が Low にドライブされた時に、スタンバイ / スリープモードからデバイスを起動するために、SPI コアがウェイクアップ信号をオンチップ・パワーコントローラに送出することをイネーブルする。 0: ウェイクアップはディセーブル 1: ウェイクアップはイネーブル
TXEDGE	データ送信エッジ (Data Transmit Edge)。SPI プロトコルに対するラティス固有の拡張機能をイネーブルする。SPI データをどのクロックエッジで送信するかを選択する。図 17-29 から 17-31 を参照。 0: SPICR2[CPOL] と SPICR2[CPHA] で定義される MCLK のエッジでデータを送信します 1: SPICR2[CPOL] と SPICR2[CPHA] で定義されるクロックより ½ MCLK 分の位相を進めたタイミングでデータを送信します

表 17-19. SPI 制御 2

SPICR2								0x56
ビット	7	6	5	4	3	2	1	0
名称	MSTR	MCSH	SDBRE	(Reserved)	CPOL	CPHA	LSBF	
デフォルト	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	—	—	R/W	R/W	R/W

注：本レジスタへのライトは SPI コアをリセットします

MSTR	マスタ / スレーブモード選択 (SPI Master/Slave Mode)。本ビットは SPI コアのマスタ / スレーブ動作モードを選択する。本ビットを変更することは、SPI システムをアイドルステートに強制する。 0: SPI はスレーブモード 1: SPI はマスタモード
------	---

MCSH	SPI マスタ CSSPIN 保持 (Master CSSPIN Hold)。ホストがビジィの場合に、チップセレクトを High にせずともデータ送信を停止するために、マスタチップセレクトをアクティブに保持する。 注：本モードの使用は、WISHBONE クロックが 4 以上の値 (R1 デバイスでは 6) で分周される場合に限定されます。R1 デバイスから量産品への移行に関する詳細については AN8086 (<i>Designing for Migration from MachX02-1200-R1 to Standard (Non-R1) Devices</i>) をご参照ください。 0: マスタは通常動作 1: マスタは送信データが全くなくてもチップセレクトを Low に保持する
SDBRE	スレーブ・ダミーバイト応答イネーブル (Slave Dummy Byte Response Enable)。SPI プロトコルに対するラティス固有の拡張機能をイネーブルする。内部サポート回路 (WISHBONE ホストなど) が必要な時間内に初期データに回答できない場合、及びスレーブ・リードアウトデータを定期的に高速 SPI クロックレートで使用できるようにする場合に使用する。 イネーブルされると、SPI スレーブリードに回答してダミーの 0xFF バイトが、SPITXDR への初期ライト (TRRDY=1) まで送信される。WISHBONE ホストによって 1 バイトが SPITXDR にライトされると、0x00 が 1 バイトと、それに続いてすぐに SPITXDR のデータが送信される。このモードでは、外部 SPI マスタが SPI スレーブのリード時に初期 0x00 バイトをスキャンし、実際のデータの開始を示す必要がある。図 17-19 を参照。 0: 通常のスレーブ SPI 動作 1: ラティス固有のスレーブ・ダミーバイト応答をイネーブル 注：このメカニズムは、初期データ遅延期間でのみ有効です。初期データが利用可能になった後は、その後のデータを必要な SPI バス・データレートで SPITXDR に渡す必要があります。
CPOL	SPI クロック極性 (Clock Polarity)。SPI クロックを反転するかどうかを選択する。SPI モジュール間でデータを転送するには、SPI モジュール同士が同一の SPICR2 [CPOL] 値を持つ必要がある。マスタモードでは、本ビットを変更すると実行中の転送が中止され、SPI システムが強制的にアイドル状態になる。図 17-29 から 17-31 を参照。 0: アクティブ High のクロックを選択。アイドル状態では SCK は Low 1: アクティブ Low のクロックを選択。アイドル状態では SCK は High
CPHA	SPI Clock Phase (SPI クロック位相)。SPI クロック形式を選択する。マスタモードでは、本ビットを変更すると実行中の転送が中止され、SPI システムが強制的にアイドル状態になる。図 17-29 から 17-31 を参照。 0: データが最初のクロックエッジでキャプチャされ、反対のクロックエッジで伝播される 1: データが 2 番目のクロックエッジでキャプチャされ、反対のクロックエッジで伝播される * * 注：CPHA=1 では、ユーザが CPOL の値に応じて明示的に SCK パッドをプルアップまたはプルダウンする必要があります (例えば CPHA=1 及び CPOL=0 では SCK をプルダウン)。CPHA=0 では、プル方向は任意に設定できます。
LSBF	スレーブ SPI コンフィグレーションモードのデフォルト設定は、CPOL と CPHA のみに対応します。 LSB-First。LSB から先に SPI インターフェイスに送出される。マスタモードでは、本ビットを変更すると実行中の転送が中止され、SPI システムが強制的にアイドル状態になる。図 17-29 から 17-31 を参照。

注：本ビットはデータレジスタ内の MSB と LSB 位置には影響しません。データレジスタのリードライトは、常にビット 7 が MSB となります。

- 0: データ送出は最上位ビット (MSB) が先出し
- 1: データ送出は最上位ビット (LSB) が先出し

表 17-20. SPI クロック・プリスケール

SPIBR								0x57
ビット	7	6	5	4	3	2	1	0
名称	(Reserved)		DIVIDER[5:0]					
デフォルト ¹	0	0	0	0	0	0	0	0
アクセス	—	—	R/W	R/W	R/W	R/W	R/W	R/W

1. ハードウェアのデフォルトは EFB コンポーネントのインスタンス化パラメータで上書きされるかもしれません。次の記述を参照

DIVIDER[5:0]

SPI クロックのプリスケール値 (Clock Prescale)。WISHBONE クロック周波数が DIVIDER[5:0]+1 で分周され、求められる SPI クロック周波数が生成される。本レジスタにライト動作を行うと、SPI コアがリセットされる。DIVIDER 値は 1 かそれ以上にする必要があります。

注：EFB GUI の SPI タブで SPI コアをパラメータ設定すると、IPexpress によってデジタル値が計算されます。この計算は、どちらもユーザが入力する WISHBONE クロック周波数と SPI 周波数に基づいて行われます。分周器のデジタル値は、デバイスのプログラム中に MachXO2 デバイスにプログラムされます。電源投入後、またはデバイスの再コンフィグレーション後、データが SPIBR レジスタにロードされます。

SPIBR レジスタは WISHBONE インターフェイスからリード / ライトアクセスができる。デバイス動作中にダイナミックにクロック・プリスケール・レジスタを書き換え可能。

表 17-21. SPI マスタ・チップセレクト

SPICSR								0x58
ビット	7	6	5	4	3	2	1	0
名称	CSN_7	CSN_6	CSN_5	CSN_4	CSN_3	CSN_2	CSN_1	CSN_0
デフォルト	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CSN_[7:0]

SPI マスタ・チップセレクト (Master Chip Selects)。特定の MCSN (マスタ・チップセレクト) 線をアサートするためにマスタモードで使用される。このレジスタは 8 ビットで、SPI コアは最大 8 個の外付け SPI スレーブデバイスを制御可能。各ビットは 1 本のマスタ・チップセレクト線 (アクティブ Low) に対応する。ビット [7:1] は FPGA ファブリック経由で任意の I/O ピンに接続できるが、ビット 0 はピン位置が事前に割り当てられている。このレジスタには、WISHBONE インターフェイスからリード / ライトアクセスができる。このレジスタでのライト動作によって SPI コアはリセットされる。

表 17-22. SPI 送信データレジスタ

SPITXDR								0x59
ビット	7	6	5	4	3	2	1	0
名称	SPI_Transmit_Data[7:0]							
デフォルト	—	—	—	—	—	—	—	—
アクセス	W	W	W	W	W	W	W	W

SPI_Transmit_Data[7:0] SPI 送信データ (Transmit Data)。本レジスタには、SPI バスに送信されるバイトが格納される。本レジスタのビット 0 は LSB で、LSBF=0 の場合は最後に送信され、LSBF=1 の場合は最初に送信される。

注：スレーブとして動作している時は、SPITXDR は SPISR[TRDY] が '1' の時に、かつ少なくとも先頭ビットが SO に表れる 0.5 CCLK 周期前にらいとされなければなりません。例えば、CPOL = CPHA = TXEDGE = LSBF = 0 の時、SPITXDR は直前バイトの LSB (ビット 0) をサンプルするために用いられる CCLK の立ち上がりよりも前にライトされなければなりません。図 17-29 を参照のこと。本タイミングでは、全てのスレーブ SPI リード動作では、少なくとも 1 ダミーバイトが含まれることが必要となります。

表 17-23. SPI ステータス

SPISR								0x5A
ビット	7	6	5	4	3	2	1	0
名称	TIP	(Reserved)		TRDY	RRDY	(Reserved)	ROE	MDF
デフォルト	0	—	—	0	0	—	0	0
アクセス	R	—	—	R	R	—	R	R

TIP SPI 送信中 (Transmitting In Progress)。本ビットは SPI ポートがデータの送受信中であることを示す。

- 0: SPI の送信は完了
- 1: SPI は送信中 *

*注：本ビットは R1 デバイスでは機能しません。R1 デバイスから量産品への移行に関する詳細については AN8086 (Designing for Migration from MachX02-1200-R1 to Standard (Non-R1) Devices) をご参照ください。

TRDY SPI 送信レディ (Transmit Ready)。SPI 送信データレジスタ (SPITXDR) が空であることを示す。本ビットは SPITXDR へのライトでクリアされる。本ビットは割り込みを発生可能。

- 0: SPITXDR データレジスタは空でない
- 1: SPITXDR データレジスタは空

RRDY SPI Receive Ready 受信レディ)。受信データレジスタ (SPIRXDR) に有効な受信データが格納されていることを示す。本ビットは SPIRXDR へのリードアクセスでクリアされる。本ビットは割り込みを発生可能。

- 0: SPIRXDR データレジスタにデータがない
- 1: SPIRXDR データレジスタに有効な受信データが格納されている

ROE Receive Overrun Error 受信オーバランエラー)。前のデータが読まれる前に SPIRXDR に新しいデータを受信したことを示す。前のデータは失われる。本ビットは割り込みを発生可能。

- 0: 正常
- 1: 受信オーバランが検出された

MDF モードフォルト (Mode Fault)。MSTR=1 のときに、スレーブ SPI チップセレクト (SPI_SCSN) が Low にドライブされたことを示す。本ビットは SPICR0 か SPICR1、または SPICR2 に何らかのライトを行うとクリアされる。本ビットは割り込みを発生可能。

- 0: 正常
- 1: モードフォルトが検出された

表 17-24. SPI 受信データレジスタ

SPIRXDR								0x5B
ビット	7	6	5	4	3	2	1	0
名称	SPI_Receive_Data[7:0]							
デフォルト	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R

SPI_Receive_Data[7:0] SPI 受信データ (Receive Data)。本レジスタには、SPI バスからキャプチャされたバイトが格納される。本レジスタのビット 0 は LSB で、LSBF=0 の場合は最後に受信され、LSBF=1 の場合は最初に受信される。

表 17-25. SPI 割り込みステータス

SPIIRQ								0x5C
ビット	7	6	5	4	3	2	1	0
名称	(Reserved)			IRQTRDY	IRQRRDY	(Reserved)	IRQROE	IRQMDF
デフォルト	—	—	—	0	0	—	0	0
アクセス	—	—	—	R/W	R/W	—	R/W	R/W

IRQTRDY SPI 送信レディ割り込みステータス (Interrupt Status for SPI Transmit Ready)。イネーブルされると、SPISR[TRDY] がアサートされたことを示す。本ビットに '1' をライトすると、割り込みがクリアされる。

- 1: SPI 送信レディ割り込み
- 0: 割り込みなし

IRQRRDY SPI 受信レディ割り込みステータス (Interrupt Status for SPI Receive Ready)。イネーブルされると、SPISR[RRDY] がアサートされたことを示す。本ビットに '1' をライトすると、割り込みがクリアされる。

- 1: SPI 受信レディ割り込み
- 0: 割り込みなし

IRQROE 受信オーバラン割り込みステータス (Interrupt Status for Receive Overrun Error)。イネーブルされると、ROE がアサートされたことを示す。本ビットに '1' をライトすると、割り込みがクリアされる。

- 1: 受信オーバランエラー割り込み
- 0: 割り込みなし

IRQMDF モードフォールト割り込みステータス (Interrupt Status for Mode Fault)。イネーブルされると、MDF がアサートされたことを示す。本ビットに '1' をライトすると、割り込みがクリアされる。

- 1: モードフォールト割り込み
- 0: 割り込みなし

表 17-26. SPI 割り込みイネーブル

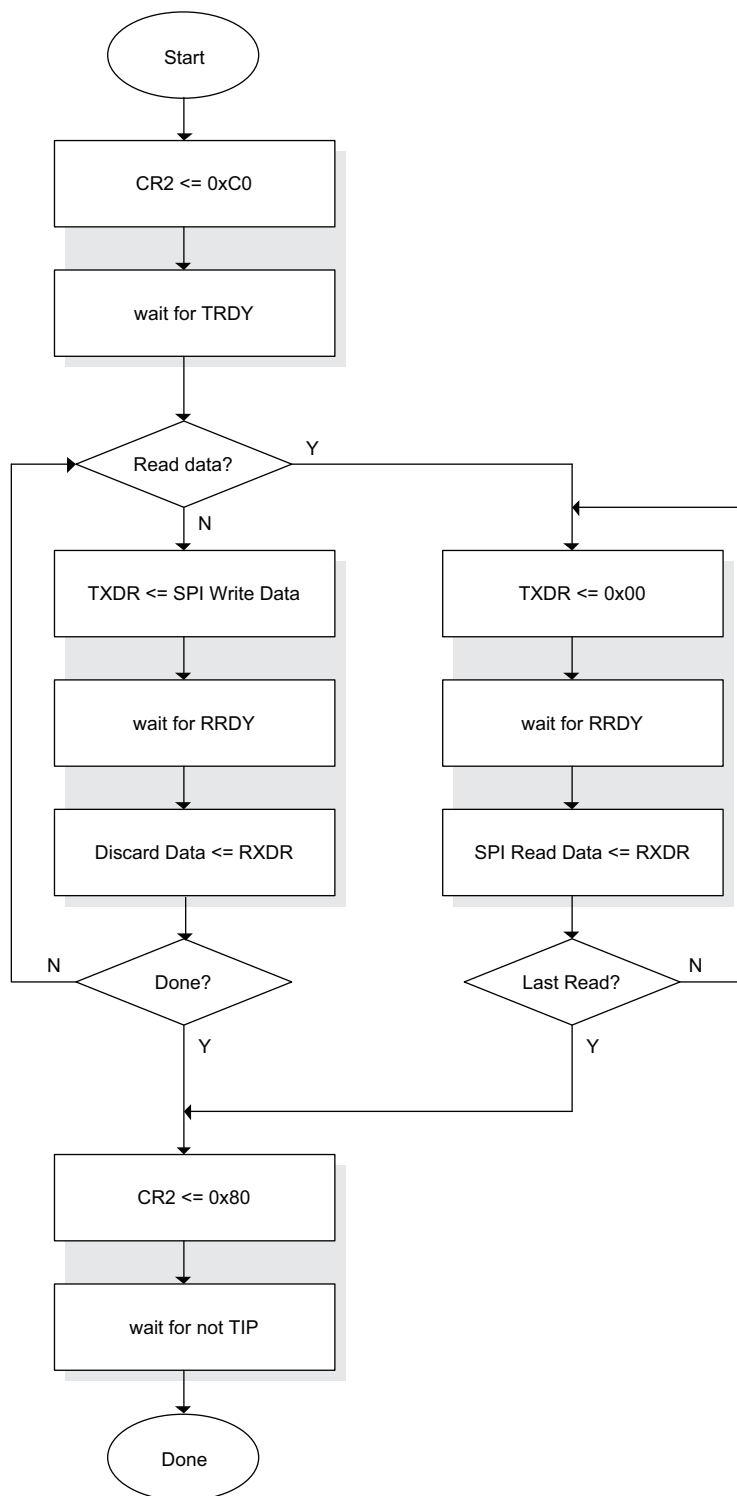
SPIIRQEN								0x5D
ビット	7	6	5	4	3	2	1	0
名称	(Reserved)			IRQTRDYEN	IRQRRDYEN	(Reserved)	IRQROEEN	IRQMDFEN
デフォルト	0	0	0	0	0	0	0	0
アクセス	—	—	—	R/W	R/W	—	R/W	R/W

IRQTRDYEN SPI 送信レディ割り込み要求イネーブル (Interrupt Enable for SPI Transmit Ready)

	1: 割り込み生成をイネーブル 0: 割り込み生成をディセーブル
IRQRRDYEN	SPI 受信レディ割り込み要求イネーブル (Interrupt Enable for SPI Receive Ready) 1: 割り込み生成をイネーブル 0: 割り込み生成をディセーブル
IRQROEEN	受信オーバランエラー割り込み要求イネーブル (Interrupt Enable for Receive Overrun Error) 1: 割り込み生成をイネーブル 0: 割り込み生成をディセーブル
IRQMDFEN	モードフォルト割り込み要求イネーブル (Interrupt Enable for Mode Fault) 1: 割り込み生成をイネーブル 0: 割り込み生成をディセーブル

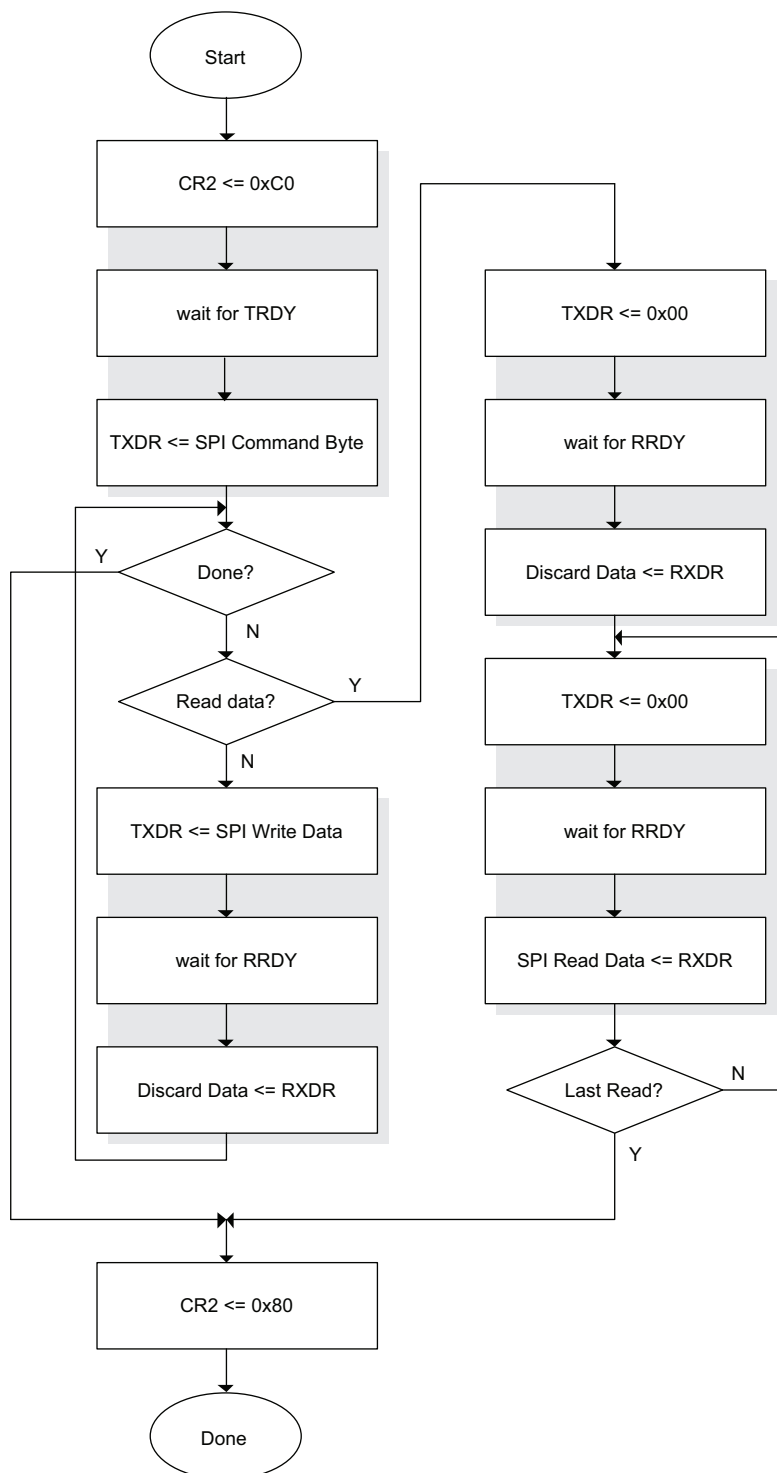
図 17-16 に WISHBONE インターフェイスから開始されたマスタ SPI リード及びライトの制御についてのフロー図を示します。

図 17-16. SPI マスタリード / ライト例 (WISHBONE 経由) ～ 量産品



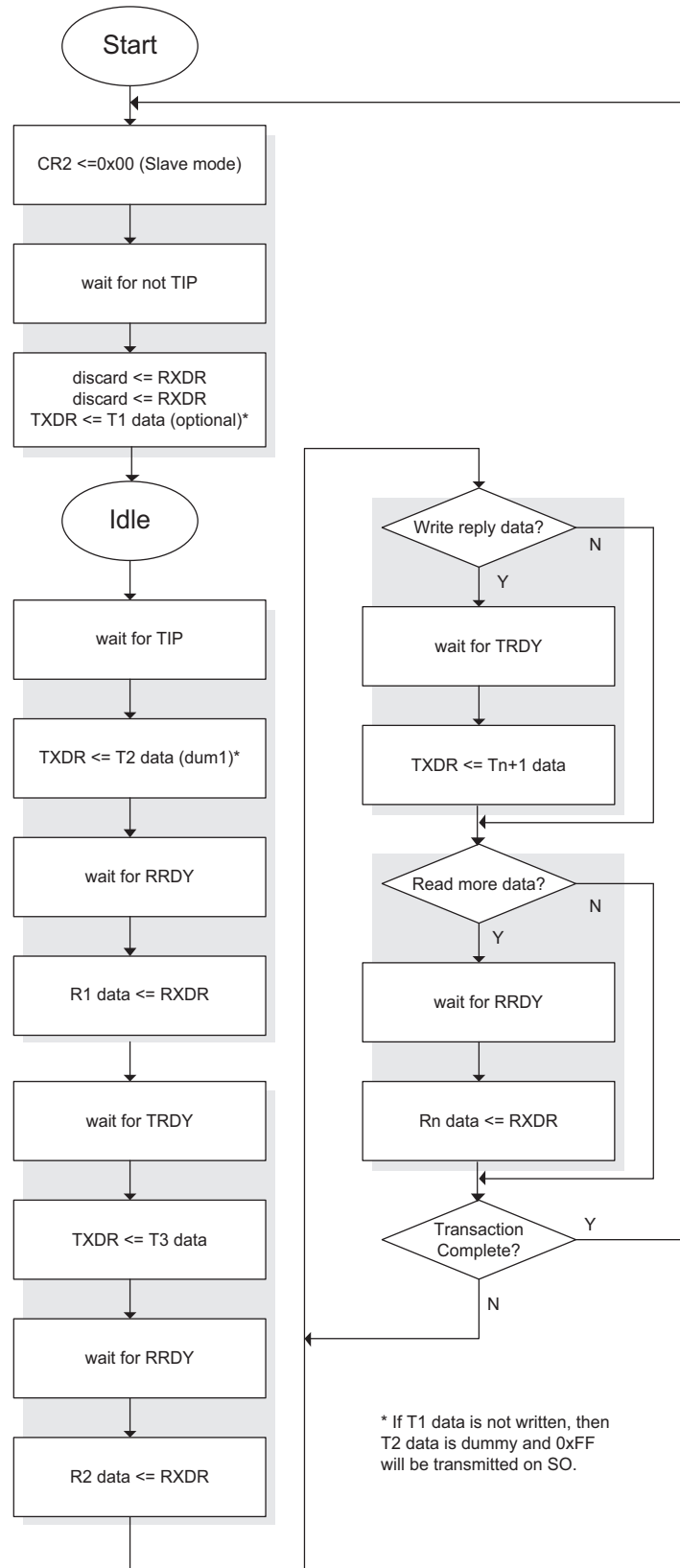
注：本図は CR2 レジスタ MSCH="1" の場合。MSCH="0" ではアプリケーション依存となり、未定義。
図 17-22 を参照

図 17-17. SPI マスタリード / ライト例 (WISHBONE 経由) ～ R1 品



R1 デバイスから量産品への移行に関する詳細については AN8086 (Designing for Migration from MachXO2-1200-R1 to Standard (Non-R1) Devices) をご参照ください。

図 17-18. SPI スレーブリード / ライト例 (WISHBONE 経由) ～ 量産品



典型的な SPI トランザクション

前ページで示すマスターとスレーブ各フローで対応する、典型的な I²C バスプロトコル・トランザクションを図 17-20、図 17-21、および図 17-21 に示します。

図 17-19. 単純な SPI コマンド (*ISC_ERASE* など)

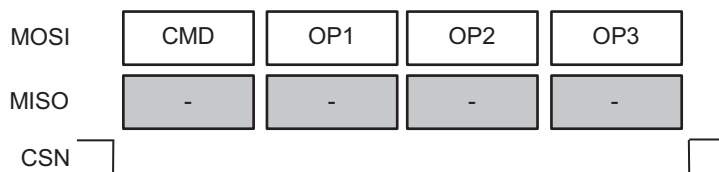


図 17-20. ライトデータのある SPI コマンド (*LSC_PROG_INCR_NV* など)

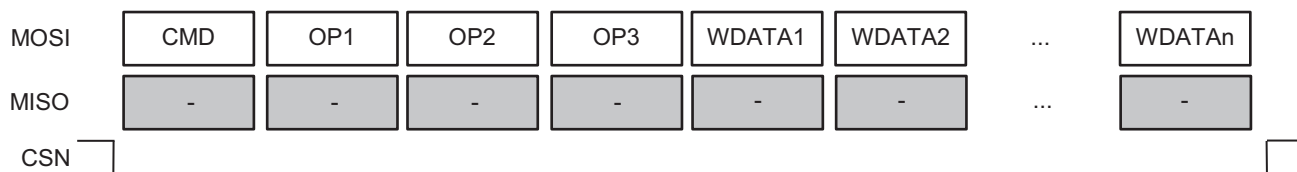
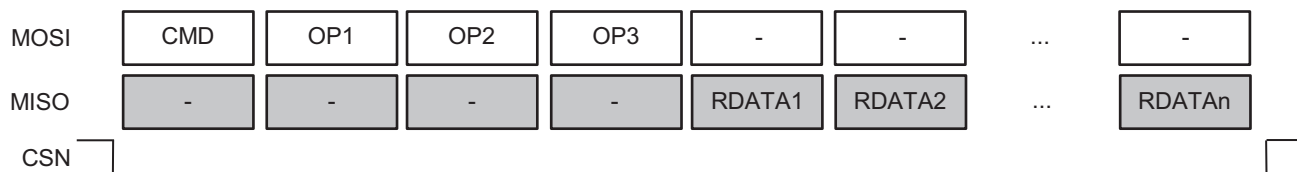


図 17-21. リードデータのある SPI コマンド (*LSC_READ_STATUS* など)



SPI 機能の波形図

図 17-22. SPI フルランザクション (MachXO2 は SPI マスタまたはスレーブ)

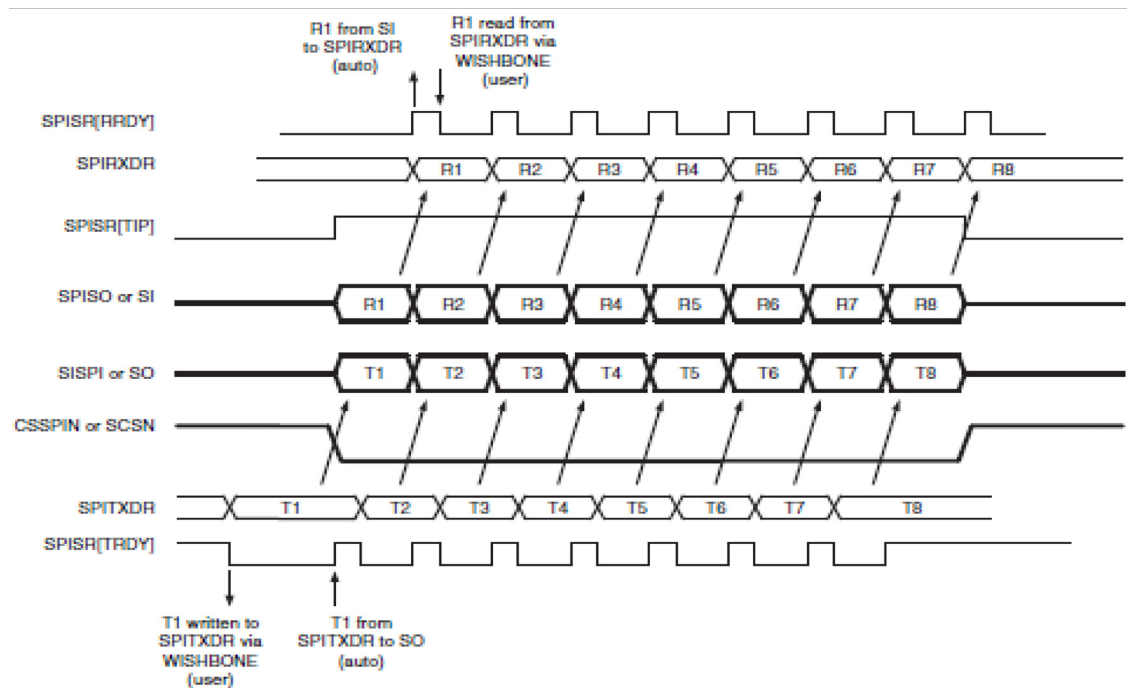
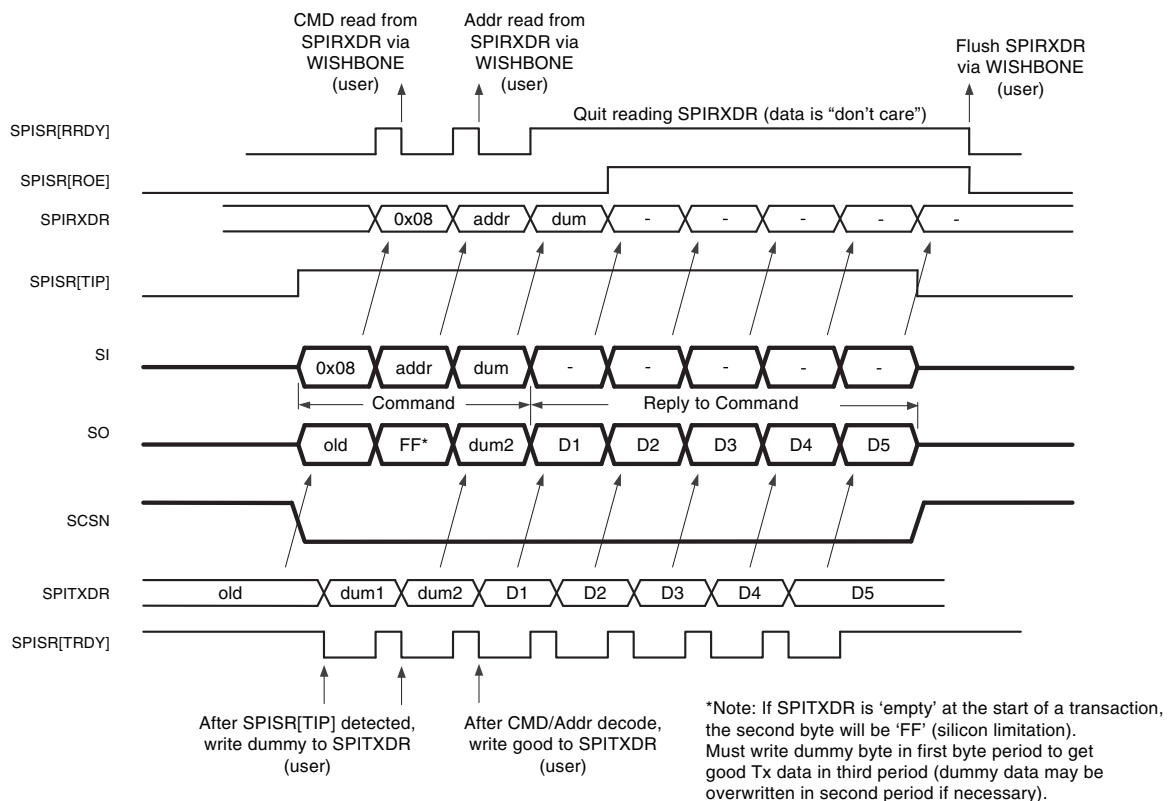


図 17-23. SPI 最短ランザクション例 (MachXO2 が SPI スレーブ)



SPI 機能のタイミング図

図 17-24. SPI 制御タイミング ($SPICR2[CPHA]=0$, $SPICR1[TXEDGE]=0$)

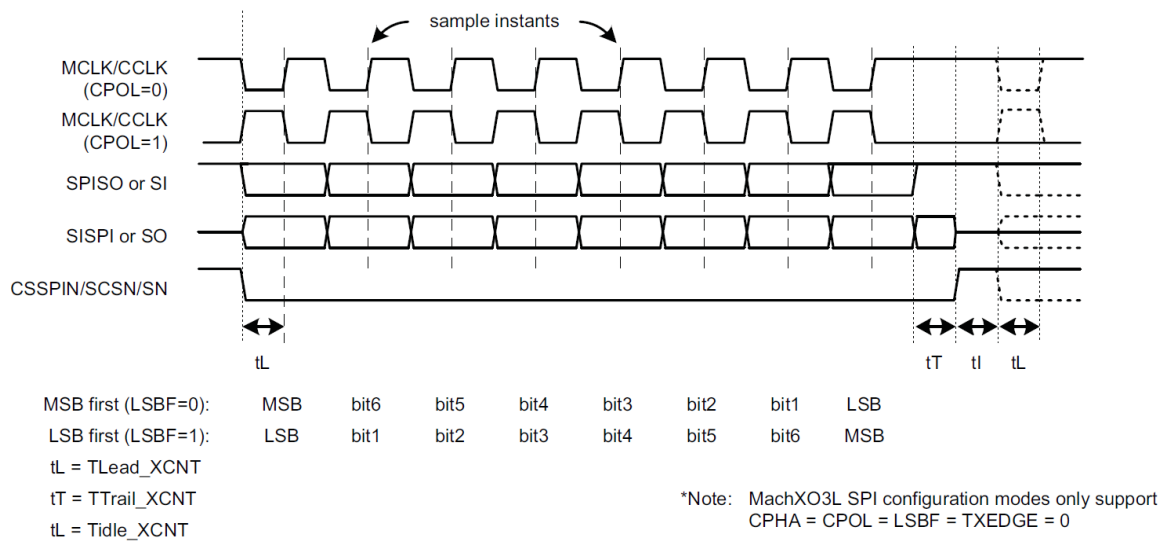


図 17-25. SPI 制御タイミング ($SPICR2[CPHA]=1$, $SPICR1[TXEDGE]=0$)

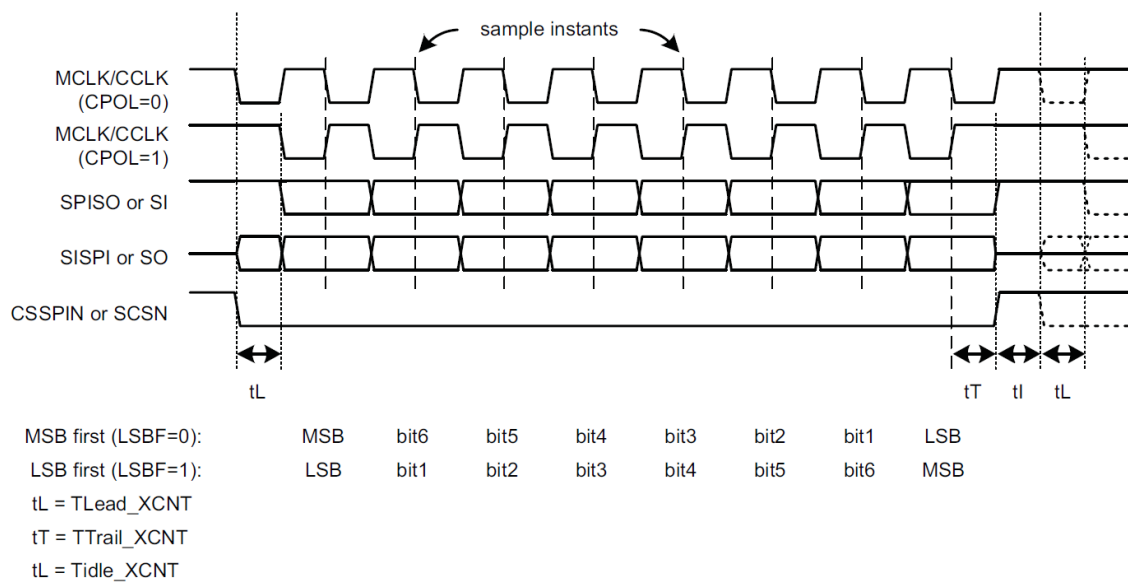


図 17-26. SPI 制御タイミング ($SPICR2[CPHA]=0$, $SPICR1[TXEDGE]=1$)

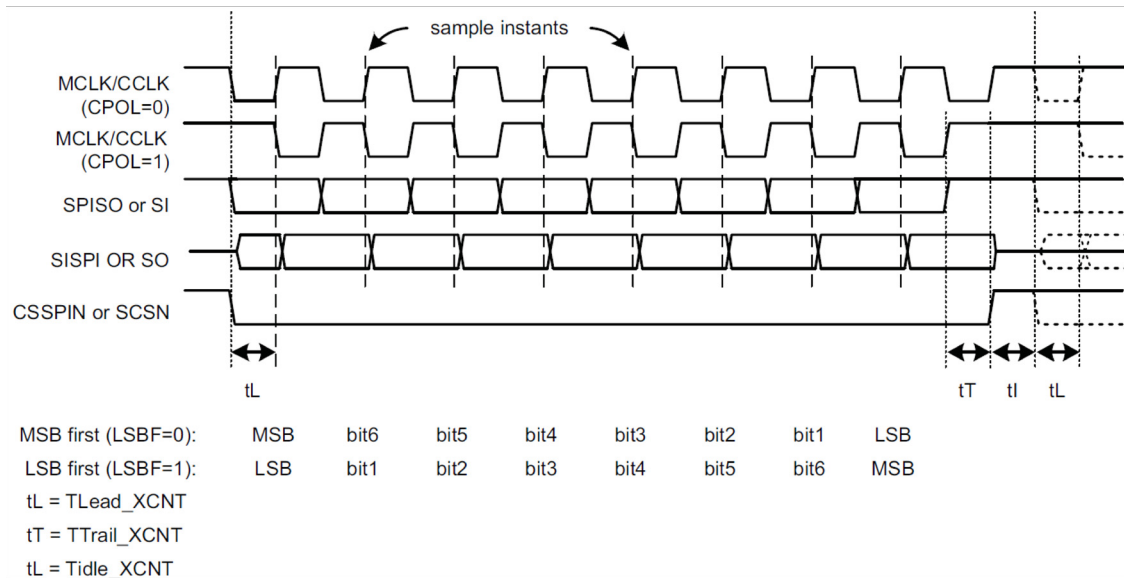


図 17-27. SPI 制御タイミング ($SPICR2[CPHA]=1$, $SPICR1[TXEDGE]=1$)

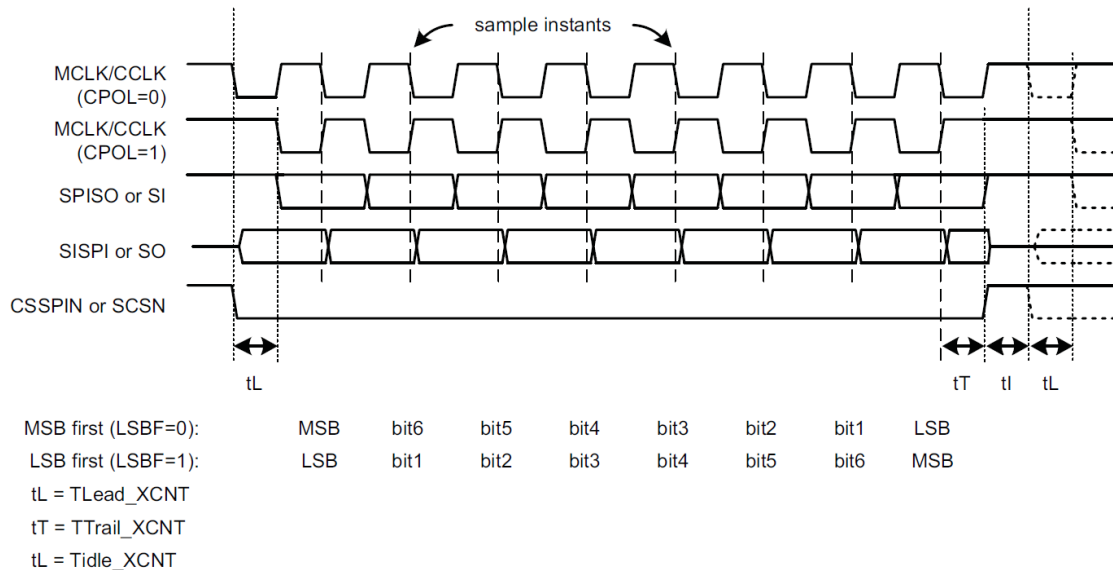
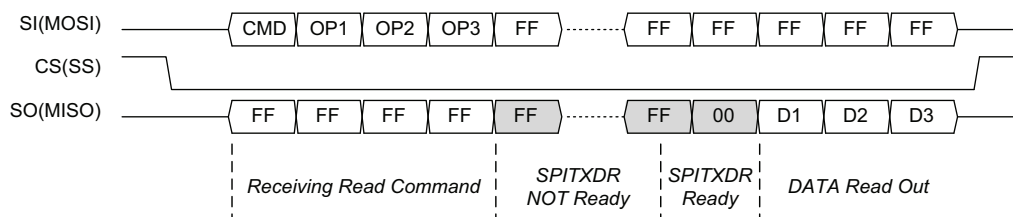


図 17-28. スレーブ SPI ダミーバイト応答タイミング ($SPICR2[SDBRE]$)



SPI シミュレーションモデル

レジスタマップに対応する MachXO2 EFB ソフトウェア・シミュレーションモデルは以下の通りです。

表 17-27. SPI シミュレーションモデル

SPI レジスタ名	レジスタサイズ/ビット位置	レジスタ機能	アドレス	アクセス	シミュレーションモデルのレジスタ名	シミュレーションモデルのパス
SPICR0	[7:0]	Control Register 0	0x54	Read/Write	spicr0[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
TTIdle_XCNT[1:0]	[7:6]				spicr0[7:6]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
TTTrail_XCNT[2:0]	[5:3]				spicr0[5:3]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
TLead_XCNT[2:0]	[2:0]				spicr0[2:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
SPICR1	[7:0]	Control Register 1	0x55	Read/Write	spicr1[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
SPE	7				spi_en	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
WKUPEN_USER	6				spi_wkup_usr	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
WKUPEN_CFG	5				spi_wkup_cfg	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
TXEDGE	4				spi_tx_edge	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
SPICR2	[7:0]	Control Register 2	0x56	Read/Write	spicr2[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
MSTR	7				spi_mstr	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
MCSH	6				spi_mcsh	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
SDBRE	5				spi_srme	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
CPOL	2				spi_cpol	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
CPHA	1				spi_cpha	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
LSBF	0				spi_lsb	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
SPIBR	[7:0]	Clock Pre-scale	0x57	Read/Write	spibr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
DIVIDER[5:0]	[5:0]				spibr[5:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
SPICSR	[7:0]	Master Chip Select	0x58	Read/Write	spicsr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
CSN_7	7				spicsr[7]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
CSN_6	6				spicsr[6]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
CSN_5	5				spicsr[5]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
CSN_4	4				spicsr[4]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
CSN_3	3				spicsr[3]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/

表 17-27. SPI シミュレーションモデル

SPI レジスタ名	レジスタサイズ/ビット位置	レジスタ機能	アドレス	アクセス	シミュレーションモデルのレジスタ名	シミュレーションモデルのパス
CSN_2	2				spicsr[2]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
CSN_1	1				spicsr[1]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
CSN_0	0				spicsr[0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
SPITXDR	[7:0]	Transmit Data	0x59	Write	spitxdr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
SPI_Transmit_Data[7:0]	[7:0]				spitxdr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
SPISR	[7:0]	Status	0x5A	Read	spisr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
TIP	7				spi_tip_sync	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
TRDY	4				spi_trdy	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
RRDY	3				spi_rrdy	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
ROE	1				spi_roe	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
MDF	0				spi_mdf	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
SPIRXDR	[7:0]	Receive Data	0x5B	Read	spirxdr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
SPI_Receive_Data[7:0]	[7:0]				spirxdr[7:0]	../efb_top/config_plus_inst/config_core_inst/cfg_cdu/njport_unit/spi_port/
SPIIRQ	[7:0]	Interrupt Request	0x5C	Read/Write	{1'b0, 1'b0, 1'b0, spisr_irqsts_4, spisr_irqsts_3, spisr_irqsts_2, spisr_irqsts_1, spisr_irqsts_0}	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQTRDY	4				spisr_irqsts_4	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQRRDY	3				spisr_irqsts_3	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQROE	1				spisr_irqsts_1	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQMDF	0				spisr_irqsts_0	../efb_top/efb_pll_sci_inst/u_efb_sci/
SPIIRQEN	[7:0]	Interrupt Request Enable	0x5D	Read/Write	{1'b0, 1'b0, 1'b0, spisr_irqena_4, spisr_irqena_3, spisr_irqena_2, spisr_irqena_1, spisr_irqena_0}	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQTRDYEN	4				spisr_irqena_4	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQRRDYEN	3				spisr_irqena_3	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQROEEN	1				spisr_irqena_1	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQMDFEN	0				spisr_irqena_0	../efb_top/efb_pll_sci_inst/u_efb_sci/

ハードマクロ・タイマ / カウンタ PWM

MachXO2 EFB はハードタイマ / カウンタ IP コアを持っています。このタイマ / カウンタは、独立したアウトプットコンペア（出力比較）ユニット及び PWM サポートを備えた汎用の双方向 16 ビットタイマ / カウンタモジュールです。

タイマ / カウンタ・レジスタ

タイマ / カウンタは、コントロール / コマンド / ステータス / データのレジスタセットを使用して、WISHBONE インターフェイスを介して FPGA ロジック通信とします。表 17-28 にレジスタ名とその機能を示します。これらのレジスタは EFB レジスタマップのサブセットになっています。各レジスタの特定のアドレスについては EFB レジスタマップを参照ください。

表 17-28. タイマ / カウンタ・レジスタ

タイマ / カウンタ・レジスタ名	レジスタ機能	アドレス	アクセス
TCCR0	制御レジスタ 0	0x5E	Read/Write
TCCR1	制御レジスタ 1	0x5F	Read/Write
TCTOPSET0	トップ (Top) カウンタ値 [7:0] をセット	0x60	Write
TCTOPSET1	トップ (Top) カウンタ値 [15:8] をセット	0x61	Write
TCOCRSET0	比較カウンタ値 [7:0] をセット	0x62	Write
TCOCRSET1	比較カウンタ値 [15:8] をセット	0x63	Write
TCCR2	制御レジスタ 2	0x64	Read/Write
TCCNT0	カウンタ値 [7:0]	0x65	Read
TCCNT1	カウンタ値 [15:8]	0x66	Read
TCTOP0	現在のトップ (Top) カウンタ値 [7:0]	0x67	Read
TCTOP1	現在のトップ (Top) カウンタ値 [15:8]	0x68	Read
TCOCR0	現在の比較カウンタ値 [7:0]	0x69	Read
TCOCR1	現在の比較カウンタ値 [15:8]	0x6A	Read
TCICR0	現在のキャプチャカウンタ値 [7:0]	0x6B	Read
TCICR1	現在のキャプチャカウンタ値 [15:8]	0x6C	Read
TCSR0	ステータスレジスタ	0x6D	Read/Write
TCIRQ	割り込み要求	0x6E	Read/Write
TCIRQEN	割り込み要求イネーブル	0x6F	Read/Write

注：特に指定しない限り、書き込み可能レジスタの全予約ビットには '0' が書かれなければならない

表 17-29. タイマ / カウンタ制御 0

TCCR0								0x5E
ビット	7	6	5	4	3	2	1	0
名称	RSTEN	(Reserved)	PRESCALE[2:0]	CLKEDGE	CLKSEL	(Reserved)		
デフォルト	0	0	0	0	0	0	0	0
アクセス	R/W	—	R/W	R/W	R/W	R/W	R/W	—

RSTEN

PLD ロジックからリセット信号 (tc_rstn) がタイマ / カウンタのコアに入力されることを許容する。

- 1: 外部リセットをイネーブル
- 0: 外部リセットをディセーブル

PRESCALE[2:0]	タイマ / カウンタへのクロック入力を分周するために使用される。 000: スタティック（クロックはディセーブル） 001: 1 で分周 010: 8 で分周 011: 64 で分周 100: 256 で分周 101: 1024 で分周 110: （予約） 111: （予約）
CLKEDGE	入力クロックソースの有効エッジを選択するために使用される。タイマ / カウンタは入力クロックソースの有効エッジでステートを更新する。 0: 立ち上りエッジ 1: 立ち下りエッジ
CLKSEL	入力クロックのソースを定義する。 0: クロックツリー 1: オンチップ・オシレータ

表 17-30. タイマ / カウンタ制御 1

TCCR1								0x5F
ビット	7	6	5	4	3	2	1	0
名称	(Reserved)	SOVFEN	ICEN	TSEL	OCM[1:0]		TCM[1:0]	
デフォルト	0	0	0	0	0		0	
アクセス	—	R/W	R/W	R/W	R/W		R/W	

SOVFEN	割り込み出力信号と共に使用されるオーバフロー・フラグをイネーブルする。WISHBONE インターフェイスがなく、タイマ / カウンタがスタンドアロンであるときにセットされる。 0: ディセーブル 1: イネーブル 注 ; 本ビットがセットされると、OCRF や ICRF などの他のフラグは割り込み出力信号に接続されません。
ICEN	カウンタ値をキャプチャする動作の実行を可能にする。ユーザは、TCICR0/1 レジスタにカウンタ値をロードするために、“tc_ic” 信号をアサートすることができる。キャプチャされた値は、特定イベントのタイマスタンプとしての役割を持つことができる。 0: ディセーブル 1: イネーブル
TSEL	カウンタに TCTOPSET0/1 値の自動ロードをイネーブルする。ディセーブルすると、値 0xFFFF が自動ロードされる。 0: ディセーブル 1: イネーブル
OCM[1:0]	タイマ / カウンタの出力信号の機能を選択する。選択できる機能は、スタティック (Static)、トグル (Toggle)、セット / クリア、そしてクリア / セット。 全タイマ / カウンタモード : 00: 出力はスタティック Low 非 PWM モード : 01: TOP マッチでトグル

高速 PWM モード：

- 10: TOP マッチでクリア、OCR マッチでセット
- 11: TOP マッチでセット、OCR マッチでクリア

位相・周波数補正 PWM モード：

- 10: カウンタがインクリメント中 OCR マッチでクリア、カウンタがディクリメント中に OCR マッチでセット
- 11: カウンタがインクリメント中 OCR マッチでセット、カウンタがディクリメント中に OCR マッチでクリア

TCM[1:0]

Timer Counter Mode (タイマカウンタ・モード)。タイマ / カウンタの動作モードを定義する。

- 00: ウォッチドッグタイマ・モード
- 01: 比較マッチ時タイマクリア・モード
- 10: 高速 PWM モード
- 11: 位相・周波数補正 PWM モード

表 17-31. タイマ / カウンタ・トップカウンタ値設定 0

TCTOPSET0								0x60
ビット	7	6	5	4	3	2	1	0
名称	TCTOPSET[7:0]							
デフォルト ¹	1	1	1	1	1	1	1	1
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

1. ハードウェアのデフォルト値は、EFB コンポーネント・インスタンス化パラメータによって上書きされることがあります

表 17-32. タイマ / カウンタ・トップカウンタ値設定 1

TCTOPSET1								0x61
ビット	7	6	5	4	3	2	1	0
名称	TCTOPSET[15:8]							
デフォルト ¹	1	1	1	1	1	1	1	1
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

1. ハードウェアのデフォルト値は、EFB コンポーネント・インスタンス化パラメータによって上書きされることがあります

カウンタが現在のカウントサイクルを完了すると、TCTOPSET0/1 の値が TCTOP0/1 レジスタにロードされます。使用法の詳細については、タイマ / カウンタの動作モードを参照してください。

TCTOPSET0 レジスタはトップ値の下位 8 ビット値 [7:0] を保持します。TCTOPSET1 レジスタはトップ値の上位 8 ビット値 [15:8] を保持します。

表 17-33. タイマ / カウンタ比較カウンタ値設定 0

TCOCRSET0								0x62
ビット	7	6	5	4	3	2	1	0
名称	TCOCRSET[7:0]							
デフォルト ¹	1	1	1	1	1	1	1	1
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

1. ハードウェアのデフォルト値は、EFB コンポーネント・インスタンス化パラメータによって上書きされることがあります

表 17-34. タイマ/カウンタ比較カウンタ値設定 1

TCOCRSET1								0x63
ビット	7	6	5	4	3	2	1	0
名称	TCOCRSET[15:8]							
デフォルト ¹	1	1	1	1	1	1	1	1
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

1. ハードウェアのデフォルト値は、EFB コンポーネント・インスタンス化パラメータによって上書きされることがあります

ウンタが現在のカウントサイクルを完了すると、TCOCRSET0/1 の値が TCOCR0/1 レジスタにロードされます。使用法の詳細については、タイマ/カウンタの動作モードを参照してください。

TCOCRSET0 レジスタは比較値の下位 8 ビット値 [7:0] を保持します。TCOCRSET1 レジスタは比較値の上位 8 ビット値 [15:8] を保持します。

表 17-35. タイマ/カウンタ制御 2

TCOCR2								0x64
ビット	7	6	5	4	3	2	1	0
名称	(Reserved)					WBFORCE	WBRESET	WBPAUSE
デフォルト	0	0	0	0	0	0	0	0
アクセス	—	—	—	—	—	R/W	R/W	R/W

WBFORCE 非 PWM モードでは、カウンタ値が比較 (TCOCR) 値と一致したか、トップ値 (TCTOP) と一致したかのように、カウンタの出力が強制的にセットされる。

0: ディセーブル
1: イネーブル

WBRESET WISHBONE インターフェイスから本レジスタに '1' をライトすると、カウンタがリセットされる。マニュアルで '0' にクリアする。WISHBONE クロックドメインで立ち上がりが検出されると、カウンタは次の tc.clki に同期してリセットされる。クロックドメインを跨ぐ関係で、リセットが有効になるまで 1 クロックの不確定期間がある。本ビットは WBPAUSE よりも優先される。

0: ディセーブル
1: イネーブル

WBPAUSE 16 ビットカウンタを一時停止 (Pause) する

1: 一時停止
0: 正常

表 17-36. タイマ/カウンタ・カウンタ値 0

TCCNT0								0x65
ビット	7	6	5	4	3	2	1	0
名称	TCCNT[7:0]							
デフォルト	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R

表 17-37. タイマ/カウンタ・カウンタ値 1

TCCNT1								0x66
ビット	7	6	5	4	3	2	1	0
名称	TCCNT[15:8]							
デフォルト	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R

レジスタ TCCNT0 及び TCCNT1 は 8 ビットレジスタで、これらの組み合わせによってカウンタ値を保持します。WISHBONE ホストは、これらのレジスタに対するリードオンリ・アクセスができます。

TCCNT0 レジスタはカウンタ値の下位 8 ビット値 [7:0] を保持します。TCCNT1 レジスタはカウンタ値の上位 8 ビット値 [15:8] を保持します。

表 17-38. タイマ/カウンタ現在のトップカウンタ値 0

TCTOP0								0x67
ビット	7	6	5	4	3	2	1	0
名称	TCTOP[7:0]							
デフォルト	1	1	1	1	1	1	1	1
アクセス	R	R	R	R	R	R	R	R

表 17-39. タイマ/カウンタ現在のトップカウンタ値 1

TCTOP1								0x68
ビット	7	6	5	4	3	2	1	0
名称	TCTOP[15:8]							
デフォルト	1	1	1	1	1	1	1	1
アクセス	R	R	R	R	R	R	R	R

レジスタ TCTOP0 及び TCTOP1 は 8 ビットレジスタで、これらの組み合わせによって、TCTOPSET0/1 からの 16 ビット値を受けとります。これらのレジスタに格納されているデータは、カウンタのトップ値を表します。カウンタが現在のカウントサイクルを完了すると、これらのレジスタは更新されます。WISHBONE ホストはこれらのレジスタにリードオンリ・アクセスが可能です。使用法の詳細については、タイマ/カウンタの動作モードを参照してください。

TCTOP0 レジスタはトップ値の下位 8 ビット値 [7:0] を保持し、TCTOP1 レジスタは上位 8 ビット値 [15:8] を保持します。

表 17-40. タイマ/カウンタ現在の比較カウンタ値 0

TCOCR0								0x69
ビット	7	6	5	4	3	2	1	0
名称	TCOCR[7:0]							
デフォルト	1	1	1	1	1	1	1	1
アクセス	R	R	R	R	R	R	R	R

表 17-41. タイマ/カウンタ現在の比較カウンタ値 1

TCOCR1								0x6A
ビット	7	6	5	4	3	2	1	0
名称	TCOCR[15:8]							
デフォルト	1	1	1	1	1	1	1	1
アクセス	R	R	R	R	R	R	R	R

レジスタ TCOCR0 及び TCOCR1 は 8 ビットレジスタで、これらの組み合わせによって、TCOCRSET0/1 からの 16 ビット値を受けとります。これらのレジスタに格納されているデータは、カウンタの比較値を表します。カウンタが現在のカウントサイクルを完了すると、これらのレジスタは更新されます。WISHBONE ホストはこれらのレジスタにリードオンリ・アクセスが可能です。使用法の詳細については、タイマ/カウンタの動作モードを参照してください。

TCOCR0 レジスタは比較値の下位 8 ビット値 [7:0] を保持し、TCOCR1 レジスタは上位 8 ビット値 [15:8] を保持します。

表 17-42. タイマ/カウンタ現在のキャプチャカウンタ値 0

TCICR0								0x6B
ビット	7	6	5	4	3	2	1	0
名称	TCICR[7:0]							
デフォルト	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R

表 17-43. タイマ/カウンタ現在のキャプチャカウンタ値 1

TCICR1								0x6C
ビット	7	6	5	4	3	2	1	0
名称	TCICR[15:8]							
デフォルト	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R

レジスタ TCICR0 及び TCICR1 は 8 ビットレジスタで、これらの組み合わせによってカウンタ値を保持できます。トリガイベントである tc_ic IP 信号がアサートされると、カウンタ値はこれらのレジスタにロードされます。キャプチャ値は特定のシステムイベントのタイムスタンプとしてよく使用されます。WISHBONE ホストは、これらのレジスタに対するリードオンリ・アクセスができます。

TCICR0 レジスタはカウンタ値の下位 8 ビット値 [7:0] を保持します。TCICR1 レジスタはカウンタ値の上位 8 ビット値 [15:8] を保持します。

表 17-44. タイマ/カウンタ・ステータスレジスタ

TCSR0								0x6D
ビット	7	6	5	4	3	2	1	0
名称	(Reserved)				BTF	ICRF	OCRF	OVF
デフォルト	—	—	—	—	0	0	0	0
アクセス	—	—	—	—	R	R	R	R

BTF ボトムフラグ (Bottom Flag)。カウンタが値 0 に達するとアサートされる。本レジスタにライト動作を行うと、本フラグがクリアされる。

1: カウンタ値がゼロに達した

	0: カウンタ値はゼロに達していない
ICRF	キャプチャカウンタ・フラグ (Capture Counter Flag)。ユーザが TC_IC 入力信号をアサートするとアサートされる。カウンタ値はTCICR0/1レジスタにキャプチャされる。本レジスタにライト動作を行うと、本フラグがクリアされる。本ビットは割り込みを発生可能。
	1: TC_IC 信号がアサートされた
	0: 通常
OCRF	比較一致フラグ (Compare Match Flag)。カウンタが TCOCR0/1 レジスタの値と一致するとアサートされる。本レジスタにライト動作を行うと、本フラグがクリアされる。本ビットは割り込みを発生可能。
	1: カウンタ一致
	0: 通常
OVF	オーバフローフラグ (Overflow Flag)。カウンタが TCTOP0/1 レジスタの値と一致するとアサートされる。本レジスタにライト動作を行うと、本フラグがクリアされる。本ビットは割り込みを発生可能。
	1: カウンタ一致
	0: 通常

表 17-45. タイマ/カウンタ割り込みステータス

TCIRQ	0x6E							
ビット	7	6	5	4	3	2	1	0
名称	(Reserved)					IRQICRF	IRQOCRF	IRQOVF
デフォルト	0	0	0	0	0	0	0	0
アクセス	—	—	—	—	—	R/W	R/W	R/W

IRQICRF	キャプチャカウンタ・フラグ割り込みステータス (Interrupt Status for Capture Counter Flag)。 イネーブルされると、ICRF がアサートされたことを示す。本ビットに '1' をライトすると、割り込みがクリアされる。
	1: キャプチャカウンタ・フラグ割り込み
	0: 割り込みなし
IRQOCRF	比較一致フラグ割り込みステータス (Interrupt Status for Compare Match Flag)。 イネーブルされると、OCRF がアサートされたことを示す。本ビットに '1' をライトすると、割り込みがクリアされる。割り込みラインがアサートされるのは 1 クロックサイクルのみ。
	1: 比較一致フラグ割り込み
	0: 割り込みなし
IRQOVF	オーバフローフラグ割り込みステータス (Interrupt Status for Overflow Flag)。 イネーブルすると、OVF がアサートされたことを示す。本ビットに '1' をライトすると、割り込みがクリアされる。割り込みラインがアサートされるのは 1 クロックサイクルのみ。
	1: オーバフローフラグ割り込み
	0: 割り込みなし

表 17-46. タイマ/カウンタ割り込みイネーブル

TCIRQEN								0x6F
ビット	7	6	5	4	3	2	1	0
名称	(Reserved)					IRQICRFEN	IRQOCRFEN	IRQOVFEN
デフォルト	0	0	0	0	0	0	0	0
アクセス	—	—	—	—	—	R/W	R/W	R/W

IRQICRFEN キャプチャカウンタフラグ割り込み要求イネーブル (Interrupt Enable for Capture Counter Flag)

- 1: 割り込み生成イネーブル
- 0: 割り込み生成ディセーブル

IRQOCRFEN コンペアマッチフラグ割り込み要求イネーブル (Interrupt Enable for Compare Match Flag)

- 1: 割り込み生成イネーブル
- 0: 割り込み生成ディセーブル

IRQOVFEN オーバフローフラグ割り込み要求イネーブル (Interrupt Enable for Overflow Flag)

- 1: 割り込み生成イネーブル
- 0: 割り込み生成ディセーブル

タイマ/カウンタ・シミュレーションモデル

タイマ/カウンタのレジスタマップとEFBソフトウェア・シミュレーションモデルの対応は以下の通りです。

表 17-47. タイマ/カウンタ・シミュレーションモデル

SPI レジスタ名	レジスタ サイズ/ ビット位 置	レジスタ機能	アドレス	アクセス	シミュレーションモデルのレジスタ 名	シミュレーションモデルのパス
TCCR0	[7:0]	Control Register 0	0x5E	Read/Write	{tc_rstn_ena, tc_gsrn_dis, tc_cclk_sel[2:0], tc_sclk_sel[2:0]}	../efb_top/efb_pll_sci_inst/u_ef b_sci/
RSTEN	7				tc_rstn_ena	../efb_top/efb_pll_sci_inst/u_ef b_sci/
PRESCALE[2: 0]	[5:3]				tc_cclk_sel[2:0]	../efb_top/efb_pll_sci_inst/u_ef b_sci/
CLKEDGE	2				tc_sclk_sel[2]	../efb_top/efb_pll_sci_inst/u_ef b_sci/
CLKSEL	1				tc_sclk_sel[1]	../efb_top/efb_pll_sci_inst/u_ef b_sci/
TCCR1	[7:0]	Control Register 1	0x5F	Read/Write	{1'b0, tc_ovf_ena, tc_ic_ena, tc_top_sel, tc_oc_mode[1:0], tc_mode[1:0]}	../efb_top/efb_pll_sci_inst/u_ef b_sci/
SOVFEN	6				tc_ivf_ena	../efb_top/efb_pll_sci_inst/u_ef b_sci/
ICEN	5				tc_ic_ena	../efb_top/efb_pll_sci_inst/u_ef b_sci/
TSEL	4				tc_top_sel	../efb_top/efb_pll_sci_inst/u_ef b_sci/
OCM[1:0]	[3:2]				tc_oc_mode[1:0]	../efb_top/efb_pll_sci_inst/u_ef b_sci/
TCM[1:0]	[1:0]				tc_mode[1:0]	../efb_top/efb_pll_sci_inst/u_ef b_sci/

表 17-47. タイマ/カウンタ・シミュレーションモデル (Continued)

SPI レジスタ名	レジスタサイズ/ビット位置	レジスタ機能	アドレス	アクセス	シミュレーションモデルのレジスタ名	シミュレーションモデルのパス
TCTOPSET0	[7:0]	Set Top Counter Value [7:0]	0x60	Write	{tc_top_set[7], tc_top_set[6], tc_top_set[5], tc_top_set[4], tc_top_set[3], tc_top_set[2], tc_top_set[1], tc_top_set[0]}	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCTOPSET[7:0]	[7:0]				{tc_top_set[7], tc_top_set[6], tc_top_set[5], tc_top_set[4], tc_top_set[3], tc_top_set[2], tc_top_set[1], tc_top_set[0]}	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCTOPSET1	[7:0]	Set Top Counter Value [15:8]	0x61	Write	{tc_top_set[15], tc_top_set[14], tc_top_set[13], tc_top_set[12], tc_top_set[11], tc_top_set[10], tc_top_set[9], tc_top_set[8]}	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCTOPSET[15:8]	[7:0]				{tc_top_set[15], tc_top_set[14], tc_top_set[13], tc_top_set[12], tc_top_set[11], tc_top_set[10], tc_top_set[9], tc_top_set[8]}	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCOCRSET0	[7:0]	Set Compare Counter Value [7:0]	0x62	Write	{tc_ocr_set[7], tc_ocr_set[6], tc_ocr_set[5], tc_ocr_set[4], tc_ocr_set[3], tc_ocr_set[2], tc_ocr_set[1], tc_ocr_set[0]}	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCOCRSET[7:0]	[7:0]				{tc_ocr_set[7], tc_ocr_set[6], tc_ocr_set[5], tc_ocr_set[4], tc_ocr_set[3], tc_ocr_set[2], tc_ocr_set[1], tc_ocr_set[0]}	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCOCRSET1	[7:0]	Set Compare Counter Value [15:8]	0x63	Write	{tc_ocr_set[15], tc_ocr_set[14], tc_ocr_set[13], tc_ocr_set[12], tc_ocr_set[11], tc_ocr_set[10], tc_ocr_set[9], tc_ocr_set[8]}	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCOCRSET[15:8]	[7:0]				{tc_ocr_set[15], tc_ocr_set[14], tc_ocr_set[13], tc_ocr_set[12], tc_ocr_set[11], tc_ocr_set[10], tc_ocr_set[9], tc_ocr_set[8]}	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCCR2	[7:0]	Control Register 2	0x64	Read/Write	{1'b0, 1'b0, 1'b0, 1'b0, 1'b0, tc_oc_force, tc_cnt_reset, tc_cnt_pause}	../efb_top/efb_pll_sci_inst/u_efb_sci/
WBFORCE	2				tc_oc_force	../efb_top/efb_pll_sci_inst/u_efb_sci/
WBRESET	1				tc_cnt_reset	../efb_top/efb_pll_sci_inst/u_efb_sci/
WBPAUSE	0				tc_cnt_pause	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCCNT0	[7:0]	Counter Value [7:0]	0x65	Read	tc_cnt_sts[7:0]	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCCNT[7:0]	[7:0]				tc_cnt_sts[7:0]	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCCNT1	[7:0]	Counter Value [15:8]	0x66	Read	tc_cnt_sts[15:8]	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCCNT[15:8]	[7:0]				tc_cnt_sts[15:8]	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCTOP0	[7:0]	Current Top Counter Value [7:0]	0x67	Read	tc_top_sts[7:0]	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCTOP[7:0]	[7:0]				tc_top_sts[7:0]	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCTOP1	[7:0]	Current Top Counter Value [15:8]	0x68	Read	tc_top_sts[15:8]	../efb_top/efb_pll_sci_inst/u_efb_sci/

表 17-47. タイマ/カウンタ・シミュレーションモデル (Continued)

SPI レジスタ名	レジスタ サイズ/ ビット位 置	レジスタ機能	アドレス	アクセス	シミュレーションモデルのレジスタ 名	シミュレーションモデルのパス
TCTOP[15:8]	[7:0]				tc_top_sts[15:8]	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCOCR0	[7:0]	Current Compare Counter Value [7:0]	0x69	Read	tc_ocr_sts[7:0]	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCOCR[7:0]	[7:0]				tc_ocr_sts[7:0]	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCOCR1	[7:0]	Current Compare Top Counter Value [15:8]	0x6A	Read	tc_ocr_sts[15:8]	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCOCR[15:8]	[7:0]				tc_ocr_sts[15:8]	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCICR0	[7:0]	Current Capture Counter Value [7:0]	0x6B	Read	tc_icr_sts[7:0]	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCICR[7:0]	[7:0]				tc_icr_sts[7:0]	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCICR1	[7:0]	Current Capture Counter Value [15:8]	0x6C	Read	tc_icr_sts[15:8]	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCICR[15:8]	[7:0]				tc_icr_sts[15:8]	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCSR0	[7:0]	Status Register	0x6D	Read	{1'b0, 1'b0, 1'b0, 1'b0, tc_btf_sts, tc_icrf_sts, tc_ocrf_sts, tc_ovf_sts}	../efb_top/efb_pll_sci_inst/u_efb_sci/
BTF	3				tc_btf_sts	../efb_top/efb_pll_sci_inst/u_efb_sci/
ICRF	2				tc_icrf_sts	../efb_top/efb_pll_sci_inst/u_efb_sci/
OCRF	1				tc_ocrf_sts	../efb_top/efb_pll_sci_inst/u_efb_sci/
OVF	0				tc_ovf_sts	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCIRQ	[7:0]	Interrupt Request	0x6E	Read/Write	{1'b0, 1'b0, 1'b0, 1'b0, 1'b0, tc_icrf_irqsts, tc_ocrf_irqsts, tc_ovf_irqsts}	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQICRF	2				tc_icrf_irqsts	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQOCRF	1				tc_ocrf_irqsts	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQOVF	0				tc_ovf_irqsts	../efb_top/efb_pll_sci_inst/u_efb_sci/
TCIRQEN	[7:0]	Interrupt Request Enable	0x6F	Read/Write	{1'b0, 1'b0, 1'b0, 1'b0, 1'b0, tc_icrf_irqena, tc_ocrf_irqena, tc_ovf_irqena}	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQICRFEN	2				tc_icrf_irqena	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQOCRFEN	1				tc_ocrf_irqena	../efb_top/efb_pll_sci_inst/u_efb_sci/
IRQOVFEN	0				tc_ovf_irqena	../efb_top/efb_pll_sci_inst/u_efb_sci/

フラッシュメモリ (UFM/CFM) アクセス

JTAG、SPI、I²C、WISHBONE インターフェイスのいずれかにより、フラッシュメモリのコンフィグレーション・ロジックへのアクセスが可能です。MachXO2 のフラッシュメモリは二つのセクタから成り立っています。

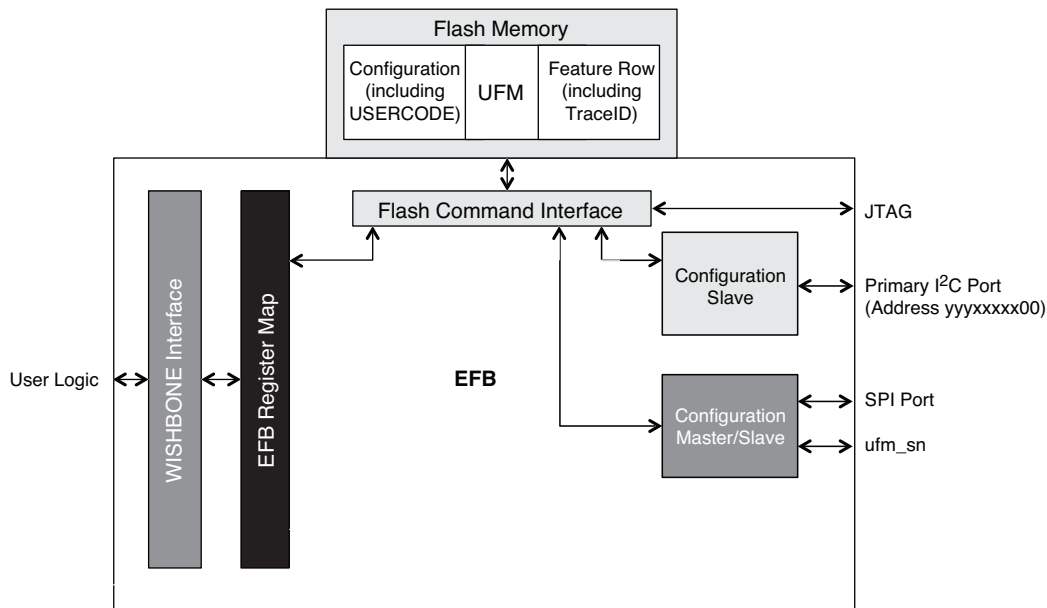
- ・ ユーザフラッシュメモリ (UFM)
 - MachXO2-640 とそれ以上の全デバイスに UFM が 1 セクタあります
- ・ コンフィグレーション
 - コンフィグレーションはコンフィグレーション・フラッシュメモリ (CFM) とフィーチャ行 (Feature Row) の 2 セクタからなります (日本語版脚注¹)

UFM はページ単位で構成されるフラッシュセクタです。UFM はバイト単位でのアドレス指定ができません。各ページは 128 ビット (16 バイト) 単位です。

フラッシュメモリ (UFM/CFM) アクセスポート

UFM セクタへのアクセスは、IEEE1149.1 及び IEEE1532 規格準拠の JTAG ポート、外部スレーブ SPI (SSPI) ポート、外部プライマリ I²C ポート、及び EFB 内の WISHBONE インターフェイスのいずれかにより可能です。図 17-29 に UFM 並びに CFM セクタへのインターフェイスを図示します。

図 17-29. UFM / CFM セクタへのインターフェイス



コンフィグレーション・ロジックは、各インターフェイスからのアクセスを以下の優先順位に従って調停します。優先度の高いポートからのフラッシュメモリへのアクセスが許可された時には、優先度の低いポートからのアクセスはブロックされます。

1. JTAG ポート
2. SSPI ポート
3. プライマリ I²C ポート
4. WISHBONE スレーブ・インターフェイス

注：イネーブル・コンフィグレーション・インターフェイス・コマンド 0x74 (透過モード) によってフラッシュメモリ・インターフェイスをイネーブルすると、一時的に以下に示すデバイスの機能をディセーブルします。

- ・ ワーコントローラ

1. 文脈上特に支障がない限り、以下コンフィグレーションとフィーチャ行をまとめて CFM と表記します

- ・ GSR
- ・ ハードマクロ・ユーザ SPI ポート

これらの機能は、ディセーブル・コンフィグレーション・インターフェイス・コマンド 0x26 と、続いてバイパスコマンド 0xFF を与えて、フラッシュメモリ・インターフェイスをディセーブルすることにより回復されます。

WISHBONE スレーブ・インターフェイスを介したフラッシュメモリ・アクセス

EFB モジュールの WISHBONE スレーブ・インターフェイスを通して FPGA コアロジックから直接フラッシュメモリ (UFM/CFM) にアクセスすることができます。これは、汎用 FPGA リソースに実装された WISHBONE マスタにより、前述の WISHBONE バス信号を使って行われます。これらの WISHBONE バス信号に加えて割り込み要求信号が FPGA 側へ出力されます。IP 信号は "wbc_ufm_irq" で、データリード / ライト FIFO の状態または調停エラーによって、WISHBONE マスタへの割り込み要求として機能します。

注: R1 デバイスにおいて WISHBONE インターフェイスを経由してフラッシュメモリにアクセスする場合は、ハードマクロ SPI ポートまたはプライマリ PC ポートをイネーブルにする必要があります。詳細については、"AN8086, Designing for Migration from MachXO2-1200-R1 to Standard (Non-R1) Devices (MachXO2-1200-R1 から MachXO2-1200 標準品への移行上の注意)" をご参照ください。

WISHBONE インターフェイスはデータ、制御、及びステータスのレジスタセットを介してコンフィグレーション・ロジックへアクセスします。表 17-48 にレジスタ名とその機能を示します。これらのレジスタは EFB レジスタマップのサブセットになっています。各レジスタの特定のアドレスについては EFB レジスタマップをご参照ください。

表 17-48. WISHBONE から CFG (コンフィグレーション) ロジックレジスタ

WISHBONE から CFG レジスタ名	レジスタ機能	アドレス	アクセス
CFGCR	制御	0x70	Read/Write
CFGTXDR	送信データ	0x71	Write
CFGSR	ステータス	0x72	Read
CFGRXDR	受信データ	0x73	Read
CFGIRQ	割り込み要求	0x74	Read/Write
CFGIRQEN	割り込み要求イネーブル	0x75	Read/Write

注：特に指定しない限り、ライト可能レジスタの全予約ビットには '0' がライトされなければなりません

表 17-49. フラッシュメモリ (UFM/CFM) 制御

CFGCR	0x70							
ビット	7	6	5	4	3	2	1	0
名称	WBCE	RSTE	(Reserved)					
デフォルト	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	—	—	—	—	—	—

WBCE

WISHBONE コネクション・イネーブル (Connection Enable)。WISHBONE が、UFM/コンフィグレーション・ロジックとリード / ライト接続を確立できるようにする。本ビットは、WISHBONE ポートから何らかのコマンドを実行する前にセットする必要がある。同様に、コマンドを終了するには本ビットをクリアする必要がある。WISHBONE コマンドの "フレーミング" の詳細については、「WISHBONE 不例ミング」節を参照のこと。

- 1: イネーブル

0: ディセーブル

RSTE

WISHBONE コネクション・リセット (Connection Reset)。入力 / 出力 FIFO ロジックをリセットする。リセットロジックはレベルセンシティブ。本ビットを '1' にセットした後、通常動作をするためには '0' にクリアしなければならない。

1: リセット

0: 通常動作

表 17-50. フラッシュメモリ (UFM/CFM) 送信データ

CFGTXDR								0x71
ビット	7	6	5	4	3	2	1	0
名称	CFG_Transmit_Data[7:0]							
デフォルト	0	0	0	0	0	0	0	0
アクセス	W	W	W	W	W	W	W	W

CFG_Transmit_Data[7:0] CFG 受信データ (Transmit Data)。本レジスタは UFM/ コンフィグレーション・ロジックから読まれたバイトを保持する。ビット 0 が LSB。

図 17-30. フラッシュメモリ (UFM/CFM) ステータス

CFGSR								0x72
ビット	7	6	5	4	3	2	1	0
名称	WBCACT	(Reserved)	TXFE	TXFF	RXFE	RXFF	SSPIACT	I2CACT
デフォルト	0	0	0	0	0	0	0	0
アクセス	R	—	R	R	R	R	R	R

WBCACT

WISHBONE バスからコンフィグレーション・ロジックがアクティブ (WISHBONE Bus to Configuration Logic Active)。WISHBONE からコンフィグレーション・インターフェイスへの接続がアクティブで、確立していることを示す。

1: WISHBONE アクティブ

0: WISHBONE 非アクティブ

TXFE

送信 FIFO エンプティ (Transmit FIFO Empty)。送信データレジスタが空であることを示す。本ビットは割り込みを発生可能。

1: FIFO は空

0: FIFO は空でない

TXFF

送信 FIFO フル (Transmit FIFO Full)。送信データレジスタがフルであることを示す。本ビットは割り込みを発生可能。

1: FIFO フル

0: FIFO フルでない

RXFE

受信 FIFO エンプティ (Receive FIFO Empty)。受信データレジスタが空であることを示す。本ビットは割り込みを発生可能。

1: FIFO は空

0: FIFO は空でない

RXFF

受信 FIFO フル (Receive FIFO Full)。受信データレジスタがフルであることを示す。本ビットは割り込みを発生可能。

1: FIFO は空

0: FIFO は空でない

SSPIACT

Slave SPI Active スレーブ SPI アクティブ)。WBCE がイネーブルされた状態で、スレーブ SPI ポートがコンフィグレーション・ロジックとのアクティブな通信を開

始したことを示す。本ポートは I²C 及び WISHBONE ポートよりも優先され、既存の優先度の低いトランザクションに割り込み、新しい優先度の低いトランザクションが全て禁止される。本ビットは割り込みを発生可能。

- 1: スレーブ SPI ポートはアクティブ
- 0: スレーブ SPI ポートはアクティブでない

I2CACT

I²C アクティブ。WBCE がイネーブルされた状態で、I²C ポートがコンフィグレーション・ロジックとのアクティブな通信を開始したことを示す。本ポートは WISHBONE ポートよりも優先され、既存のトランザクションに割り込み、新しいトランザクションが全て禁止される。本ビットは割り込みを発生可能。

- 1: I²C ポートはアクティブ
- 0: I²C ポートはアクティブでない

表 17-51. フラッシュメモリ (UFM/CFM) 受信データ

CFG_RXDR								0x73
ビット	7	6	5	4	3	2	1	0
名称	CFG_Receive_Data[7:0]							
デフォルト	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R

CFG_Receive_Data[7:0] CFG 受信データ (Receive Data)。本レジスタは UFM/ コンフィグレーション・ロジックから読まれたバイトを保持する。ビット 0 が LSB。

表 17-52. フラッシュメモリ (UFM/CFM) 割り込みステータス

CFG_IRQ								0x74
ビット	7	6	5	4	3	2	1	0
名称	(Reserved)		IRQTXFE	IRQTXFF	IRQRXFE	IRQRXFF	IRQSSPIACT	IRQI2CACT
デフォルト	0	0	0	0	0	0	0	0
アクセス	—	—	R/W	R/W	R/W	R/W	R/W	R/W

IRQTXFE 送信 FIFO エンプティ割り込みステータス (Interrupt Status for Transmit FIFO Empty)。イネーブルされると、TXFE がアサートされたことを示す。本ビットに '1' を書くと割り込みがクリアされる。

- 1: 送信 FIFO エンプティ割り込み
- 0: 割り込みなし

IRQTXFF 送信 FIFO フル割り込みステータス (Interrupt Status for Transmit FIFO Full)。イネーブルされると、TXFF がアサートされたことを示す。本ビットに '1' を書くと割り込みがクリアされる。

- 1: 送信 FIFO フル割り込み
- 0: 割り込みなし

IRQRXFE 受信 FIFO エンプティ割り込みステータス (Interrupt Status for Receive FIFO Empty)。イネーブルされると、RXFE がアサートされたことを示す。本ビットに '1' を書くと割り込みがクリアされる。

- 1: 受信 FIFO エンプティ割り込み
- 0: 割り込みなし

IRQRXFF 受信 FIFO フル割り込みステータス (Interrupt Status for Receive FIFO Full)。イネーブルされると、RXFF がアサートされたことを示す。本ビットに '1' を書くと割り込みがクリアされる。

- 1: 受信 FIFO フル割り込み

	0: 割り込みなし
IRQSSPIACT	スレーブ SPI アクティブ割り込みステータス (Interrupt Status for Slave SPI Active)。イネーブルされると、SSPIACT がアサートされたことを示す。本ビットに '1' をライトすると、割り込みがクリアされる。 1: スレーブ SPI アクティブ割り込み 0: 割り込みなし
IRQI2CACT	I ² C アクティブ割り込みステータス (Interrupt Status for I ² C Active)。イネーブルされると、I2CACT がアサートされたことを示す。本ビットに '1' をライトすると、割り込みがクリアされる。 1: I ² C アクティブ割り込み 0: 割り込みなし

表 17-53. フラッシュメモリ (UFM/CFM) 割り込みイネーブル

CFGIRQEN								0x75
ビット	7	6	5	4	3	2	1	0
名称	(Reserved)		IRQTXFEEN	IRQTXFFEN	IRQRXFEEN	IRQRXFFEN	IRQSSPIACTEN	IRQI2CACTEN
デフォルト	0	0	0	0	0	0	0	0
アクセス	—	—	R/W	R/W	R/W	R/W	R/W	R/W

IRQTXFEEN	送信 FIFO エンプティ割り込みイネーブル (Interrupt Enable for Transmit FIFO Empty) 1: 割り込み生成イネーブル 0: 割り込み生成ディセーブル
IRQTXFFEN	送信 FIFO フル割り込みイネーブル (Interrupt Enable for Transmit FIFO Full) 1: 割り込み生成イネーブル 0: 割り込み生成ディセーブル
IRQRXFEEN	受信 FIFO エンプティ割り込みイネーブル (Interrupt Enable for Receive FIFO Empty) 1: 割り込み生成イネーブル 0: 割り込み生成ディセーブル
IRQRXFFEN	受信 FIFO フル割り込みイネーブル (Interrupt Enable for Receive FIFO Full) 1: 割り込み生成イネーブル 0: 割り込み生成ディセーブル
IRQSSPIACTEN	スレーブ SPI アクティブ割り込みイネーブル (Interrupt Enable for Slave SPI Active) 1: 割り込み生成イネーブル 0: 割り込み生成ディセーブル
IRQI2CACTEN	I ² C アクティブ割り込みイネーブル (Interrupt Enable for I ² C Active) 1: 割り込み生成イネーブル 0: 割り込み生成ディセーブル

表 17-54. 未使用 (予約) レジスタ

UNUSED								0x76
ビット	7	6	5	4	3	2	1	0
名称	(Reserved)							
デフォルト	0	0	0	0	0	0	0	0
アクセス	—	—	—	—	—	—	—	—

表 17-55. EFB 割り込みソース

EFBIRQ								0x77
ビット	7	6	5	4	3	2	1	0
名称	(Reserved)			UFMCFG_INT	TC_INT	SPI_INT	I2C2_INT	I2C1_INT
デフォルト	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R

UFMCFG_INT	UFM/ コンフィグレーション割り込みソース (Flash Memory (UFM/Configuration) Interrupt Source)。EFB 割り込みソースが UFM/ コンフィグレーション・ブロックであることを示す。ソースをさらに詳しく調べるには CFGIRQ を使用する。 1: レジスタ CFGIRQ のビットがセットされた 0: 割り込みなし
TC_INT	タイマ / カウンタ割り込みソース (Timer/Counter Interrupt Source)。EFB 割り込みソースがタイマ / カウンタ・ブロックであることを示す。ソースをさらに詳しく調べるには TCIRQ を使用する。 1: レジスタ TCIRQ のビットがセットされた 0: 割り込みなし
SPI_INT	SPI 割り込みソース (SPI Interrupt Source)。EFB 割り込みソースが SPI ブロックであることを示す。ソースをさらに詳しく調べるには SPIIRQ を使用する。 1: レジスタ SPIIRQ のビットがセットされた 0: 割り込みなし
I2C2_INT	I2C2 割り込みソース (I2C2 Interrupt Source)。EFB 割り込みソースがセカンダリ I ² C ブロックであることを示す。ソースをさらに詳しく調べるには I2C_2_ IRQ を使用する。 1: レジスタ I2C_2_ IRQ のビットがセットされた 0: 割り込みなし
I2C1_INT	I2C1 割り込みソース (I2C1 Interrupt Source)。EFB 割り込みソースがプライマリ I ² C ブロックであることを示す。ソースをさらに詳しく調べるには I2C_1_ IRQ を使用する。 1: レジスタ I2C_1_ IRQ のビットがセットされた 0: 割り込みなし

フラッシュメモリ空間へのコマンドおよびデータ転送

フラッシュメモリ (UFM/CFM) 空間へのコマンドおよびデータ転送は、物理インターフェイスの違いに係わらずどのアクセスポートにおいても同一です。フラッシュメモリはページ単位で構成されています。そのため、リード / ライトには特定ページをアドレス指定します。各ページは 128 ビット (16 バイト) 単位で、データ転送は一連の命令とページアドレスにより行います。フラッシュメモリは CFM (セクタ 0) と UFM (セクタ 1) の二つのセクタで構成され、一括消去 (イレーズ) 操作はセクタ単位で行われます。

用途ごとコマンドのまとめ

表 17-56. UFM (セクタ 1) コマンド

コマンド名	コマンド MSB LSB	SVF コマンド名	記 述
Read Status Register	0x3C	LSC_READ_STATUS	4 バイトのコンフィグレーション・ステータスレジスタをリードする
Check Busy Flag	0xF0	LSC_CHECK_BUSY	コンフィグレーション・ビジーフラグをリードする
Bypass	0xFF	ISC_NOOP	Null 動作
Enable Configuration Interface (Transparent Mode)	0x74	ISC_ENABLE_X	透過的 UFM アクセスをイネーブルする。ハードマクロ化ユーザ SPI およびプライマリ I ² C ポートを除く、ユーザロジックで制御される全てのユーザ I/O、デバイスはユーザモードのまま（この表内の以下のコマンドでは、インターフェイスをイネーブルする必要がある）
Enable Configuration Interface (Offline Mode)	0xC6	ISC_ENABLE	オフライン UFM アクセスをイネーブルする。パーシステンスされた sysCONFIG ポートを除いて、全ユーザ I/O がトライステート状態になる。ユーザロジックは動作を停止する。UFM はアクセスできるままであり、デバイスはオフラインアクセスモードに投入される。（本表にあるその後のコマンドではインターフェイスをイネーブルする必要がある）
Disable Configuration Interface	0x26	ISC_DISABLE	コンフィグレーション (UFM) アクセスをディセーブルする
Set Address	0xB4	LSC_WRITE_ADDRESS	UFM セクタ及び 14 ビット・アドレスレジスタをセットする
Reset UFM Address	0x47	LSC_INIT_ADDR_UFM	アドレスレジスタをリセットし、UFM のセクタ 1、ページ 0 を指すようにする
Read UFM	0xCA	LSC_READ_TAG	UFM データをリードする。オペランドは、リードするページ数、及びプリペンドするダミーバイト数を指定する。アドレスレジスタはポスト（動作後）インクリメントされる
Erase UFM	0xCB	LSC_ERASE_TAG	UFM セクタのみを消去する
Program UFM Page	0xC9	LSC_PROG_TAG	UFM に 1 ページのデータをライトする。アドレスレジスタは事後インクリメントされる

表 17-57. コンフィグレーション・フラッシュ (セクタ 0) コマンド

コマンド名	コマンド MSB LSB	SVF コマンド名	記 述
Read Device ID	0xE0	IDCODE_PUB	4 バイトのデバイス ID をリードする (0x01 2b 20 43)
Read USERCODE	0xC0	USERCODE	32 ビットの USERCODE をリードする
Read Status Register	0x3C	LSC_READ_STATUS	4 バイトのコンフィグレーション・ステータスレジスタをリードする
Read Busy Flag	0xF0	LSC_CHECK_BUSY	コンフィグレーション・ビジーフラグをリードする
Refresh ¹	0x79	LSC_REFRESH	ブートシーケンスを起動する（PROGRAMN ピンのトグル動作と同じ）
STANDBY	0x7D	LSC_DEVICE_CTRL	パワーコントローラのスタンバイモードへの遷移、およびスタンバイモードからの復帰のトリガ
Bypass	0xFF	ISC_NOOP	Null 動作
Enable Configuration Interface (Transparent Mode)	0x74	ISC_ENABLE_X	透過的コンフィグレーション・フラッシュ・アクセスをイネーブルする。ハードマクロ化ユーザ SPI およびプライマリ I ² C ポートを除く、全ユーザ I/O がトライステート状態になる。ユーザロジックは動作を停止する。UFM はアクセスできるままであり、デバイスはオフラインアクセスモードに投入される。本表にあるその後のコマンドではインターフェイスをイネーブルする必要がある）

表 17-57. コンフィグレーション・フラッシュ (セクタ 0) コマンド (Continued)

コマンド名	コマンド MSB LSB	SVF コマンド名	記 述
Enable Configuration Interface (Offline Mode)	0xC6	ISC_ENABLE	オフライン CFM アクセスをイネーブルする。パーシスタンスされた sysCONFIG ポートを除いて、全ユーザ I/O がトライステート状態になる。ユーザロジックは動作を停止する。UFM はアクセスできるままであり、デバイスはオフラインアクセスモードに投入される。本表にあるその後のコマンドはインターフェイスがイネーブルされていなければならない。
Disable Configuration Interface	0x26	ISC_DISABLE	アクセスモードを終了する
Set Configuration Flash Address	0xB4	LSC_WRITE_ADDRESS	14 ビットのアドレスレジスタをセットする
Verify Device ID	0xE2	VERIFY_ID	32 ビット入力でデバイス ID をベリファイし、不一致の場合はフェイルフラグをセットする
Reset Configuration Flash Address	0x46	LSC_INIT_ADDRESS	アドレスレジスタをリセットし、コンフィグレーション・フラッシュのセクタ 0、ページ 0 を指すようにする
Read Flash	0x73	LSC_READ_INCR_NV	コンフィグレーション・フラッシュデータをリードする。オペランドでリードするページ数を指定する。アドレスレジスタは事後インクリメントされる
Erase	0x0E	ISC_ERASE	コンフィグレーション・フラッシュ、FEATURE Row、FEABIT、Done ビット、セキュリティビット、及び USERCODE を消去
Program Page	0x70	LSC_PROG_INCR_NV	コンフィグレーション・フラッシュに 1 ページのデータをライトする。アドレスレジスタは事後インクリメントされる
Program DONE	0x5E	ISC_PROGRAM_DONE	Done ビットをプログラムする
Program SECURITY	0xCE	ISC_PROGRAM_SECURITY	セキュリティビット (CFG フラッシュセクタを保護) をプログラムする
Program SECURITY PLUS	0xCF	ISC_PROGRAM_SECPLUS	セキュリティ・プラスビット (CFG および UFM セクタを保護) をプログラムする (注: SECURITY および SECURITY PLUS コマンドは相互に排他的)
Program USERCODE	0xC2	ISC_PROGRAM_USERCODE	32 ビットの USERCODE をプログラムする
Read Feature Row	0xE7	LSC_READ_FEATURE	フィーチャ行をリードする
Program Feature Row	0xE4	LSC_PROG_FEATURE	フィーチャ行をプログラムする
Read FEABITS	0xFB	LSC_READ_FEABITS	FEA ビットをリードする
Program FEABITS	0xF8	LSC_PROG_FEABITS	FEA ビットをプログラムする

1. シミュレーションモデルではリフレッシュ・コマンドはサポートされていません

表 17-58. 不揮発レジスタ (NVR) コマンド

コマンド名	コマンド MSB LSB	SVF コマンド名	記 述
Read Trace ID code	0x19	UIDCODE_PUB	64-bit TraceID をリード

WISHBONE バスインターフェイス使用時にはコマンドとオペコード、オペランド、及びデータが CFGTXDR レジスタに書き込まれます。シリアルのスレーブ SPI または I²C インターフェイス使用時には、MSB (最上位ビット) が最初に MachXO2 デバイスにシフトされます。これは、MachXO2 デバイス内部のコンフィグレーション・ロジックとの通信の場合にのみ必要です。

UFM またはコンフィグレーション・フラッシュでライト、リード、または消去動作を実行するには、コマンド 0x74 を使用してインターフェイスをイネーブルする必要があります。該当するコマンドは、コマンド説明

の "EN Required (EN 必要)" に示してあります。変更動作の完了後は、コマンド 0x26 と 0xFF を使用してインターフェイスをディセーブルできます。

コマンドコード別コマンド説明

表 17-59. フラッシュメモリ消去 (0x0E)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
x	x		Y	0E	下記	—	—	—

オペランド： 0000 ucs 0000 0000 0000 0000 (2 進)

ここで：

- u: UFM セクタ消去
 - 0: アクションなし
 - 1: 消去
- c: CFG セクタ消去 (コンフィグレーション・フラッシュ, DONE, セキュリティビット, USERCODE)
 - 0: アクションなし
 - 1: 消去
- f: フィーチャセクタ消去 (スレーブ I²C アドレス, sysCONFIG ポート・パースタンス, ブートモード, OTP, など)
 - 0: アクションなし
 - 1: 消去
- s: SRAM 消去
 - 0: アクションなし
 - 1: 消去

注： 本コマンド発行後、Read Status または Check Busy 以外のコマンドを続ける場合には、消去が確実にように、BUSY ビットをポーリングする (または待つ。表 17-97 参照)

フラッシュビットの消去状態 = 0

例：

```

0x0E 04 00 00
CFG セクタ消去
0x0E 08 00 00
UFM セクタ消去
0x0E 0C 00 00
UFM と CFG セクタ消去

```

表 17-60. リード TraceID コード (0x19)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
		x	Y (注日)	19	00 00 00	R	8B	—

例：

```

0x19 00 00 00
8 バイトの TraceID をリード

```

注： リードされる先頭バイトはユーザ部で、続く 7 バイトが各デバイス個体に固有の値です。

(注日) 日本語注：英語オリジナル版は 'N' ですが、次版 (TBD) で Y に更新される予定です。

表 17-61. コンフィグレーション・インターフェイスの禁止 (0x26)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
x	x		—	26	00 00	—	—	—

例：

0x26 00 00

アクセス変更に対して、フラッシュメモリ (URM/ コンフィグレーション) インターフェイスをディセーブルする

コンフィグレーション・ステータスレジスタのビジービットがアサートされている間は、インターフェイスをディセーブルできません。コマンド (消去、プログラムなど) の実行後、ビジーがクリアされたことを確認してから、ディセーブル・コマンドを発行します。パワーコントローラと GSR、およびハードマクロユーザ SPI ポートの動作を回復させるためには、BYPASS コマンドが必要です。

オフラインモード (0xC6) を終了する前に SRAM を消去する必要があります。

表 17-62. リード・ステータスレジスタ (0x3C)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
x	x		Y (注目)	3C	00 00 00	R	4B	xxxx 1xEE Exxx xxxx xxFB xxCD xxxx xxxx

データフォーマット：

SR の最上位バイトが最初に受信され、LSB が最後。

D ビット 8：Flash または SRAM "Done" (正常終了) フラグ

C = 0：SRAM Done ビットがプログラムされた

- ・ D = 1：フラッシュから SRAM へのデータ転送は正常終了
- ・ D = 0：フラッシュから SRAM へのデータ転送は異常終了

C=1：Flash Done ビットがプログラムされた

- ・ D = 1：プログラムされた
- ・ D = 0：プログラムされなかった

C ビット 9：コンフィグレーション・インターフェイスをイネーブル (1 = イネーブル、0 = ディセーブル)

B ビット 12: Busy フラグ (1 = ビジー)

F ビット 13: Fail フラグ (1 = 操作に失敗)

I I=0: ベリファイ正常、I=1: ベリファイ失敗

EEE

ビット [25:23]: フラッシュチェック・ステータス

000: エラーなし	100: プリアンブル ERR
001: ID ERR	101: アボート ERR
010: CMD ERR	110: オーバフロー ERR
011: CRC ERR	111: SDM EOF

(他の全てのビットは予約済み)

使用法：

Enable, Erase, Program 動作の後には全て BUSY ビットをチェックすること。

注：

電源起動後、或いは wb_rst_i のアサート後、EFB にアクセスする前に最低でも 1us 待つこと

(注目) 日本語注：英語オリジナル版は 'N' ですが、次版 (TBD) で Y に更新される予定です。

例：

0x3C 00 00 00

4 バイト・ステータスレジスタをリードする。例えば 0x00 00 20 00 (fail フラグがセット)

表 17-63. CFG アドレスリセット (0x46)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
	x		Y	46	00 00 00	—	—	—

例： 0x46 00 00 00
アドレスレジスタにコンフィグレーション・セクタ 0、ページ 0 をセットする

表 17-64. UFM アドレスリセット (0x47)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
x			Y	47	00 00 00	—	—	—

例： 0x47 00 00 00
アドレスレジスタに UFM セクタ 1、ページ 0 をセットする

表 17-65. DONE プログラム (0x5E)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
	x		Y	5E	00 00 00	—	—	—

例： 0x5E 00 00 00
DONE ビットをセット

注： 本コマンド動作後に、Read Status や Check Busy 以外のコマンドを続けて発行する場合、その前に BUSY ビットをポーリングするか 200 μ 秒待ち、動作の完了を確実にします。

表 17-66. プログラム・コンフィグレーション・フラッシュメモリ (0x70)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
	x		Y	70	00 00 01	W	16B	16 bytes UFM write data

例： 0x70 00 00 01 00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F
アドレスレジスタが指す 1 ページのデータをライトする。

注： 16 データバイトに続いてコマンド及びオペランド・バイトをライトすることで、正しいデータ・アライメントを確実なものとする必要があります。各ページデータのライト後、アドレスレジスタは自動的にインクリメントされます。
オペランド (0x00 00 00 00) は (0x00 00 01) と等価です。
本コマンドの実行前に、0x0E を使用して CFG セクタを消去しなければなりません。
本コマンド動作後に、Read Status や Check Busy 以外のコマンドを続けて発行する場合、その前に BUSY ビットをポーリングするか 200 μ 秒待ち、動作の完了を確実にします。

表 17-67. リード・コンフィグレーション・フラッシュメモリ (0x73) (WISHBONE/SPI)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
	x		Y	73	* (below)	R	** (below)	*** (below)

- 注： 本コマンドは CFM を WISHBONE または SPI から読み出す時に適用されます。
- * オペランド： 0001 0000 00pp pppp pppp pppp (2 進)
pp..pp: num_pages num_pages=1 の時、読み出す CFG ページ数
num_pages > 1 の時、読み出す CFG ページ数 +1
- ** データサイズ： (num_pages * 16) バイト
- 注： CFG の読み出しはいつでも中断できますが、リード FIFO に残ったデータは破棄されます。規定されたリードサイズを超えるリードデータは不定です。各ページデータの読み出し後アドレスレジスタは自動的にインクリメントされます。
- *** 例： 0x73 10 00 01
0 バイトのダミーと、それに続く 1 ページの CFG データ (合計 16 バイト) をリード
0x73 10 00 04
1 ページのダミーと、それに続く 3 ページの CFG データ (合計 4 ページ) をリード
- 注： WISHBONE を介して 1 ページ分のデータ (num_page=1) をリードする場合の最大速度は 36MHz です。SPI はポートの制約のみで速度の制限はありません。

表 17-68. リード・コンフィグレーション・フラッシュメモリ (0x73) (I²C/WISHBONE/SPI)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
	x		Y	73	* (below)	R	** (below)	*** (below)

- 注： 本コマンドは CFM を I²C、WISHBONE または SPI から読み出す時に適用されます。
- * オペランド： 0000 0000 00pp pppp pppp pppp (2 進)
pp..pp: num_pages num_pages=1 の時、読み出す CFG ページ数
num_pages > 1 の時、読み出す CFG ページ数 +1
- ** データサイズ： num_pages=1 の時、(num_pages * 16) バイト
num_pages>1 の時、32 バイト + (num_pages) * (16 + 4) バイト
- 注： CFG の読み出しはいつでも中断できますが、リード FIFO に残ったデータは破棄されます。規定されたリードサイズを超えるリードデータは不定です。各ページデータの読み出し後アドレスレジスタは自動的にインクリメントされます。
- *** 例： 0x73 00 00 01
0 バイトのダミーと、それに続く 1 ページの CFG データ (合計 16 バイト) をリード
0x73 00 00 04
2 ページのダミーと、これに続く 3 組の "1 ページの CFG データと 4 バイトダミー" (合計 5 ページと 12 バイト) をリード
- 注： WISHBONE を介して 1 ページ分のデータ (num_page=1) をリードする場合の最大速度は 36MHz です。I²C や SPI はポートの制約のみで速度の制限はありません。

表 17-69. コンフィグレーション・インターフェイス・イネーブル (トランスペアレント) (0x74)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
x	x		—	74	08 00 00	—	—	—

注： I²C インターフェイスのみはオペランドが 2 バイト、これ以外は全て 3 バイトです。本コマンドは、UFM、コンフィグレーション・フラッシュ、または不揮発性レジスタ (NVR) を変更可能にするため必要です。本コマンドは 0x26 に 0xFF を続けて使用することで終了します。

本コマンドの実行は、特定のデバイス機能、即ちパワーコントローラ、GSR、およびユーザ SPI ポートを一時的にディセーブルにします。コマンドが終了されると、これら機能は回復します。

本コマンド動作の後には、フラッシュがフルにチャージアップされるように、BUSY ビットをポーリングするか 5 μ 秒待ちます。

例： 0x74 08 00 00

I²C インターフェイス以外の手段による変更アクセスに対して、URM/ コンフィグレーション・インターフェイスをイネーブルする。

表 17-70. リフレッシュ (0x79)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
				79	00 00	—	—	—

例： 0x79 00 00

リフレッシュ・コマンドを発行する。

注： リフレッシュ・コマンドによりブートシーケンスが起動されます。

オペランド長は 2 でなければなりません。

リフレッシュコマンドを完了後 (即ち SPI SN ネゲート後または I2C stop 後)、次のバスアクセスは tREFRESH 期間禁止されます。このようけんが満たされないとリフレッシュ・プロセスが中断される原因となり、MachXO2 デバイスは未プログラム状態になります。

しばしばデバイス REFRESH や PROGRAMN ピンのトグルに続き、セカンダリ I2C ポートが (アイドルでない) 未定義ステートのままにされることがあります。この状態になるかどうかはデザインおよび route 依存です。明示的にセカンダリ I2C ポートをアイドルステートに戻すためには、デバイスがリセットから抜けたら直ちに WISHBONE を介して値 0x44 を I2C_2_CMDR レジスタにライトします。これによってハードマクロがバスの STOP 信号を生成するために SCK に短い Low パルスを生じる動作となり、アイドルステートに戻ります。手動でセカンダリ I2C ポートにアイドル状態にすることに失敗した場合、I2C バスがロック状態になる可能性があります。通常の I2C 動作は遅延することなく開始できます。

リフレッシュ・コマンドの発行や PROGRAMN ピンをトグルした後にセカンダリ I²C ポートがイネーブルされた場合、I²C STOP によってステートマシンをリセットすることを推奨します。I²C STOP は I2C_2_CMDR レジスタに一度 0x40 をライトして行ないます。これにより当該ブロックが STOP 信号を出すために、SCK に短い Low パルスが生じます。正常な I²C 動作が余分な遅延なく開始されます。

表 17-71. STANDBY (0x7D)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
	x		N	7D	0y 00	—	—	—

例: 0x7D 0y 00

y:2 パワーコントローラがスタンバイモードに遷移するトリガ

y:8 パワーコントローラがスタンバイモードから復帰するトリガ

注: オペランド長は 2 でなければなりません。

パワーコントローラは必ずデザインに含まれてはなりません。

また以下の方法によりパワーコントローラがスタンバイモードから復帰するためのトリガを与えることができます（ユーザロジック・スタンバイ信号がイネーブルになっていない場合）。

1. I²C では以下の方法があります：
 - a. プライマリ I²C コンフィグレーション・ポート ~ アドレスが I²C コンフィグレーション・アドレスと一致すること（他の設定は不要）
 - b. プライマリまたはセカンダリ I²C ユーザポート ~ アドレスが I²C ユーザアドレスと一致すること。I2C_1_CR[WKUPEN] または I2C_1_CR[WKUPEN] のビットをセットする必要があります。
 - c. 同報通知 ~ 同報通知ウェイクアップ・コマンド (0xF3) の送信。同報通知をイネーブル (I2C_1_CR[GCEN] または I2C_2_CR[GCEN] のセット) し、かつ同報通知アドレスを使用します。
2. SPI の場合は、以下に述べる制御レジスタビットを設定し、スレーブ・コンフィグレーション (ufm_sn) またはユーザ・チップセレクト (spi_scsn) をアサートすることによる。
 - a. コンフィグレーション: SPICR1[WKUPEN_CFG]
 - b. ユーザ: SPICR[WKUPEN_USER]

パワーコントローラに関する詳細は「TN1198,Power Estimation and Management for MachXO2 Devices (MachXO2 デバイスの電力見積もりと電力管理)」をご参照ください。

表 17-72. アドレス設定 (0xB4)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
x	x		Y	B4	00 00 00	W	4B	0s00 0000 0000 0000 00aa aaaa aaaa aaaa

データフォーマット: s: セクタ
 0: コンフィグレーション
 1: UFM
 aa..aa: アドレス 14 ビットのページアドレス

例: 0xB4 00 00 00 40 00 00 0A
 アドレスレジスタに UFM セクタ、ページ 10 (10 進) をセットする。

表 17-73. リード USERCODE (0xC0)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
	x		Y (注目)	C0	00 00 00	R	4B	—

(注目) 日本語注：英語オリジナル版は 'N' ですが、次版 (TBD) で Y に更新される予定です。

例： 0xC0 00 00 00
 EN Required = Y CFG セクターから 4 バイトの USERCODE をリード
 EN Required = N SRAM から 4 バイトの USERCODE をリード

表 17-74. プログラム USERCODE (0xC2)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
	x		Y	C2	00 00 00	W	4B	—

例： 0xC2 00 00 00 10 20 30 40
 USERCODE を 32 ビット入力 0x10 20 30 40 にセットする。

注： 本コマンド発行後に、Read Status や Check Busy 以外のコマンドを続けて発行する場合、その前に BUSY ビットをポーリングするか 200 μ 秒待ち、動作の完了を確実にします。

表 17-75. コンフィグレーション・インターフェイス・イネーブル (オフライン) (0xC6)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
	x			C6	0y 00 00	—	—	—

オペランド： 08 00 00 フラッシュ、ノーマルモードをイネーブル。オフライン・コンフィグレーションの通常モード。本ドキュメントで記載する、SRAM 消去を含む全オフラインコマンドで使用される。
 00 00 00 SRAM モードをイネーブル。オプションの編集モード。SRAM 消去コマンドのみをサポートする。

例： 0xC6 08 00 00
 フラッシュメモリ (UFM・コンフィグレーション) インターフェイスをオフライン変更アクセスにイネーブルする。

注： UFM やコンフィグレーション・フラッシュ、或いは不揮発性レジスタ (NVR) のオフライン変更をイネーブルするために本コマンドを使用します。本動作は、コマンド 0x26 と 0xFF を続けることで終了させます。本コマンドでは全ユーザ I/O をトライステートにし (パーシスタンス sysCONFIG ポートを除く)、ユーザロジックは動作を停止します。UFM はアクセスできます。
 本コマンド動作の後には、フラッシュがフルにチャージアップされるように、BUSY ビットをポーリングするか 5 μ 秒待ちます。

表 17-76. プログラム UFM (0xC9)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
x			Y	C9	00 00 01	W	16B	16 bytes UFM write data

例： 0xC9 00 00 01 00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F
 アドレスレジスタが指す 1 ページのデータをライトする。

注： 16 データバイトに続いてコマンド及びオペランド・バイトをライトすることで、正しいデータ・アライメントを確実なものとする必要があります。アドレスレジスタは、ページライト後に自動インクリメントされます。

本コマンドの実行前に、0x0E または 0xCB を使用して UFM セクタを消去しなければなりません。

本コマンド動作後に、Read Status や Check Busy 以外のコマンドを続けて発行する場合、その前に BUSY ビットをポーリングするか 200 μ 秒待ち、動作の完了を確実にします。

表 17-77. リード UFM (0xCA) (WISHBONE/SPI)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
x			Y	CA	*(below)	R	**(below)	*** (below)

- * オペランド : 0001 0000 00pp pppp pppp pppp (2 進)
 ここで: pp..pp: num_pages ~ リードする UFM ページ数
 ** データサイズ (num_pages * 16) バイト
 注: UFM の読み出しはいつでも中断できますが、リード FIFO に残ったデータは破棄されます。規定されたリードサイズを超えるリードデータは不定となります。各ページデータの読み出し後アドレスレジスタは自動的にインクリメントされます。
 *** 例: 0xCA 10 00 01
 0 バイトのダミーと、それに続く 1 ページの UFM データ (合計 16 バイト) をリード
 0xCA 10 00 04
 1 ページのダミーと、それに続く 3 ページの UFM データ (合計 4 ページ) をリード
 注: WISHBONE を介して 1 ページ分のデータ (num_page=1) をリードする場合の最大速度は 16.6MHz です。より高速の WISHBONE クロック速度でも、リード時のデータが取り込めるタイミング遅延を与えるために WB ウェイトステートを挿入することで対応可能です。より詳細については TN1204 (MachXO2 プログラミングとコンフィグレーション使用ガイド) のフラッシュメモリ・ページのリードに関する記述をご参照ください。MachXO2 の SPI トランザクションは最小読み出し遅延時間の要件を満たします。SPI には特に速度制限はありません。

表 17-78. リード UFM (0xCA) (WISHBONE/SPI/PC)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
x			Y	CA	*(below)	R	**(below)	*** (below)

- * オペランド : 0000 0000 00pp pppp pppp pppp (2 進)
 ここで: pp..pp: num_pages num_pages=1 の時、リードする CFM ページ数
 num_pages>1 の時、リードする CFM ページ数+1
 ** データサイズ pages=1 の時、(num_pages * 16) バイト
 num_pages>1 の時、32 バイト + (num_pages * 16 + 4) バイト
 注: UFM の読み出しはいつでも中断できますが、リード FIFO に残ったデータは破棄されます。規定されたリードサイズを超えるリードデータは不定となります。各ページデータの読み出し後アドレスレジスタは自動的にインクリメントされます。
 *** 例: 0xCA 00 00 01
 0 バイトのダミーと、それに続く 1 ページの UFM データ (合計 16 バイト) をリード

0xCA 00 00 04

2 ページのダミーと、これに続く 3 組の "1 ページの CFG データと 4 バイトダミー" (合計 5 ページと 12 バイト) をリード

注： WISHBONE を介して 1 ページ分のデータ (num_page=1) をリードする場合の最大速度は 16.6MHz です。より高速の WISHBONE クロック速度でも、リード時のデータが取り込めるタイミング遅延を与えるために WB ウェイトステートを挿入することで対応可能です。より詳細については TN1204 (MachXO2 プログラミングとコンフィグレーション使用ガイド) のフラッシュメモリ・ページのリードに関する記述をご参照ください。MachXO2 の SPI と I²C トランザクションは最小読み出し遅延時間の要件を満たします。SPI には特に速度制限はありません。SPI と I²C にはポートの制約のみで特に速度制限はありません。

表 17-79. 消去 UFM (0xCB)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
x			Y	CB	00 00 00	—	—	—

注： UFM ビットの消去状態は = '0' です。
本コマンド発行後に、Read Status や Check Busy 以外のコマンドを続けて発行する場合、その前に BUSY ビットをポーリングするか Wait し (表 17-94 参照)、消去完了を確実にします。

例： 0xCB 00 00 00
UFM セクタ消去

表 17-80. プログラム SECURITY (0xCE)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
	x		Y	CE	00 00 00	—	—	—

例： 0xCE 00 00 00
SECURITY ビットをセット

注： 本コマンド発行後に、Read Status や Check Busy 以外のコマンドを続けて発行する場合、その前に BUSY ビットをポーリングするか 200 μ 秒待ち、動作の完了を確実にします。

SECURITY および SECURITY PLUS コマンドは相互に排他的です。

Table17-81. プログラム SECURITY PLUS (0xCF)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
	x		Y	CF	00 00 00	—	—	—

例： 0xCF 00 00 00
SECURITY PLUS ビットをセット

注： 本コマンド発行後に、Read Status や Check Busy 以外のコマンドを続けて発行する場合、その前に BUSY ビットをポーリングするか 200 μ 秒待ち、動作の完了を確実にします。

SECURITY および SECURITY PLUS コマンドは相互に排他的です。

表 17-82. リード デバイス ID コード (0xE0)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
	x		Y (注目)	E0	00 00 00	R	4B	See 表 17-85

(注目) 日本語注：英語オリジナル版は 'N' ですが、次版 (TBD) で Y に更新される予定です。

例：
0xE0 00 00 00
4 バイトのデバイス ID をリード

表 17-83. デバイス ID 一覧

デバイス	HE/ZE デバイス	HC デバイス
MachXO2-256	0x01 2B 00 43	0x01 2B 80 43
MachXO2-640	0x01 2B 10 43	0x01 2B 90 43
MachXO2-1200/MachXO2-640U	0x01 2B 20 43	0x01 2B A0 43
MachXO2-2000/MachXO2-1200U	0x01 2B 30 43	0x01 2B B0 43
MachXO2-4000/MachXO2-2000U	0x01 2B 40 43	0x01 2B C0 43
MachXO2-7000	0x01 2B 50 43	0x01 2B D0 43

例：
0xE0 00 00 00
4 バイトのデバイス ID をリード

表 17-84. ベリファイ・デバイス ID コード (0xE2)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
	x		N	E2	00 00 00	W	4B	See 表 17-85

例：
0xE2 00 00 00 01 2B 20 43
32 ビット入力でデバイス ID を確認し、不一致の場合は SR のビット 27 に ID エラーフラグをセットする

表 17-85. プログラム・フィーチャ行 (0xE4)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
			Y	E4	00 00 00		8B	00 00 ss uu cc cc cc cc

データフォーマット：
ss: I²C スレーブアドレスのユーザがプログラム可能な 8 ビット
uu: TraceID のユーザがプログラム可能な 8 ビット
cc cc cc cc: 32 ビットのカスタム (Custom) ID コード

注：フィーチャ行は、ラティス出荷時に一度のみプログラムされるべきであり、出荷後に再度プログラムすることは推奨しません。

例：
0xE4 00 00 00 00 10 00 00 12 34
ユーザ I²C アドレスを 1 にセット、TraceID はデフォルト値、カスタム ID コードを 12 34 としてフィーチャ行をプログラム

表 17-86. リード・フィーチャ行 (0xE7)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
		x	Y	E4	00 00 00	R	8B	00 ss uu cc cc cc cc

データフォーマット： ss: I²C スレーブアドレスのユーザがプログラム可能な 8 ビット
uu: TraceID のユーザがプログラム可能な 8 ビット
cc cc cc cc: 32 ビットのカスタム ID コード

例： 0xE7 00 00 00
フィーチャ行をリードする

表 17-87. チェック・ビジーフラグ (0xF0)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
x	x		Y (注日)	F0	00 00 00	R	1B	Bxxx xxxx

データフォーマット： B: bit 7: Busy フラグ (1= ビジー)
(その他のビットは全て予約)

(注日) 日本語注：英語オリジナル版は 'N' ですが、次版 (TBD) で Y に更新される予定です。

例： 0xF0 00 00 00
1 バイトリード, e.g. 0x80 (busy フラグがセット)

表 17-88. プログラム FEABIT (0xF8)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
		x	Y	F8	00 00 00	W	2B	00 bb mi sj di pa 00 00

データフォーマット： bb: ブートシーケンス

- b=00 (デフォルト値) かつ m=0 の場合、CFM からのシングルブートを行なう
- b=00 かつ m=1 の場合、デュアルブート (CFM からブートし、失敗した場合は外部からブート) を行なう
- b=01 かつ m=1 の場合、外部フラッシュからのシングルブートを行なう

m: マスタ SPI ポート・パーシスタンス 0= ディセーブル (デフォルト), 1= イネーブル
i: I²C ポート・パーシスタンス 0= イネーブル (デフォルト), 1= ディセーブル
s: スレーブ SPI ポート・パーシスタンス 0= イネーブル (デフォルト), 1= ディセーブル
j: JTAG ポート・パーシスタンス 0= イネーブル (デフォルト), 1= ディセーブル
d: DONE パーシスタンス 0= ディセーブル (デフォルト), 1= イネーブル
i: INITN パーシスタンス 0= ディセーブル (デフォルト), 1= イネーブル
p: PROGRAMN パーシスタンス 0= イネーブル (デフォルト), 1= ディセーブル
a: my_ASSP イネーブル 0= ディセーブル (デフォルト), 1= イネーブル

注： FEABIT はラティス出荷時に一度のみプログラムされるべきであり、出荷後に再度プログラムすることは推奨しません。

例： 0xF8 00 00 00 0D 20
フィーチャ行をリード

表 17-89. リード FEABIT (0xFB)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
		x	Y	FB	00 00 00	R	2B	00 bb mi sj di pa 00 00

データフォーマット：bb: ブートシーケンス

1. b=00 (デフォルト値) かつ m=0 の場合、CFM からのシングルブートを行なう
2. b=00 かつ m=1 の場合、デュアルブート (CFM からブートし、失敗した場合は外部からブート) を行なう
3. b=01 かつ m=1 の場合、外部フラッシュからのシングルブートを行なう

m: マスタ SPI ポート・パーシスタンス 0= ディセーブル (デフォルト), 1= イネーブル
i: I²C ポート・パーシスタンス 0= イネーブル (デフォルト), 1= ディセーブル
s: スレーブ SPI ポート・パーシスタンス 0= イネーブル (デフォルト), 1= ディセーブル
j: JTAG ポート・パーシスタンス 0= イネーブル (デフォルト), 1= ディセーブル
d: DONE パーシスタンス 0= ディセーブル (デフォルト), 1= イネーブル
i: INITN パーシスタンス 0= ディセーブル (デフォルト), 1= イネーブル
p: PROGRAMN パーシスタンス 0= イネーブル (デフォルト), 1= ディセーブル
a: my_ASSP イネーブル 0= ディセーブル (デフォルト), 1= イネーブル

表 17-90. バイパス (Null オペレーション) (0xFF)

UFM	CFG	NVR	EN 必要?	CMD (Hex)	オペランド (Hex)	データモード	データサイズ	データフォーマット
x	x	x	N	FF	FF FF FF	—	—	—

注: オペランドは省略可
例: 0xFF FF FF FF バイパス

コンフィグレーション・フラッシュメモリとのインターフェイス

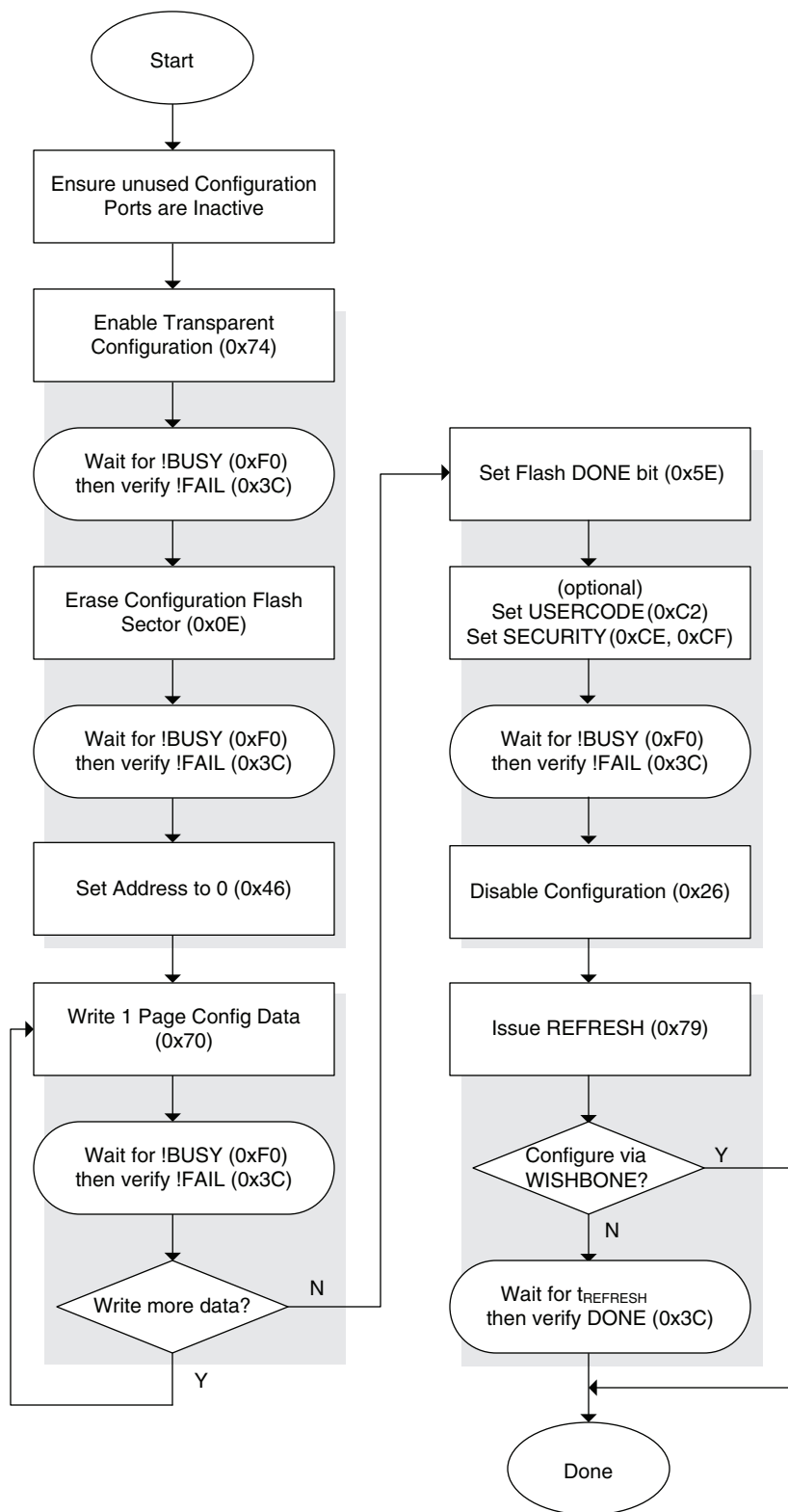
EFB モジュールの WISHBONE インターフェイスは、WISHBONE マスタから MachXO2 のコンフィグレーション・リソースへのアクセスを可能にします。これは USERCODE や TraceID 等のコンフィグレーション・リソースからのデータリードに特に有用です。最も重要なことは、この機能によってユーザがデバイス動作中に CFM アレイの更新ができることです。これはセルフコンフィグレーション動作です。電源投入またはリフレッシュ動作により、CFM の新しい内容がコンフィグレーション SRAM にロードされデバイスは新しいコンフィグレーションで動作を続行します。

データ転送と動作の実行は本ドキュメントの UFM セクションに記載されているものと同じです。これは UFM もフラッシュメモリ・リソースの一つであり、WISHBONE マスタとコンフィグレーション・ロジックの通信が同じコマンド / ステータス / データ各レジスタの組で行なわれるためです。これらについては、表 17-48 から 17-58 をご参照ください。

図 17-31 に、sysCONFIG ポート (I²C, SPI, または WISHBONE) のいずれかから起動される CFM アップデートのフロー図を示します。

MachXO2 のプログラミングおよびコンフィグレーションに関する情報は「TN1204, MachXO2 Programming and Configuration Usage Guide (MachXO2 プログラミングとコンフィグレーション使用ガイド)」をご参照ください。

図 17-31. 基本的な CFM アップデートの例



コマンドフレーミング

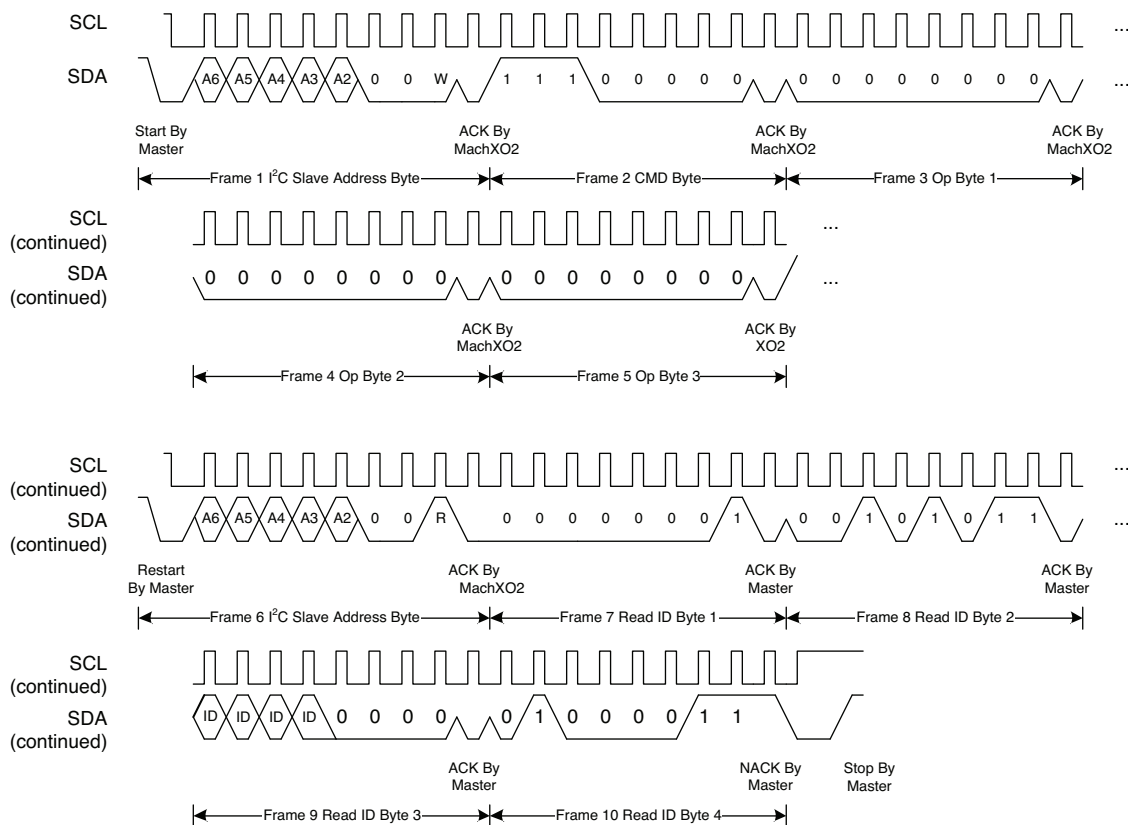
I²C フレーミング

I²C EFB ポートに送られる各コマンド列は、それぞれのインターフェイス用に定義されたプロトコルに従って正しくフレーム化されたものでなければなりません。I²C の場合そのプロトコルは良く知られており、以下に示す通りに定義されています。

表 17-91. I²C インターフェイスのコマンド・フレーミング・プロトコル

インターフェイス	前処理 Pre-op (+)	コマンドストリング	後処理 Post-op (-)
I ² C	スタート (Start)	(コマンド / オペランド / データ)	ストップ (Stop)

図 17-32. I²C デバイス ID リードの例



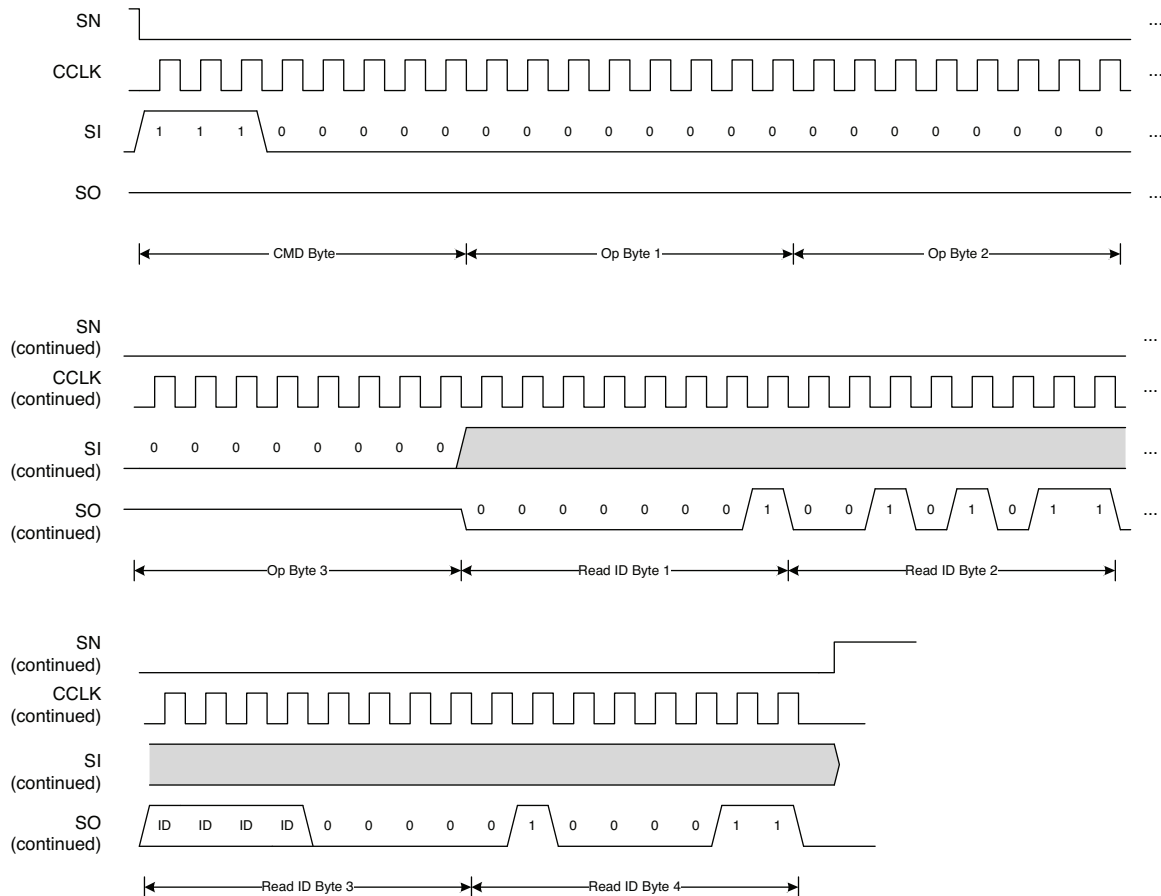
SPI フレーミング

SPI EFB ポートに送られる各コマンド列は、それぞれのインターフェイス用に定義されたプロトコルに従って正しくフレーム化されたものでなければなりません。SPI のプロトコルは良く知られており、以下に示す通り定義されています。

表 17-92. SPI インターフェイスのコマンド・フレーミング・プロトコル

インターフェイス	前処理 Pre-op (+)	コマンドストリング	後処理 Post-op (-)
SPI	アサート CS	(コマンド / オペランド / データ)	ネゲート CS

図 17-33. SSPI デバイス ID リードの例



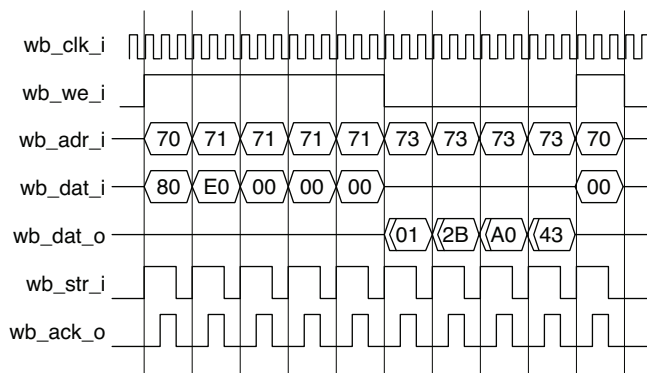
WISHBONE フレーミング

フラッシュメモリにアクセスするためには、各インターフェイス用に定義されたプロトコルに従ってフレーム化されたコマンド列を WISHBONE EFB ポートに送る必要があります。内部 WISHBONE ポートの場合は、各コマンド列の送信に先立ち CFGCR[WBCW] をセットします。同様に各コマンド列送信後は CFGCR[WBCE] ビットをクリアします。

表 17-93. WISHBONE インターフェイスのコマンド・フレーミング・プロトコル

インターフェイス	前処理 Pre-op (+)	コマンド列	後処理 Post-op (-)
WISHBONE	アサート CFGCR[WBCE]	(コマンド / オペランド / データ)	ネゲート CFGCR[WBCE]

図 17-34. WISHBONE デバイス ID リードコマンドの例 (MachXO2-1200HC)



UFM ライト / リード例

UFM およびコンフィグレーション両セクタなページベースのリードとライトに対応しますが、消去動作はセクタベースになります。一般の多数のフラッシュメモリデバイスと同様に、バイトベースの動作は対応しません。また同様に、フラッシュ内の既にライトされた位置にある値を修正したい場合は、消去可能なフラッシュの単位に対しての ” リード・モディファイ・ライト (read-modify-write) ” 操作が必要になります。MachXO2 の場合は最小消去単位が UFM 全セクタか、コンフィグレーション全セクタになります。

例えば、UFM 内のバイト値を任意に修正するためには、以下が必要です。

1. 全 UFM データをリードし、EBR などどこか他の場所に保存する
2. UFM セクタを消去する
3. 選択されたバイトを更新する
4. UFM をページごとにプログラムする

用途によっては、UFM 内容のコピーを EBR など揮発メモリに保持し、ある周期で UFM を更新するのが適切かもしれません。以下は、UFM リード / ライトアクセスのコマンドシーケンス例です。

表 17-94. ライト 2 UFM ページ

命令番号	R/W1	CMD2	オペランド	データ	コメント
		+			フレームをオープン
1	W	74	08 00 00	—	コンフィグレーション・インターフェイスをイネーブル
		-			フレームをクローズ
		+			

表 17-94. ライト 2 UFM ページ (Continued)

命令番号	R/W1	CMD2	オペランド	データ	コメント
2	W	3C	00 00 00	—	コンフィグレーション・ステータスレジスタをポーリングする
	R			xx xx bx xx	
		—			ビジーフラグがセットされなくなるまで繰り返すか、ポーリングしない場合は 5us 待つ
		+			
3	W	47	00 00 00	—	UFM アドレスを 0000 に初期化
		—			
		+			
4	W	C9	00 00 01	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F	UFM ページ 0 データをライト
		—			
		+			
5	W	3C	00 00 00	—	コンフィグレーション・ステータスレジスタをポーリングする
	R			xx xx bx xx	
		—			ビジーフラグがセットされなくなるまで繰り返すか、ポーリングしない場合は 200us 待つ
		+			
6	W	C9	00 00 01	10 11 12 13 14 15 16 17 18 19 1A 1B 1C 1D 1E 1F	UFM ページ 1 データをライト (アドレスは自動的にインクリメントすることに留意)
		—			
		+			
7	W	3C	00 00 00	—	
	R			xx xx bx xx	コンフィグレーション・ステータス・レジスタをポーリング
		—			
		+			ビジーフラグがクリアされるまでポーリングするか、ポーリングしない場合は 1000us 待つ
8	W	26	00 00	—	
		—			コンフィグレーション・インターフェイスをディセーブル
		+			
9	W	FF	—	—	バイパス (NOP)
		—			

1. WISHBONE から UFM/ コンフィグレーション・フラッシュにアクセスする場合は、データのライトに CFGTXDR (0x71)、データのリードに CFDRXDR (0x73) を使用します
2. '+' 及び '-' は、インターフェイスに該当する「WISHBONE フレーミング」節をご参照下さい

表 17-95. リード 1 UFM ページ (全デバイス、WISHBONE/SPI)

命令番号	R/W1	CMD2	オペランド	データ	コメント
		+			フレームをオープン
1	W	74	08 00 00	—	コンフィグレーション・インターフェイスをイネーブル
		—			フレームをクローズ
		+			
2	W	3C	00 00 00	—	コンフィグレーション・ステータスレジスタをポーリングする
	R			xx xx bx xx	
		—			ビジーフラグがセットされなくなるまで繰り返すか、ポーリングしない場合は 5us 待つ
		+			
3	W	B4	00 00 00	40 00 00 01	UFM アドレスを 0001 にセット
		—			
		+			
4	W	CA	10 00 01		1 ページの UFM (ページ 1) データをリードする
	R			10 11 12 13 14 15 16 17 18 19 1A 1B 1C 1D 1E 1F	
		—			
		+			
5	W	26	00 00	—	コンフィグレーション・インターフェイスをディセーブル
		—			
		+			
6	W	FF	—	—	バイパス (NOP)
		—			

1. WISHBONE から UFM/ コンフィグレーション・フラッシュにアクセスする場合は、データのライトに CFGTXDR (0x71)、データのリードに CFDRXDR (0x73) を使用します
2. '+' 及び '-' は、インターフェイスに該当する「WISHBONE フレーミング」節をご参照下さい

表 17-96. リード 2 UFM ページ (WISHBONE/SPI)

命令番号	R/W1	CMD2	オペランド	データ	コメント
		+			フレームをオープン
1	W	74	08 00 00	—	コンフィグレーション・インターフェイスをイネーブル
		—			フレームをクローズ
		+			
2	W	3C	00 00 00	—	コンフィグレーション・ステータスレジスタをポーリングする
	R			xx xx bx xx	
		—			ビジーフラグがセットされなくなるまで繰り返すか、ポーリングしない場合は 5us 待つ
		+			
3	W	47	00 00 00	—	UFM アドレスを 0000 に初期化
		—			
		+			
4	W	CA	10 00 03		1 ページのダミーバイト後、2 ページの UFM データをリードする 3
	R			xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx 00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16 17 18 19 1A 1B 1C 1D 1E 1F	
		—			
		+			
5	W	26	00 00	—	コンフィグレーション・インターフェイスをディセーブル
		—			
		+			
6	W	FF	—	—	バイパス (NOP)
		—			

1. WISHBONE から UFM/ コンフィグレーション・フラッシュにアクセスする場合は、データのライトに CFGTXDR (0x71)、データのリードに CFDRXDR (0x73) を使用します
2. '+' 及び '-' は、各インターフェイスに該当する「フレーミング」節をご参照下さい
3. num_pages 数はダミーページ分を含む必要があります

フラッシュメモリの消去とプログラムの性能

表 17-97. MachXO2 デバイスのフラッシュメモリの消去とプログラムの性能

		MachXO2 -256	MachXO2 -640	MachXO2 -640U	MachXO2 -1200	MachXO2 -1200U	MachXO2 -2000	MachXO2 -2000U	MachXO2 -4000	MachXO2 -7000
CFG 消去 (tEraseCFG)	Min.	400	600	800	800	1100	1100	1800	1800	2800
	Max.	700	1100	1400	1400	1900	1900	3100	3100	4800
CFG プログラム (tProgramCFG)	全て	130	270	500	500	740	740	1400	1400	2200
	1 ページ	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2
UFM 消去 (tEraseUFM)	Min.	—	300	400	400	500	500	600	600	900
	Max.	—	600	700	700	900	900	1000	1000	1600
UFM プログラム (tProgramCFG)	全て	—	40	110	110	140	140	180	180	480
	1 ページ	—	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2

1. 全ての時間単位はミリ秒で、値は平均値です。SRAM 消去時間は 0.1ms 未満です

消去 / プログラム / ベリファイ時間算出例

上のデータを用いることで、消去やプログラム、およびベリファイ動作の実行に必要なおおよその時間を算出することが可能です。これは約 100% のバス占有率を想定します。以下の例ではバスマスタに必要な処理時間は考慮に入れていません。

E/P/V time (us) tErasePprogramVerify = tErase + tProgram + tVerify

ここで：

tErase = tECFG + tEUFM1

tProgram = 0.2us * number of Pages to program²

tVerify = (8 * number of Pages programmed) * BusEff * tBUSCLK

表 17-98. E / P / V 算出のパラメータ

	バス効率 (単一ページリード)	バス効率 (複数ページリード)	tBUSCLK
I2C	14	> 12	2.5us min
SPI	12	> 8	0.015us min
WB	5.25	> 3	0.020 us min

1. セクタ消去は加算的です。もし (CFG) セクタが消去されなければ、消去時間は 0 です。
2. データ転送時間は高速データプロトコル的には tP に対して支配的ではありません。I2C などの低速バス速度を考慮に入れるためには、tV 値を 2 倍します。
3. リードページ数が増大するにつれて、バス効率は本値に近づきます。

テクニカルサポート支援

e-mail: techsupport@latticesemi.com

Internet: www.latticesemi.com

日本語版更新履歴

日 付	バージョン	ページ (新)	改訂内容
2012 年 6 月	01.0		英語版初版 (日本語版初版は Ver.1.2 相当)
2012 年 9 月	01.1	39, 40	表 17-30/31 タイマ / カウンタ制御 0、2 LSB ビット記述訂正、およびタイマ / カウンタ制御 1、4 LSB ビット記述訂正
		59	表 17-64、Read Status Register 0x3C、データフォーマットを訂正
		63	表 17-75、Read USERCODE (0xC0)、データサイズを訂正、“EN Required” 値訂正と記述追加し、例を修正
		66	表 17-85、デバイス名を追記
		66	表 17-86、フラグ名を訂正
		67	表 17-87、Program Feature Row (0xE4)、データサイズとデータフォーマットを訂正
		67	表 17-88、Program Feature Row (0xE7)、CMD 値を訂正
		68	表 17-91、Read FEABITS (0xFB)、注記と例を削除
		70	図 17-28、フロー図を差し替え
2012 年 10 月	01.2	7	“ハードマクロ I2C IP コア” 節、プライマリコアのアクセス制限記述を追記
		56	表 17-58, 59、ISC_ENABLE_X (透過モード) 時に関する、プライマリ I2C ポートのアクセス制限記述を追記
2013 年 4 月	01.3	8	表 17-5、CLKDIS ビット、最終パラグラフにタイミングに関する記述追記
		13	図 17-7 更新。最下段 min / max 式の表記を更新
		16 - 17	図 17-10 / 11 / 12 / 13 更新。表記方法を変更し、一部修正
		55	表 17-59、SECURITY PLUS ビット記述更新
		60	表 17-72 リフレッシュ、注の記述追加
		63	表 17-79 リード UFM (WISHBONE / SPI)、注の追記と更新
		63 - 64	表 17-80 リード UFM (I2C)、例のオペランド修正、および注の追記と更新
		64	表 17-82 / 83 プログラム SECURITY / PLUS、注の追記
		65	表 17-88 リード・フィーチャ行、データフォーマットの表記修正
		67	図 17-28 更新。Done の前の処理の記述内容を更新
		69	表 17-95、命令番号 5 と 6 の間の待ち時間、記述更新
2013 年 9 月	01.4		表 17-6 となるべき図表番号が図 17-6 の誤りであったために、図番 17-6 以降、表番 17-11 以降順番を繰り下げもしくはは上げ
		8	表 17-5 CKSDIS 機能削除に伴い、記述変更
		13	図 17-6、コマンドコード更新 4 カ所
		16	図 17-9、-10 (EFB マスタ I2C リード / ライト) 内のコマンドコード更新
		32	図 17-17 SPI フルランザクション、図差し替え、 図 17-17、-18 図タイトル更新
		36	表 17-30 TCSR0、Read → Read/Write
		60	表 17-73 リフレッシュ、注記内コマンド値 0x40 → 0x44
		62	表 17-81 リード UFM、オペランド記述 UFM → CFM ページ数と更新 2 カ所
2013 年 12 月	01.5	-	章立て変更：[1] コマンドフレーミング、I2C / SPI / Wishbone をまとめてドキュメント末尾 (pp.69-71) に移動、[2] フラッシュメモリ消去時間等のセクション二つを最後部 (p.75) に移動
		3	図 17-2 の信号バス幅を更新
		15	典型的な I2C アクセスとして章と図 17-8 ~ 10 を新規追加
		24	CPOL ビット記述に “SPICR2” を明記
		31	図 17-18 スレーブ SPI R/W フロー追加
		32	典型的な SPI アクセスとして章と図 17-19 ~ 21 を新規追加
		34 - 35	図 17-24 ~ 27 (旧 17-19 ~ 22) SPI 制御タイミング図差し替え

日 付	バージョン	ページ (新)	改訂内容
		62	表 17-75 コンフィグレーション I/F (0xC6)、オペランド記述追加
		69-71	コマンドフレーミングを章として旧関連節 3 つを移動して統合
		75	消去・プログラミング時間関連の章を移動 (表 17-97, -98 共)
2014 年 1 月	01.6	24	CPOL ビット記述、デフォルトのクロック極性 High / Low が 0/1 で逆
		35	図 17-26 更新
		62	表 17-75 0xC6、表内のオペランド表記 "08 .." を "0y..." に変更
2014 年 2 月	01.7, 01.8	59	表 17-68、** データサイズ、num_pages>1 の場合の計算式を修正
		60	表 17-69、表内のオペランド定義表記、および "注" 冒頭に一文追加。"例" の文章を更新
		75	表 17-97 最左列、各項目についてパラメータ名を追加
		75	消去 / プログラム / ベリファイ時間算出例、定義式と説明についてのパラメータ表記を表 17-97 に合わせて更新
2014 年 7 月	01.9	34, 35	図 17-24 ~ 図 17-27 を差し替え
2014 年 11 月	2.0	(英語オリジナル版では 2.0 より章番号が削除されているが、日本語版は従来通り継続)	
		10	SRW ビットに関する注を追加
		55	表 17-7、Erase ビット記述を更新
		65	プログラム・フィーチャ行 (0xE4) コマンドの注記を更新
		66	プログラム FEABIT (0xF8) コマンドの注記を更新
2015 年 2 月	2.1	4	表 17-2、wb_clk_i 記述追加
		8	ハードマクロ I2C 項、第一パラグラフにスレーブ動作時の wb_clk_i 要件記述を追記
		9	SDA_DEL_SEL[1:0] 記述、min / max 記述を追加・更新
		14	図 17-6 差し替え
		25	CPOL 記述、0/1 定義記述の High / Low を訂正
		35, 36	図 17-24 ~ 27 差し替え