コストと消費電力を極小化かつ価値は極大化

業界をリードする超低消費電力のFPGAポートフォリオ

ラティスは、インスタントオンの求められるシステム制御用途や柔軟なI/O拡張機能から、グルーロジックやブリッジ機能用の超低コストで超低消費電力が求められる用途まで、小規模FPGAとして最適化されたラインアップをフルに取り揃えています。携帯電話から時代の最先端を行く通信インフラストラクチャまで、ラティスはコストと消費電力を極小化しながらも価値を極大かするソリューションを提供します。技術者が直面する多様なシステムレベルの課題を解決できる、補間関係にある優れた二つの製品ファミリです。

iCE40: 超低コスト、超小型フォームファクタ、超低消費電力

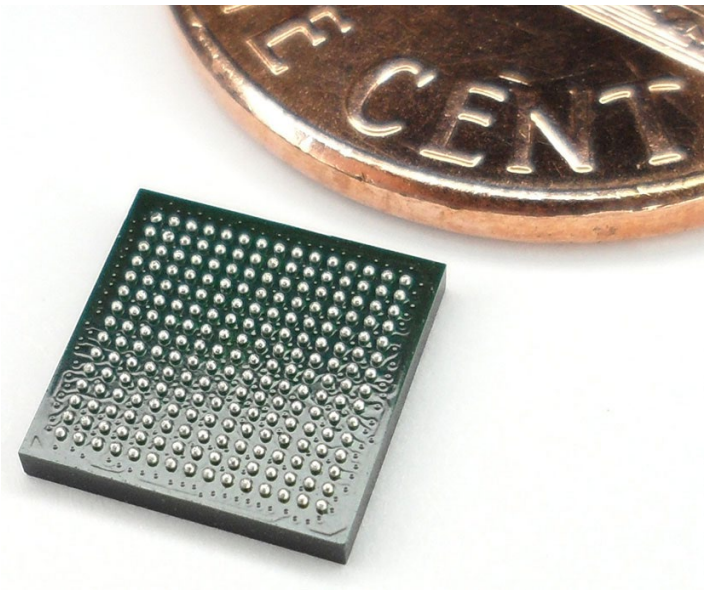
iCE40™ FPGAファミリは消費電力とコスト、および実装面積に対する要件が最も厳しい用途のために設計されました。スマートフォンやタブレット、そしてデジタルカメラなど、スペースと電力に制約の大きいシステム用にアーキテクチャが決定されたiCE40ファミリは、高度にコスト最適化されたファブリックを持っています。本ファミリは、各種センサ・インターフェイス、画像処理、コネクティビティのカスタム化、メモリ/ストレージ用拡張インターフェイス、そしてグルーロジックなどの頻繁に必要とされる機能の実装に最適です。

iCE40 FPGAには低消費電力のLP品、高性能のHX品の2シリーズを用意しています。

MachXO2: 最良のI/Oと集積機能

不揮発メモリを集積するシングルチップFPGAのMachXO2™ファミリは、I/O拡張用途などの多ピンでかつ機能が豊富なことが求められる用途に最適化されています。加えて、オンチップ電圧レギュレータやフラッシュメモリ、そしてハードマクロ化IPを集積することで、MachXO2はインスタントオンで電源系統を複数用いるシステムの制御機能にも最適です。SRAMベースのLUTアーキテクチャとフラッシュ混載テクノロジを併せ持つことで、コスト要件の厳しいシステムにも手頃なコストのMachXO2ファミリは、業界で最も機能が豊富な小規模FPGAです。

MachXO2 FPGAには高性能のHC品とHE品、そして低消費電力のZE品の3オプションを用意しています。



小規模FPGAセグメントにおいて最も価値ある二つの製品ファミリ

- 手頃な価格
  - コスト要件の厳しい多様な用途に最適化
- 超低消費電力
  - 最小25uAのスタンバイ電力
- 豊富な機能
  - 起動時間が数ミリ秒程度のインスタントオン
  - ソースシンクロナス対応マクロを組み込んだI/OによってDDR / DDRX2 / DDRX4に効率的に対応
  - MIPI-DBI/DPI対応によりHD品質のビデオ用途に最適化
- 広範な品揃えの超小型や超多ピンI/Oパッケージ
  - 最小2.5 x 2.5mm
  - I/Oは最大334本
  - 0.4 mmピッチBGAでスマートフォンやタブレットなどの携帯用途に最適

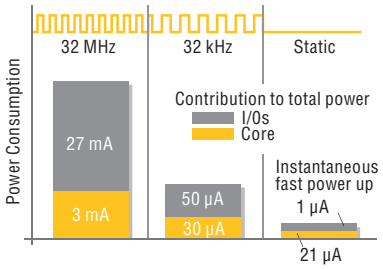
iCE40：最良の価値、最小の実装面積と消費電力

概要

iCE40は手頃な価格で提供する、業界で最も超低消費電力のFPGAです。40nmプロセスを用いて独特の不揮発性コンフィグレーション・メモリNVCMを集積したiCE40ファミリは、スマートフォンやデジタルカメラ、またタブレットなど、コスト要件の厳しいグルーロジックやブリッジ機能が必要な用途に最適化されています。またスタンバイ電流が10uA程度と極めて低いため、iCE40 FPGAは消費電力要件の厳しい携帯機器を迅速に市場投入し、或いは新機能を搭載するために大きな役割を果たします。業界最小の0.4mmピッチBGAパッケージも取り揃えるiCE40ファミリは、ボード実装面積も大幅に削減できます。

超低消費電力

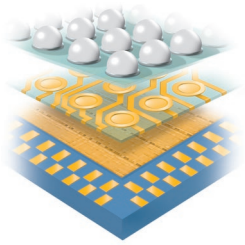
小型携帯機器では電池動作時間の長いことが死活的に重要です。ラティスのiCE40 FPGAは回路動作時も低消費電力となるように最適化されています。



iCE40 FPGAによって、スタンバイ時電流を21uA程度までに低減することが可能で、携帯機器の電池動作時間を引き延ばします。

先進の小型フォームファクタ

iCE40 FPGAは小型携帯機器や極めて実装スペースの限られた装置で求められる要件に適合するために、最も進化したパッケージング技術を用いています。そのサイズは最小2.5 x 2.5mmで、小スペースに多くの機能を迅速に実装することが可能です。



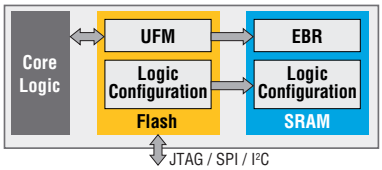
MachXO2：最良のI/Oと組み込み機能

概要

MachXO2は低コストと高機能性をシングルチップで実現した、前例のないFPGAとして設計されました。65nmフラッシュメモリ混載テクノロジと革新的なデザインにより、高いシステム性能とロバストなアーキテクチャ、また機能拡張されたI/Oとオンチップ・ユーザフラッシュメモリ、オンチップ電圧レギュレータ、ハードマクロ化コントロール機能、そして柔軟性の高い機能を提供します。

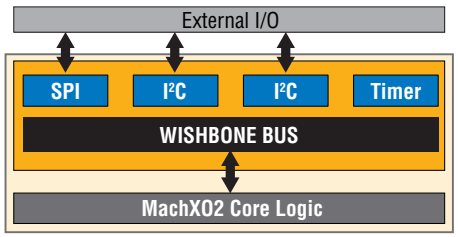
オンチップ・フラッシュメモリ

- ユーザデータ用とコンフィグレーション用不揮発メモリ
- 不揮発メモリ搭載によってインスタントオン（1ms以下）がシングルチップで ～再プログラミング性を保持しながら全てを実現



組み込み機能ブロック

- I²Cが2系統とSPIが1系統の合計3インターフェイス、そしてタイマ/カウンタのハードマクロ
- いずれも外部デバイスからと、内部ロジックからアクセス可能

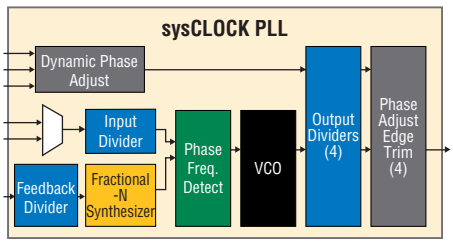


sysIO™バッファ

- プログラマブルsysIOで広範なインターフェイスに対応
  - LVTTL, LVCMOS (3.3/2.5/1.8/1.5/1.2)
  - PCI, LVDS, Bus-LVDS, MLVDS
  - RSDS, LVPECL
  - SSTL 25/18, HSTL 18
- 入力ヒステリシス、活線挿抜対応、そしてオンチップ差動終端

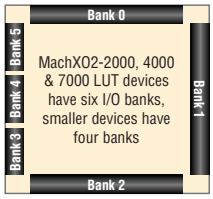
先進のクロッキング

- フルフィーチャのPLL
- オンチップ・オシレータは+/-5%精度で2M～133MHzの動作範囲



非対称I/Oバンク構造

- 各デバイスは、異なるインターフェイスの組み合わせに柔軟に対応するために、I/Oバンク構造が非対称
- コア電圧は1.2 / 2.5 / 3.3Vに対応

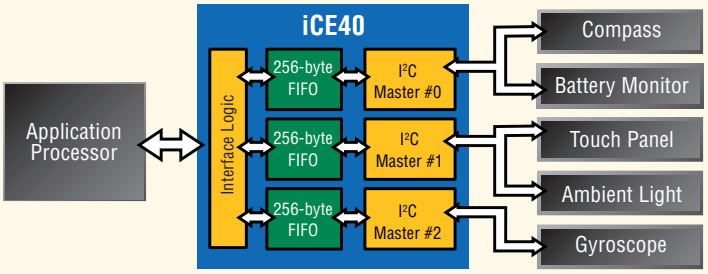


小規模FPGAの選択肢は2品種

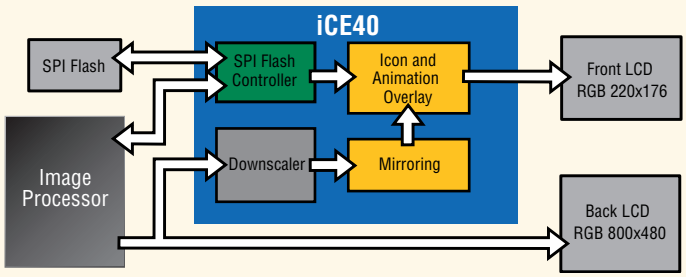
			iCE40	MachXO2
機能	超低コスト	最適化されたアーキテクチャで、コスト要件の厳しい用途に対応	✓	–
	小型フォームファクタのパッケージ	10mm²以下のパッケージを用意	4	1
	Vcc供給電圧	MachXO2にはオンチップ電圧レギュレータ搭載品あり（HC）	1.2V	1.2, 2.5, 3.3V
	外部からのコンフィグレーション	電源起動後に外部ソースからコンフィグレーション	SPI, µP	JTAG, SPI, µP
	不揮発メモリによるコンフィグレーション	オンチップ・コンフィグレーションメモリ	不揮発メモリによるコンフィグレーションメモリ（1サイクル）	組み込みフラッシュメモリ（1万回の書き換えサイクル）
	インスタントオンのコンフィグレーション時間	数ミリ秒程度で起動	<25ms	<1ms
	ハードマクロ化I²CとSPI	LUTを節約できるため、他の機能を実装することも可能	–	✓
	I/O数が豊富	“トリプル・スタッガード”構造のパッド配置によって、総I/O数を増大 非対称I/Oバンク構造により、I/O使用率を最大化 低コストBGAパッケージでI/Oあたりの単価を低減	–	✓

iCE40アプリケーション例

iCE40を用いたスマートセンサハブ

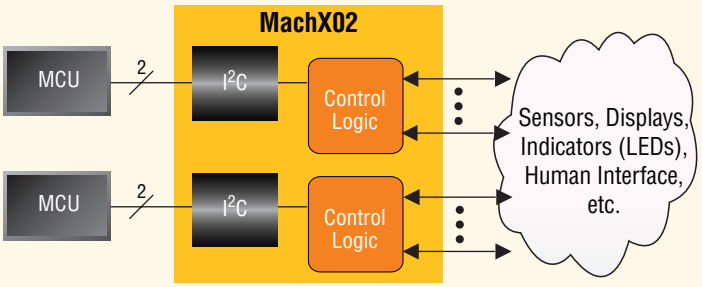


iCE40を用いた画像処理

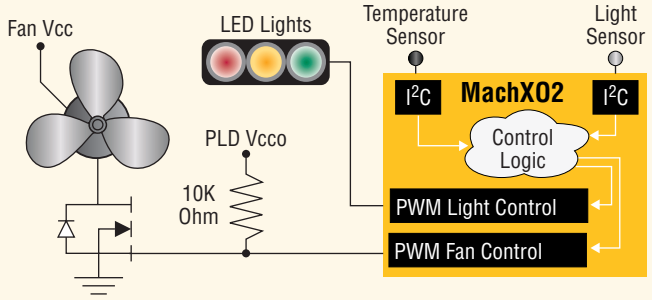


MachXO2アプリケーション例

MachXO2を用いた高性能I/O拡張

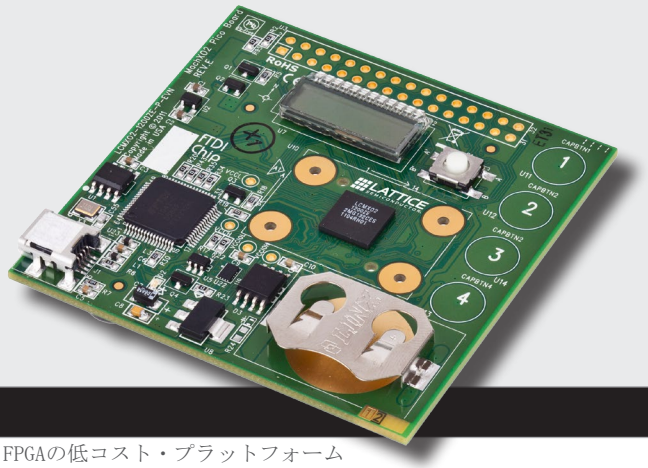


MachXO2を用いたシステム制御



開発キットと評価ボード

ラティスは数種類の開発キットと評価ボードを用意しており、これらはiCE40やMachXO2ファミリの機能・性能をフルに、また容易に評価するため、或いはお客様固有の開発の支援のための使いやすいプラットフォームです。開発用ハードウェアに関するより詳細な情報に関しては次のウェブページをご参照下さい：
www.latticesemi.com/products/developmenthardware.



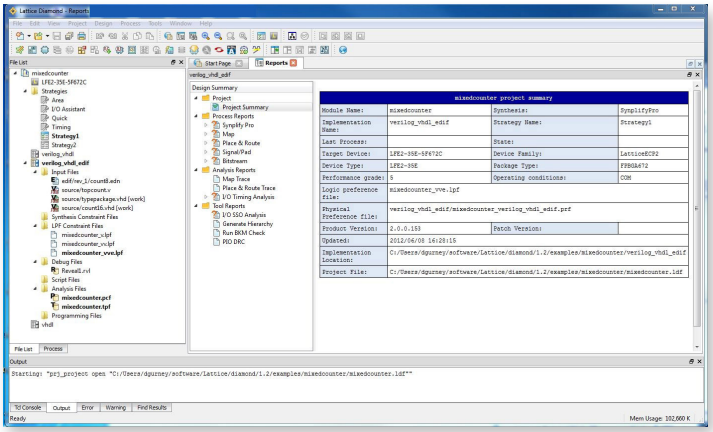
開発キットと評価ボードのセレクションガイド

製品	デバイス	記述
iCEblink40™評価キット	iCE40LP1K, iCE40HX1K	低消費電力iCE40 FPGAの低コスト・プラットフォーム • USBによるプログラミングとデバッグ、及び仮想I/Oと給電 • 4つの容量性タッチボタンとLED • コンフィグレーション1Mbit SPIフラッシュメモリ
iCEblink40™評価キット	iCE40HX8K	iCE40 FPGAラピッド・プロトタイピング用の使いやすいプラットフォーム • USBによるプログラミングとデバッグ、及び仮想I/Oと給電 • 4個のユーザ用途LED、27.0 MHzと32.768 kHzクロックソース • それぞれ5ペアの差動入力と差動出力
MachXO2 Pico開発キット	XO2-1200ZE	低コストのMachXO2開発プラットフォーム • 給電は電池またはUSB、USBによるプログラミングと仮想I/O • 4桁のLCDディスプレイ、4つの容量性タッチセンサボタン、およびI2Cインターフェイスをもつ温度センサ • デルタシグマADCによる電力計測
MachXO2ブレークアウトボード	XO2-1200ZE	MachXO2の全I/Oにアクセスできる、簡易で低コストのボード • LEDとプロトタイプエリア • USBによるプログラミングと給電 • デモデザインがダウンロード可能
MachXO2コントロール開発キット	XO2-4000HC	システム制御用フルフィーチャのMachXO2開発プラットフォーム • 4320 LUTのXO2-4000HC FPGA • 2系統までの7:1 LVDSソースと1系統出力 • 128Mbit LPDDRメモリと4Mbit SPIフラッシュメモリ 電流・電圧検出回路、MicroSDメモリカード・ソケット、拡張ヘッダ

iCE40とMachXO2用開発ツール

ラティスは、コストや消費電力要件の厳しい用途に最適化されたアーキテクチャを持つiCE40およびMachXO2のFPGAファミリをターゲットするデザインの実装用に、フル機能の最先端ツールを提供しています。Lattice Diamond® がMachXO2を、またiCEcube2™がiCE40をサポートします。デザインエントリからIPの構成・生成、論理合成と配置配線、タイミング解析、消費電力解析、そしてデバイスのプログラミングまで、包括的なデザインフローで迅速に作業を行うことが可能です。

開発ツールにはSynopsys社Synplify Pro® 論理合成ツールとともに、混在言語対応のAldec社Active-HDL™論理シミュレータも統合しています。Lattice Diamondの論理合成は、全デバイス対象のSynplify Proに加えて、MachXO2用にはラティスオリジナルツールLSE（Lattice Synthesis Engine）が対応しており、論理合成の付加的な推敲オプションとなっています。



ラティスの開発ツールはデザイン実装の推敲機能に優れています

デバイス・セレクションガイド

	iCE40							MachXO2					
機能	LP384	LP1K	LP4K	LP8K	HX1K	HX4K	HX8K	256	640/U	1200/U	2000/U	4000	7000
論理セル数	384	1280	3520	7680	1280	3520	7680	256	640	1280	2112	4320	6864
ブロックメモリ規模	0	64K	80K	128K	64K	80K	128K	0	18K/64K	64K/74K	74K/92K	92K	240K
PLL数	0	1	2	2	1	2	2	0	0/1	1	1/2	2	2
コアIcc @ 0KHz[1]	21µA	100µA	360µA	360µA	267µA	667µA	1100µA	18µA	28µA	56µA	80µA	124µA	189µA
対応メモリ規格	LPDDR							DDR / DDR2 / LPDDR					
LVDS動作速度	525Mbps							756Mbps					
パッケージ	プログラマブルI/O数：最大I/O（LVDSペア数）												
25-ball WLCSP (2.5 x 2.5 mm)[5]										18			
32-pin QFN (5 x 5 mm)	21 (4)							21					
36-ball ucBGA (2.5 x 2.5 mm)	25 (3)	25 (3)[2]											
49-ball ucBGA (3 x 3 mm)	37 (6)	35 (5)											
64-ball ucBGA (4 x 4 mm)								44					
81-ball ucBGA (4 x 4 mm)	55 (3)	63 (8)	63 (9)[3]										
81-ball csBGA (5 x 5 mm)		62 (8)											
84-pin QFNS[2] (7 x 7 mm)		67 (7)											
100-pin TQFP/VQFP (14 x 14 mm)					72 (9)[2]			55	78	79	79		
121-ball ucBGA (5 x 5 mm)		95 (12)	93 (13)	93 (13)									
121-ball csBGA (6 x 6 mm)		92 (12)											
132-ball csBGA (8 x 8 mm)					95 (11)	95 (12)	95 (12)	55	79	104	104	104	
144-pin TQFP (20 x 20 mm)					96 (12)	107 (14)			107[4]	107	111	114	114
184-ball csBGA (8 x 8 mm)[6]												150	
225-ball ucBGA (7 x 7 mm)			167 (20)	178 (23)			178 (23)						
256-ball caBGA (14 x 14 mm)							206 (26)				206	206	206
256-ball ftBGA (17 x 17 mm)										206[4]	206	206	206
332-ball caBGA (17 x 17 mm)												274	278
484-ball fpBGA (23 x 23 mm)											278[4]	278	334

1. MachXO2（ZEオプション）は1.2V Vccにて測定
2. 本パッケージにはPLLなし
3. PLLは1つのみ
4. 超多ピンI/OデバイスはXO2-HC/HEオプションにてサポート
5. WLCSPパッケージは ZEオプションのみでサポート
6. 本パッケージはHEのみ。ラティス担当営業までお問い合わせください

アプリケーション支援（米国）
1-800-LATTICE (528-8423)
503-268-8001
techsupport@latticesemi.com

Copyright © 2013 Lattice Semiconductor Corporation。Lattice Semiconductor、L (stylized) Lattice Semiconductor Corp.、Lattice (design)、iCE40、iCEcube2、iCEblink40、iCEman40、MachXO2、sysCLOCK、sysIOおよびLattice Diamondはアメリカ合衆国、またその他の国におけるLattice Semiconductor Corporationの登録商標か商標のいずれかです。本冊子で用いられているその他の製品名は、識別目的のためであり、それぞれ各会社の商標であり得ます。

2013年3月
Order #: I0229JA