



LatticeXP2 ファミリ・データシート

DS1009J Version 01.8b, August 2012

© 2012 Lattice Semiconductor Corp. All Lattice trademarks, registered trademarks, patents, and disclaimers are as listed at www.latticesemi.com/legal. All other brand or product names are trademarks or registered trademarks of their respective holders. The specifications and information herein are subject to change without notice.

DISCLAIMER: Translation of Lattice materials into languages other than English is intended as a convenience for our non-English reading customers. Although we attempt to provide accurate translations of our materials into languages other than English, Lattice does not warrant the accuracy or completeness of information that has been translated from English. Any use of a translation is at the risk of the user and Lattice expressly disclaims any warranty with respect to the information provided in translation. Customers are encouraged to review the English language version of the materials for accurate and complete information.

(日本語版は日本語での理解のため一助として用意しています。その作成にあたっては可能な限り正確を期しておりますが、原文英語版との不一致や不適切な訳文がある場合を含み、英語版が正（有効）です。特に電気的特性・仕様値については最新版の英語版を必ず参照するようにお願い致します。)

LatticeXP2ファミリデータシート

イントロダクション

機能

- **flexiFLASH™** アーキテクチャ
 - インスタントオン
 - コンフィグレーション回数は制限なし
 - シングルチップ
 - FlashBAK™ テクノロジ
 - Serial TAGメモリ
 - デザインのセキュリティ
- **ライブアップデート・テクノロジー**
 - TransFR™ テクノロジ
 - 128ビットAESで安全なアップデート
 - 外部SPIフラッシュでのデュアルブート
- **sysDSP™** ブロック
 - 3～8ブロックで高性能の乗算・積和演算 (18x18演算で12～32)
 - ブロック当たり1個の36×36乗算器、4個の18×18乗算器、または8個の9×9乗算器に構成可能
- **組み込みブロックメモリと分散メモリ**
 - 最大885kbのsysMEM™ EBR
 - 最大83Kbitの分散RAM
- **sysCLOCK™ (アナログ)PLL**
 - デバイスあたり最大4個のPLL
 - クロックのてい倍、分周と位相シフト
- **自由度の高いI/Oバッファ sysIO™**
 - LVCMOS 33/25/18/15/12、LVTTTL
 - SSTL 33/25/18 クラスI, II
 - HSTL15 クラスI, HSTL18 クラスI, II
 - PCI
 - LVDS, Bus-LVDS, MLVDS, LVPECL, RSDS
- **作り込まれたソースシンクロナスI/O**
 - 200MHzまでのDDR/DDR2インターフェイス
 - ディスプレイ用途の7:1 LVDSインターフェイス
 - XGMII
- **デバイス規模とパッケージオプション**
 - 5k～40k LUT、I/Oは86～540
 - csBGA, TQFP, PQFP, ftBGA, fpBGA
 - パッケージ・マイグレーション
- **自由度の高いデバイス・コンフィグレーション**
 - SPI (マスタ、スレーブ) ブートフラッシュ・インターフェイス
 - デュアルブート・イメージをサポート
 - ソフトエラー検出(SED)ハードマクロ
- **システムレベル・サポート**
 - IEEE1149.1 / 1532 準拠
 - 初期化と汎用用途のオンチップ・オシレータ
 - 1.2V供給電源

表 1-1 LatticeXP2ファミリ・セレクションガイド

デバイス	XP2-5	XP2-8	XP2-17	XP2-30	XP2-40
LUT サイズ (K)	5	8	17	29	40
分散 RAM (Kbits)	10	18	35	56	83
EBR SRAM (Kbits)	166	221	276	387	885
EBR SRAMブロック数	9	12	15	21	48
sysDSP ブロック	3	4	5	7	8
18x18 乗算器	12	16	20	28	32
Vcc 供給電圧	1.2	1.2	1.2	1.2	1.2
GPLL 数	2	2	4	4	4
最大I/O数	172	201	358	472	540
パッケージとI/O数					
132-pin csBGA (8 x 8 mm)	86	86			
144-pin TQFP (20 x 20 mm)	100	100			
208-ball PQFP (28 x 28 mm)	146	146	146		
256-ball ftBGA (17 x 17 mm)	172	201	201	201	
484-ball fpBGA (23 x 23 mm)			358	363	363
672-ball fpBGA (27 x 27 mm)				472	540

イントロダクション

LatticeXP2デバイスはルックアップ・テーブル(LUT)ベースのFPGAファブリックに、flexiFLASHと呼んでいるアーキテクチャの不揮発性フラッシュセルを統合しています。

FlexiFLASHアプローチはインスタントオン、回数制限のない再コンフィグレーション、FlashBAK組込みブロックメモリとSerial TAGメモリのオンチップ記憶、およびデザイン・セキュリティを含む恩恵を提供します。また、TransFRによるライブアップデート・テクノロジー、128ビットAES暗号化、およびデュアルブート・テクノロジーをサポートします。

LatticeXP2 FPGAファブリックは、着手時から高性能と低コストを念頭において、こうした新技術のために最適化されました。LatticeXP2デバイスはLUTベースのロジック、分散メモリと組み込みメモリ、位相ロックループ(PLL)、組み込みソースシンクロナスI/Oサポート、および機能アップしたsysDSPブロックを含んでいます。

ラティスのLattice Diamond[®]デザインソフトウェアはLatticeXP2ファミリFPGAデバイスにデザインを効率良く実装することが可能です。広く普及している論理合成ツール用のライブラリをサポートしています。Diamondはデザインを配置配線するために、論理合成ツール出力をフロアプランニング・ツールからの制約と共に用います。Diamondツールは、タイミング検証のために、配線からタイミング情報を抽出して、デザインにバック・アノテートします。

ラティスは予め設計された多くのIP(Intellectual Property) LatticeCORE[™]モジュールをLatticeXP2ファミリのために提供します。標準化されたブロックとしてこれらのIPを用いることによって、設計者は自らの設計独自の部分に集中することができ、生産性を上げることができます。

LatticeXP2ファミリデータシート

アーキテクチャ

アーキテクチャ概要

LatticeXP2デバイスはプログラマブルI/Oセル(PIC)によって囲まれた論理ブロックのアレイを含んでいます。図2-1に示す論理ブロックの間にあるのは、sysMEM™ 組み込みブロックRAM(EBR)とsysDSP™ 信号処理ブロックの列です。

プログラマブル・ファンクション・ユニット(PFU)アレイの左右辺には不揮発性メモリブロックがあります。コンフィグレーション・モードでは不揮発性メモリはIEEE 1149.1 TAPポート、またはsysCONFIG™ ペリフェラルポートを介してプログラムされます。パワーアップすると、コンフィグレーション・データは不揮発性メモリブロックからコンフィグレーションSRAMに転送されます。このテクノロジーにより、高価な外付けコンフィグレーション・メモリは不要になり、デザインは不正なリードバックからも安全になります。このデータ転送は数ミリ秒で完了し、多数のアプリケーションで容易なインターフェイスを可能にする“インスタントオン”機能を提供します。また、LatticeXP2デバイスはsysMEM EBRブロックから不揮発性メモリブロックに、ユーザ要求でデータを移すことができます。

論理ブロックには2種類あり、PFUとRAM/ROMなしのPFU(PFF)です。PFUはロジック、演算、RAM、ROM、およびレジスタ機能のためのビルディング・ブロックを含みます。PFFブロックはロジック、演算、およびROM機能のためのビルディング・ブロックを含んでいます。PFUとPFFブロックは共に、複雑なデザインを迅速にかつ効率的に実装できるように柔軟性が最適化されています。論理ブロックは2次元配列でアレンジされており、1つのタイプのブロックだけが列単位で用いられます。

LatticeXP2デバイスは1列かそれ以上のsysMEM EBRブロックを含んでいます。sysMEM EBRはサイズが18kbitのメモリ専用ブロックです。各sysMEMブロックはデータ幅や深さを指定可能なRAMやROMに構成できます。加えてLatticeXP2デバイスは2列までのsysDSPブロックを含んでいます。各DSPブロックには乗算器と加算器・アキュムレータがあり、これらは複雑なデジタル信号処理のビルディングブロックとなります。

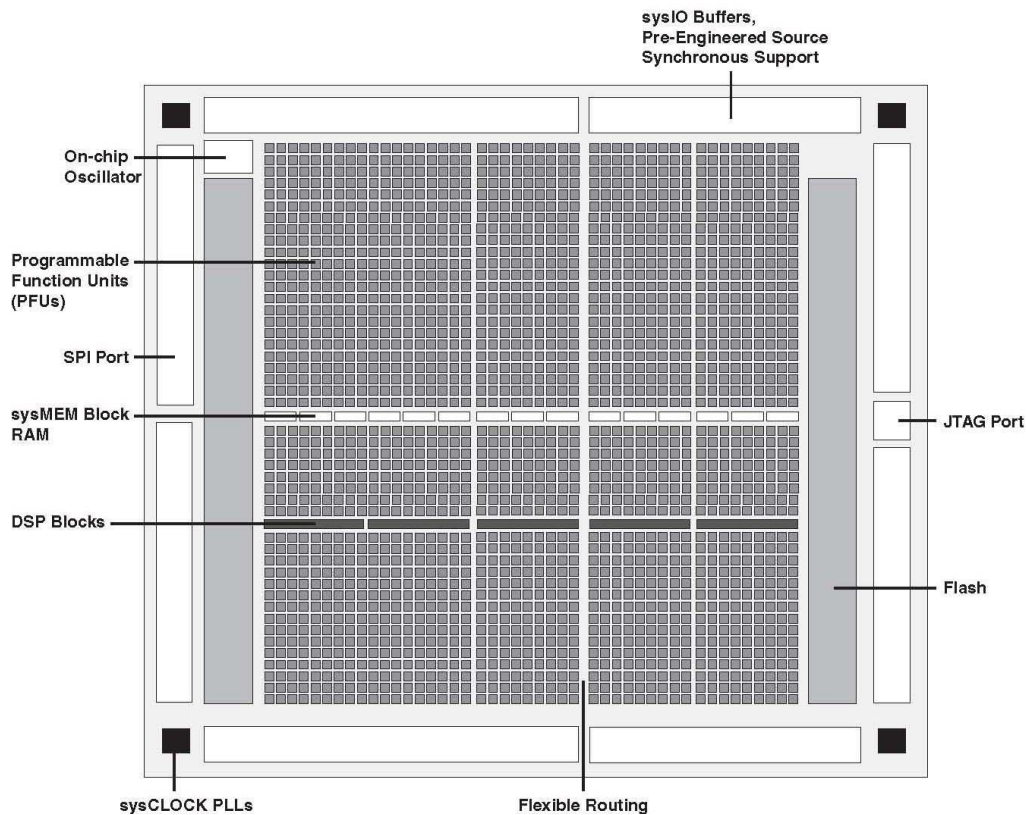
各PICブロックはsysIOバッファの2PIO(PIOペア)より成ります。LatticeXP2のsysIOバッファは8バンクにアレンジされており、種々I/O規格の実装を可能にします。デバイスの左右辺にあるPIOペアはLVDSトランシーバ/レシーバ・ペアとして構成することができます。PICはまた、ディスプレイ用途で広く採用されている7:1 LVDSインターフェイスや、DDR/DDR2メモリインターフェイスを含む高速同期インターフェイスを実装する為のサポートロジックが作り込まれています。

これ以外のブロックとしては、PLLとコンフィグレーション機能があります。LatticeXP2アーキテクチャにはデバイスあたり4つの汎用(General)PLL(GPLL)があり、デバイスの各コーナーに配置されています。

コンフィグレーション・ブロックは暗号化されたビットストリームの復号化、トランスペアレント・アップデート、デュアルブートなどの機能をサポートし、バンク2と3の間に配置されています。デバイスのシリアル・コンフィグレーションをサポートするsysCONFIG™ポートはLatticeXP2ファミリの全デバイスが備えており、バンク7のI/Oと多重化されています。JTAGポートはバンク2と3の間にあります。

加えてファミリの全デバイスはオンチップオシレータも備えています。LatticeXP2はコア部供給電圧として1.2Vを用います。

図2-1 LatticeXP2-17の簡略ブロック図(トップレベル)

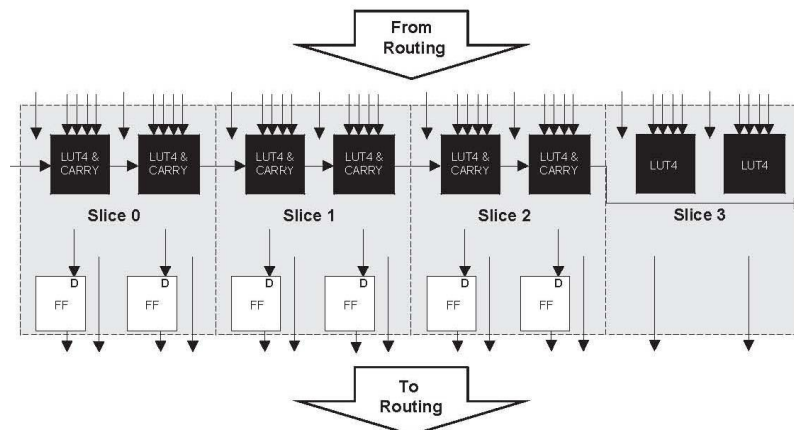


PFUブロック

LatticeXP2デバイスのコアは2種類のPFUブロックから成り、これらはPFUとPFFと呼ばれます。PFUはロジック、演算、分散RAM、および分散ROM機能を実行するようにプログラムすることができます。PFFブロックはロジック、演算、およびROM機能を実行するようにプログラムすることができます。特に明記する場合を除いて、データシートの残りでは、PFUとPFFブロックの両方を示すのに用語PFUを用います。

それぞれのPFUブロックは、図2-2で示されるように0～3と番号付けられた4つの相互接続されたスライスから成ります。PFUブロックに出入りするすべての相互接続は配線（領域）から来ています。それぞれのPFUブロックに関連する50本の入力と23本の出力があります。

図2-2 PFUダイアグラム



スライス

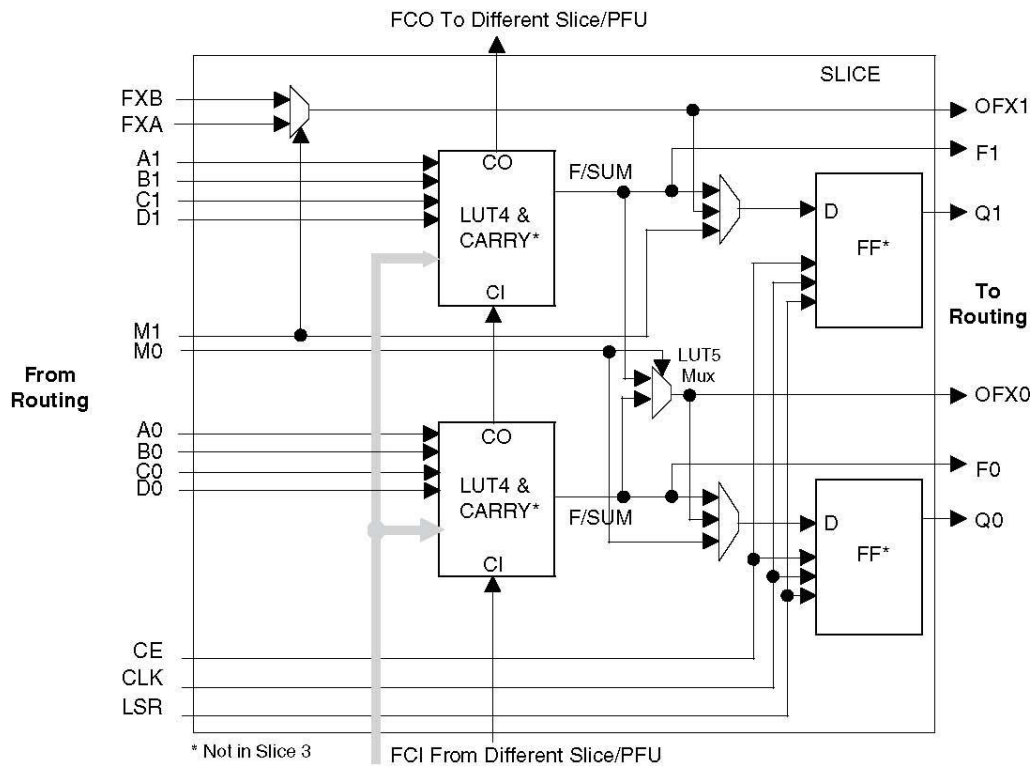
スライス0からスライス2は、2つのレジスタと、これに接続される2つの4入力ルックアップ・テーブル (LUT4) よりなり、スライス3にはレジスタがありません。PFUの場合、スライス0と2は分散メモリに構成でき、PFFでは構成できません。表2-1はPFFとPFU両ブロック内のスライスの動作モードと機能を示します。各PFUにはLUTを組み合わせてLUT5や、LUT6、LUT7またはLUT8などの機能を実行できるようにする関連ロジックを含んでいます。また、セット/リセット機能(同期か非同期としてプログラム)、クロック選択、チップセレクト、そしてRAM/ROM機能を実行するための制御ロジックがあります。図2-3はスライスの内部ロジックの概要を示します。スライス内のレジスタ用クロックは、立ち上がり/立ち下がりエッジ、或いは正または負レベルを有効とするように構成できます。

表2-1 スライスごとのリソースとモード

スライス	PFUブロック		PFFブロック	
	リソース	モード	リソース	モード
スライス0	LUT4とレジスタ各2	ロジック、リップル、RAM、ROM	LUT4とレジスタ各2	ロジック、リップル、ROM
スライス1	LUT4とレジスタ各2	ロジック、リップル、ROM	LUT4とレジスタ各2	ロジック、リップル、ROM
スライス2	LUT4とレジスタ各2	ロジック、リップル、RAM、ROM	LUT4とレジスタ各2	ロジック、リップル、ROM
スライス3	LUT4が2つ	ロジック、ROM	LUT4が2つ	ロジック、ROM

スライス0/1/2には14の入力信号があり、これは配線からの13本の信号と、キャリチェーンからの1本(隣接しているスライスかPFUから)です。また7本の出力があり、これは配線への6本と(隣接しているPFUへの)キャリ・チェーンの1本です。スライス3には配線からの13信号入力と配線への4信号出力があります。表2-2はスライス0から2に関連する信号をリストアップします。

図2-3 スライス・ダイアグラム



For Slices 0 and 2, memory control signals are generated from Slice 1 as follows:

WCK is CLK
WRE is from LSR
DI[3:2] for Slice 2 and DI[1:0] for Slice 0 data
WAD [A:D] is a 4bit address from slice 1 LUT input

表2-2 スライス信号記述

機能	タイプ	信号名	記述
入力	データ信号	A0, B0, C0, D0	LUT4入力
入力	データ信号	A1, B1, C1, D1	LUT4入力
入力	複数用途	M0	複数用途入力
入力	複数用途	M1	複数用途入力
入力	制御信号	CE	クロック・イネーブル
入力	制御信号	LSR	ローカル・セット/リセット
入力	制御信号	CLK	システム・クロック
入力	PFU間信号	FCI	高速キャリ入力 ¹
入力	スライス間信号	FXA	LUT6、LUT7を構成するための中間信号
入力	スライス間信号	FXB	LUT6、LUT7を構成するための中間信号
出力	データ信号	F0, F1	LUT4出力レジスタ・バイパス信号
出力	データ信号	Q0, Q1	レジスタ出力
出力	データ信号	OFX0	LUT5 MUX出力
出力	データ信号	OFX1	LUT6, LUT7, LUT8 ² MUX 出力、スライスに依存
出力	PFU間信号	FCO	各PFUのスライス2からの高速キャリチェイン出力 ¹

1. 接続の詳細については図2-3を参照。

2. 2 PFUが必要。

動作モード

それぞれのスライスには4動作モードがあり、それらはロジック、リップル、RAM、およびROMです。

ロジックモード

このモードで、各スライスにおけるLUTは、4入力の組み合わせルックアップ・テーブルとして構成されます。LUT4は16の可能な入力組み合わせを持つことができます。このルックアップ・テーブルをプログラムすることによって、4入力があるどのようなロジック機能も生成することができます。1スライスあたり2個のLUT4があるので、1スライスでLUT5を組み立てることができます。他のスライスを連結することによって、LUT6や、LUT7、LUT8などのより大きいルックアップ・テーブルを構成することができます。LUT8では4スライス以上が必要であることに留意してください。

リップルモード

リップルモードは小さな演算機能の効率的な実装ができます。リップルモードでは、各スライスは以下の機能を実装することができます。

- 2ビット加算
- 2ビット減算
- 動的な制御での2ビット加算・減算
- 2ビット・アップ/ダウンカウンタ
- 非同期クリア付きアップ/ダウン・カウンタ
- プリロード（同期）付きアップ/ダウン・カウンタ
- リップルモード乗算器ビルディング・ブロック
- 乗算器サポート
- 入力AとBのコンパレータ機能
 - AはBより等しいか大きい
 - AはBに等しくない
 - AはBより等しいか小さい

2本のキャリ信号、FCIとFCO、はこのモードでスライス単位で生成され、スライスを連結することによって高速演算機能が構成できます。

RAMモード

このモードでは、スライス0のLUTブロック2つを用いることで16x4ビットの分散シングルポートRAM(SPR)として、スライス2では16x1ビットのメモリを構成することができます。スライス1はメモリアドレスと制御信号のために使用されます。16x2ビット疑似デュアルポートRAMは、スライス一つをリードライトポートとして用い、もう一つのスライスをリードオンリポートとして使用して生成されます。

ラティスのデザインツールは種々異なるサイズのメモリ作成をサポートします。適切な場合、PFUの機能を示す分散メモリ・プリミティブを用いることで、ソフトウェアはこれらを構成します。表2-3は異なる分散メモリ(RAM)プリミティブを実装するのに必要なスライス数を示します。LatticeXP2でRAMを用いる詳しい情報に関しては、テクニカルノートTN1137 (LatticeXP2 Memory Usage Guide) を参照してください。

表2-3 分散RAMの実装に必要なスライス数

	SPR16x4	PDPR16x4
スライス数	3	3

注: SPR = Single Port RAM, PDPR = Pseudo Dual Port RAM

ROMモード

ROMモードはLUTロジックによりますので、スライス0から3が用いられます。プリロードはコンフィグレーションの間、プログラミング・インターフェイスを通して達成されます。

配線

単独信号かバス信号として関連する制御信号と共に配線するための多くのリソースがLatticeXP2デバイスに用意されています。配線リソースはスイッチング回路、バッファ、およびメタル・インターコネクト(配線)セグメントから成ります。

PFU相互の接続は(2PFUにまたがる)x1ライン、(3PFUにまたがる)x2ライン、および(7PFUにまたがる)x6ラインで行われます。x1とx2接続は速くて効率の良い接続を横方向と縦方向に提供します。x2とx6リソースはバッファリングされ、PFU間に短い接続と長い接続配線を可能にします。

LatticeXP2ファミリはコンパクトな設計を実現する配線アーキテクチャを持っています。Diamondデザインツールは、論理合成ツールの出力を取り込んで、デザインを配置配線します。デザインを最適化するために対話的な配線エディタが利用できますが、一般に配置配線ツールは完全に自動です。

sysCLOCK位相同期ループ(PLL)

sysCLOCK PLLはクロック周波数を合成する機能を提供します。LatticeXP2ファミリの全デバイスがフル機能をもつGPLL（汎用PLL）を2〜4つ搭載しています。GPLLのアーキテクチャを図2-4に示します。

CLKIはPLLの基準周波数入力で外部ピンか配線から加えられます。CLKIは入力クロック分周器ブロックへ与えられます。CLKFBはフィードバック信号で、CLKOPあるいはユーザクロック・ピン/ロジックから与えられます。この信号はフィードバック分周器へ与えられます。フィードバック分周器は、基準周波数を n 倍するために用いられます。

入力信号とフィードバック信号がVCOブロックに入ります。VCOの周波数と位相はこの入力信号とフィードバック信号で決定されます。LOCK信号は、VCOが入力クロック信号にロックした事を示すために生成されます。

VCO出力はポストスケーラ分周器CLKOPに入ります。CLKOP分周器出力はデューティトリム・ブロックで微調整できます。VCOをCLKOPより高い周波数で動作させることにより、GPLLの動作周波数範囲を広げる

ことが可能です。CLKOP分周器の出力はさらに（第二の）CLKOK分周器を通すことにより、低い周波数のCLKOK出力を得ます。さらに低い周波数のクロックが必要な用途のために、CLKOP信号は3分周回路を通り、CLKOK2として出力されます。CLKOK2はソースシンクロナス・ロジックを用いるアプリケーション用に用意されています。位相/デューティ比/デューティトリム・ブロックは、CLKOS信号を生成するためにCLKOP分周器の位相とデューティ比を調整します。位相/デューティ比設定はコンフィグ時にプログラムするか、またはダイナミックに調整することができます。

GPLLからのCLKOP、CLKOK、CLKOK2、およびCLKOSはクロック分配ネットワークに供給されます。GPLLの詳細に関してはTN1126 (LatticeXP2 sysCLOCK PLL Design and Usage Guide)を参照してください。表2-4はGPLLブロックの信号記述です。

図2-4 GPLLブロック図

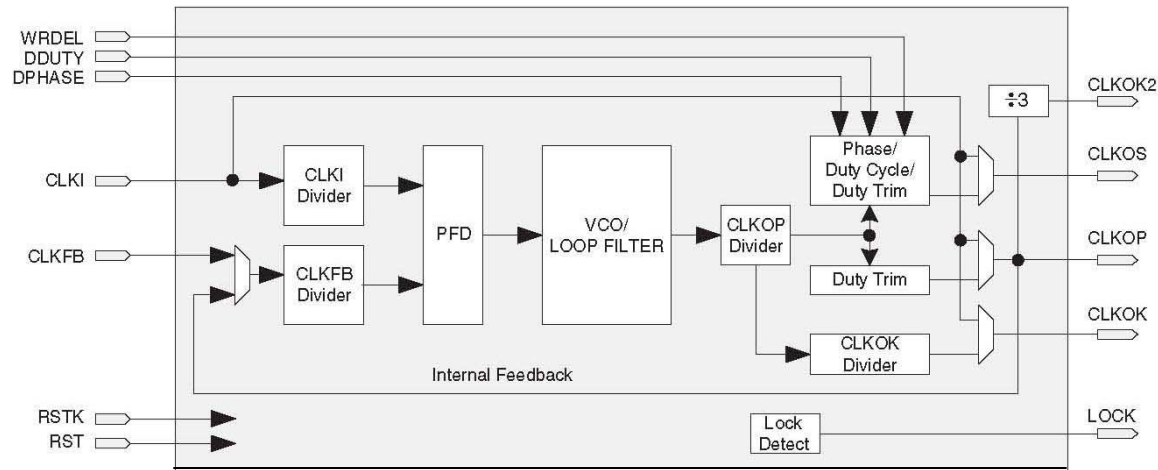


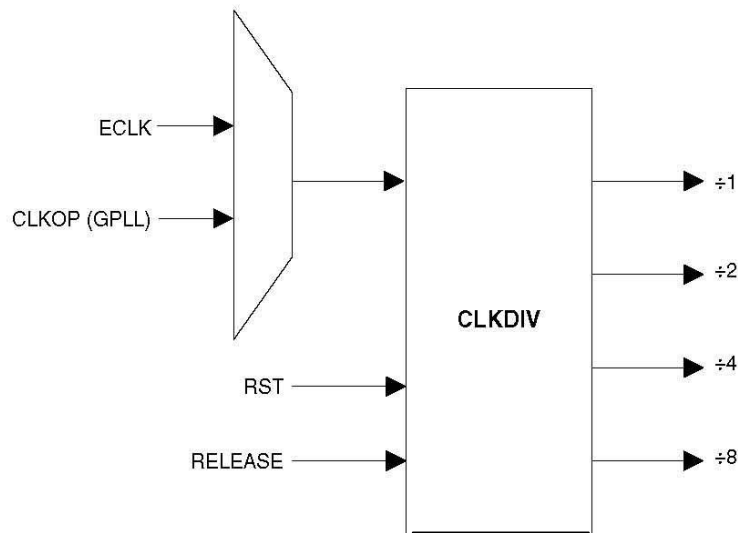
表2-4 GPLL 信号記述

信号	I/O	記述
CLKI	I	クロック入力。外部ピンもしくは配線から
CLKFB	I	PLLフィードバック入力。CLKOP(PLL内部)、クロックネット(CLKOP)、またはユーザクロック（外部ピンかロジック）から。
RST	I	“1” でPLLカウンタ、VCO、チャージポンプ、M分周器をリセット
RSTK	I	“1” でK分周器をリセット
DPHASE[3:0]	I	DPA位相調整入力
DDUTY[3:0]	I	DPAデューティサイクル選択入力
WRDEL	I	DPA遅延微調整入力
CLKOS	O	PLL出力クロック。クロックツリーへ（位相シフト、デューティ比可変）
CLKOP	O	PLL出力クロック。クロックツリーへ（位相シフトなし）
CLKOK	O	PLL出力。クロック分周器を介してクロックツリーへ
CLKOK2	O	PLL出力クロック。クロックツリーへ（CLKOPを3分周）
LOCK	O	“1” でPLLがCLKIにロックを示す

クロック分周器

LatticeXP2はデバイスの左右辺に2つのクロック分周器を持っています。これらは高速のエッジクロックから、より低速のシステムクロックを生成することを意図しています。本ブロックは、 $\div 2$ 、 $\div 4$ または $\div 8$ モードで動作し、リセット信号のリリースに基づいて分周クロックと高速クロックを既知の位相関係に維持します。クロック分周器には、GPLLからのCLKOP出力、またはエッジクロック(ECLK)から供給できます。クロック分周器出力はプライマリクロック・ソースとして使用され、クロック分配ネットワークへ供給されます。リセット制御信号(RST)は、入力をリセットし、また全出力をLowにします。RELEASE信号は入力クロックに対して出力をリリースします。クロック分周器の詳細に関しては、テクニカルノートTN1126を参照してください。図2-5はクロック分周器の接続を示します。

図2-5 クロック分周器の接続



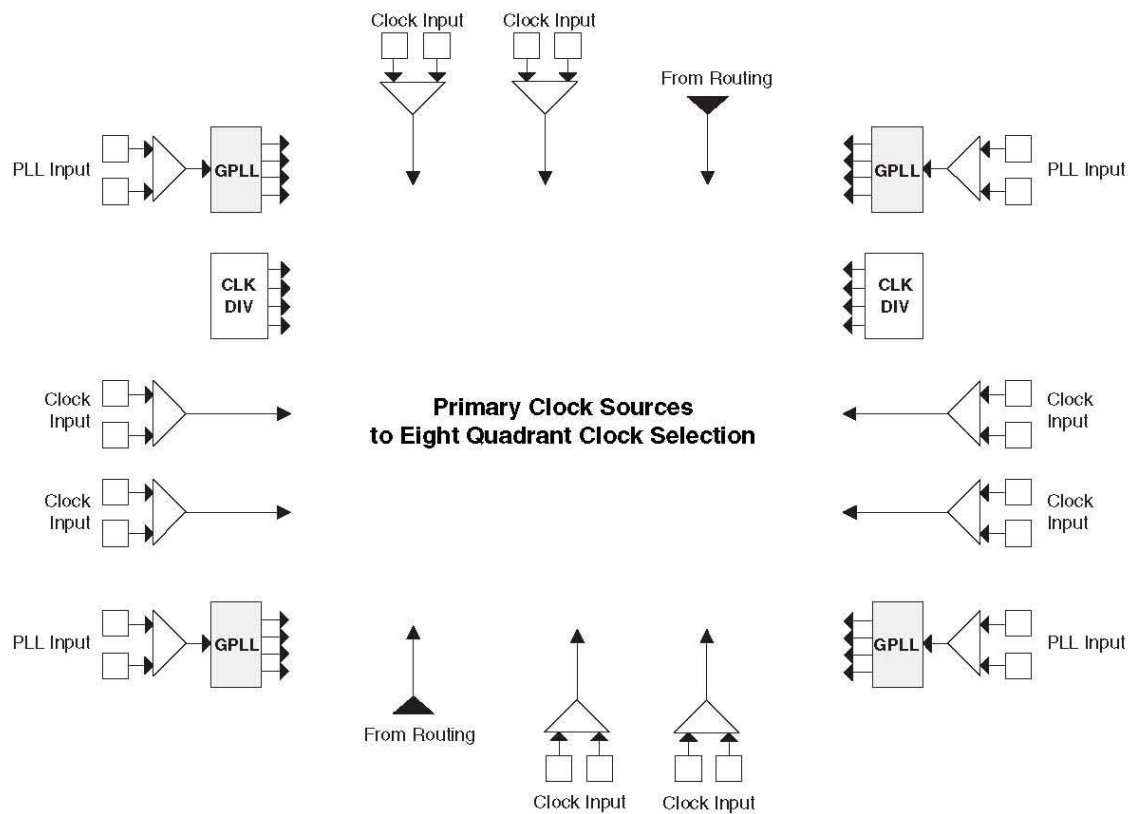
クロック分配ネットワーク

LatticeXP2デバイスには8本のプライマリクロックがクワドラント毎にあり、自由度の高いセカンダリクロック/制御信号がリージョン毎に6～8本あります。高性能エッジクロックがデバイス各辺に2本ずつあり、高速インターフェイスをサポートします。クロック入力には外部I/O、sysCLOCK PLL、および配線から選択されます。これらクロック入力にはプライマリクロック/セカンダリクロック/エッジクロック各分配システムを介してチップ内部に供給されます。

プライマリクロックのソース

LatticeXP2デバイスは4つのソースからクロックを得ます。すなわちPLL出力、CLKDIV出力、クロック入力専用ピン、そして配線です。LatticeXP2は2～4個のsysCLOCK PLLを持っており、デバイスの四隅に配置されています。クロック専用入力ピンは8本あり、デバイス各辺に2本ずつあります。図2-6はプライマリクロック・ソースを示します。

図2-6 LatticeXP2-17のプライマリクロック・ソース

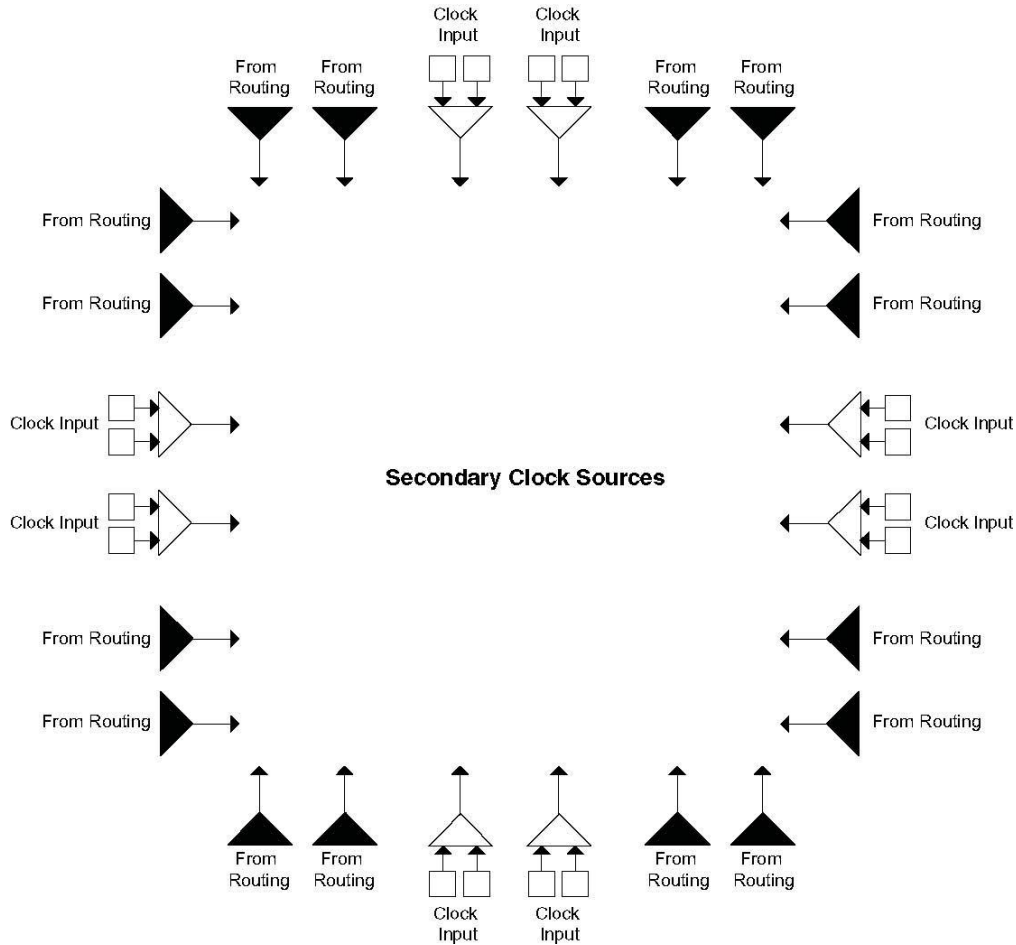


Note: This diagram shows sources for the XP2-17 device. Smaller LatticeXP2 devices have two GPLLs.

セカンダリクロック / 制御信号のソース

LatticeXP2はセカンダリクロック（SC0～SC7）を8本のクロック専用入力ピン、および配線より得ます。図2-7はセカンダリクロック・ソースを示します。

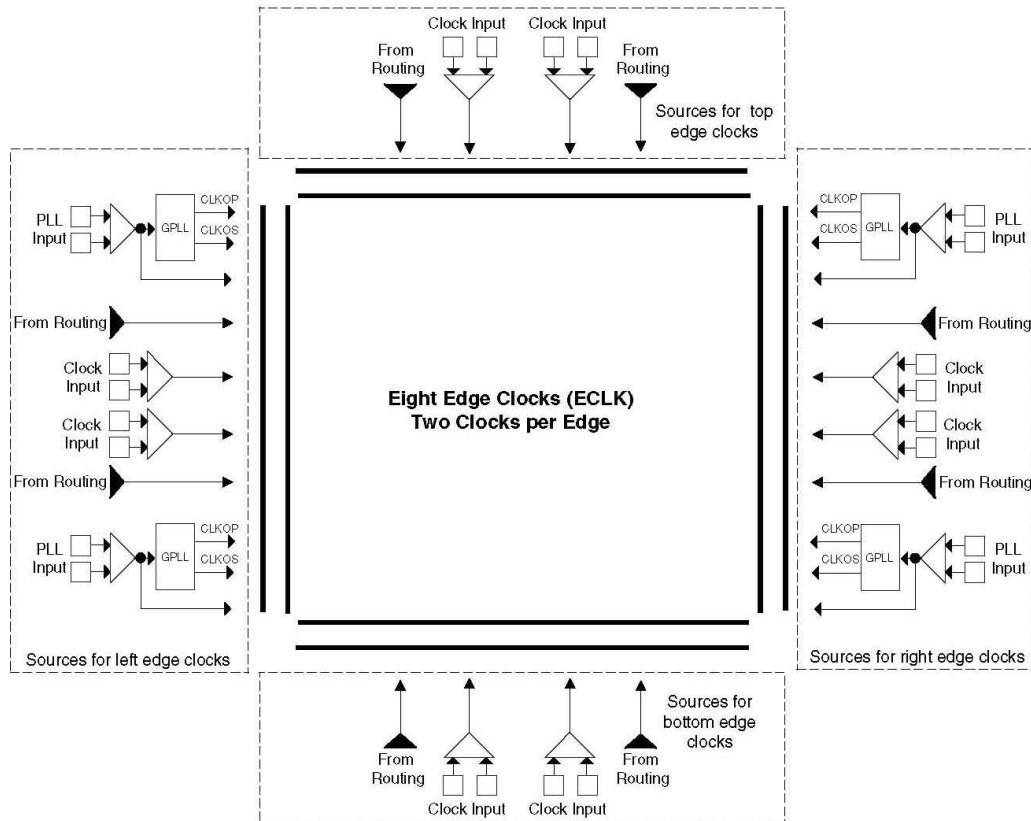
図2-7 セカンダリクロック・ソース



エッジクロック・ソース

エッジクロック・リソースは同一辺にある種々ソースからドライブすることができます。図2-8で示すように、隣接するエッジクロックPIO、プライマリクロックPIO、PLL、およびクロック分周器からエッジクロック・リソースをドライブできます。

図2-8 エッジクロック・ソース

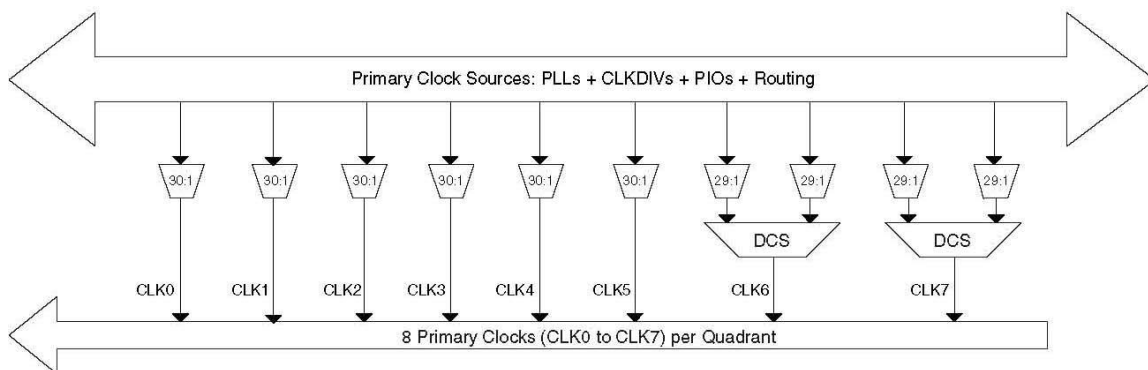


Note: This diagram shows sources for the XP2-17 device. Smaller LatticeXP2 devices have two GPLLs.

プライマリクロック配線

LatticeXP2におけるクロック配線構造は、クワドラントごとに8本あるプライマリクロック線 (CLK0～CLK7) から成ります。各クワドラントのプライマリクロックはそれぞれデバイスの中央に位置するマルチプレクサから生成されます。全てのソースはこれらマルチプレクサに接続されます。図2-9は各クワドラントのクロック配線を示します。各クワドラントのマルチプレクサは同一で、もし必要な場合はグローバルに（チップ全体に）分配もできます。

図2-9 クワドラントあたりのプライマリ・クロック選択

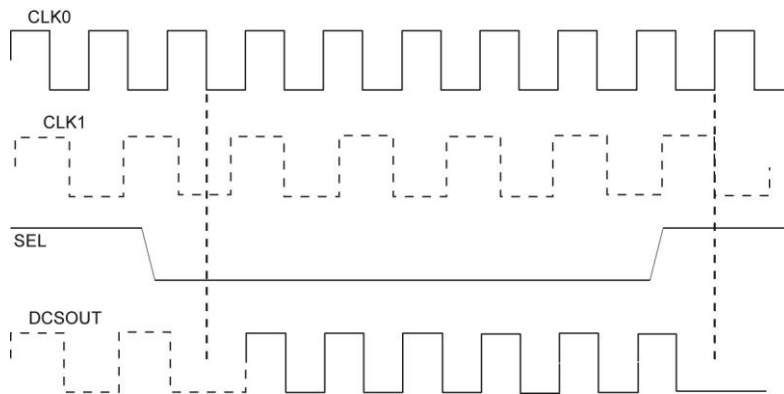


ダイナミック・クロックセレクト(DCS)

DCSはプライマリクロック配線で利用できる洗練されたマルチプレクサで、グリッチや細ったパルスを出す事なしに2本の独立したクロックソースを切り替えます。これは選択信号がいつトグルするかに係わらず達成できます。クワドラント内に2つのDCSブロックがあり、デバイスに合計8つあります。DCSブロックの入力はデバイス中央のマルチプレクサから得られます。DCS出力はプライマリクロックのCKL6とCLK7に接続されます(図2-9)。

図2-10はデフォルト動作モード時のDCSのタイミング波形を示します。DCSは他の動作モードにも設定できます。より詳しい情報に関しては、テクニカルノートTN1126を参照してください。

図2-10 DCS波形



セカンダリクロック / 制御の配線

LatticeXP2のセカンダリクロックはリージョンベースのリソースで、その利点はプライマリクロックに対して注入遅延(Injection delay)が小さいことと、リージョン内のスキューが比較的小さいことです。その区切りはEBR/DSPブロックの列と、特別な縦の配線チャネルです。この特別な配線チャネルは中央のDSPブロックの左端、或いはDSP列の中央に合わされています。図2-11はLatticeXP2-40の例で、縦に走るこの特別な配線チャネルと8つのリージョンを示します。LatticeXP2-30とそれ以下の規模のデバイスには6つのリージョンがあります。LatticeXP2はリージョンごとに4本のセカンダリクロック・リソース(SC0からSC3)があります。

セカンダリクロックのマルチプレクサはデバイスの中央に位置しています。図2-12がその構造を示します。SC0からSC3は高ファンアウトの制御線に使用され、SC4からSC7はクロック信号に使用されます。

図2-11 XP2-50のセカンダリクロック・リージョン

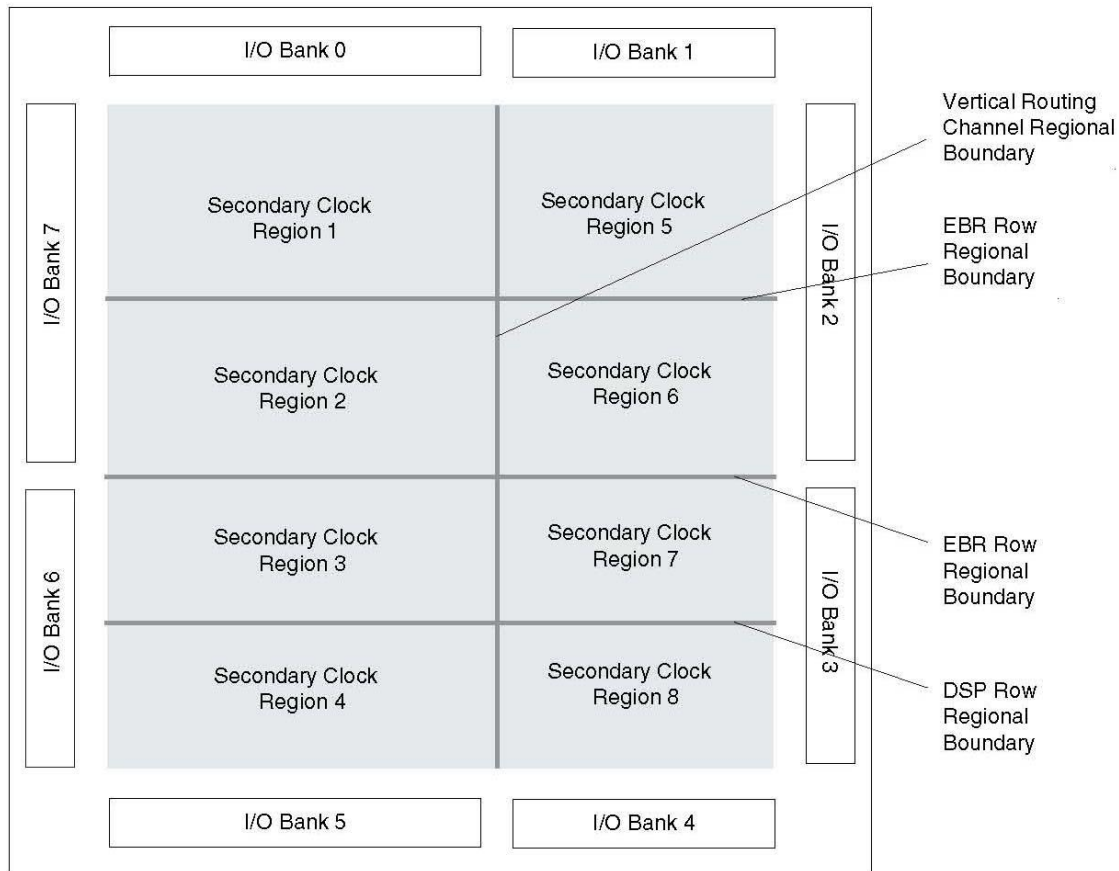
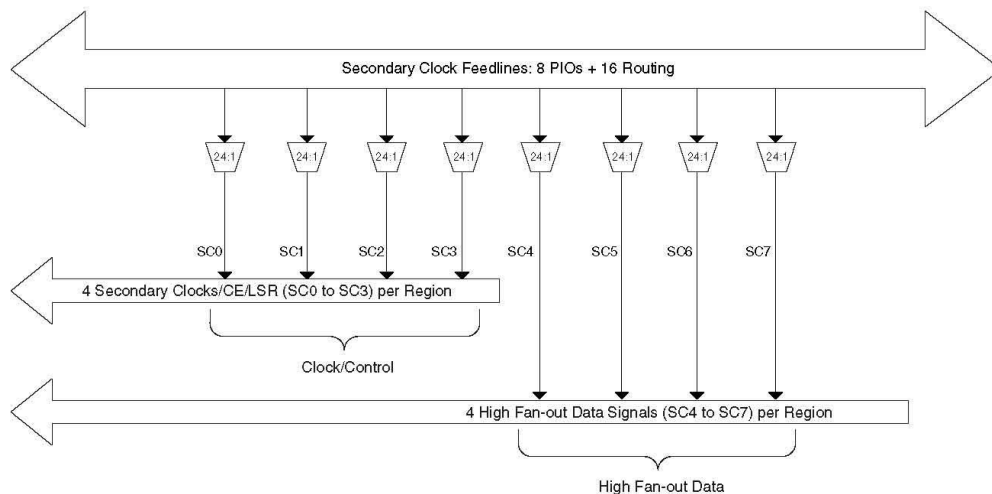


図2-12 リージョンごとのセカンダリクロックの選択



スライスクロックの選択

図2-13はクロック選択を、図2-14はスライス0から2の制御信号の選択を示します。すべてのプライマリクロックとセカンダリクロックの4本はこのクロック選択マルチプレクサに接続されます。配線を使用する他の信号はクロックとしてスライスに入力もできます。スライスの制御信号はセカンダリクロックか、配線から接続される信号により生成されます。

もしこれらクロック・制御選択のマルチプレクサで共に何も選択されない場合はマルチプレクサ出力は1です。スライス3にはレジスタがないので、これらマルチプレクサがありません。

図2-13 スライス0から2のクロック選択

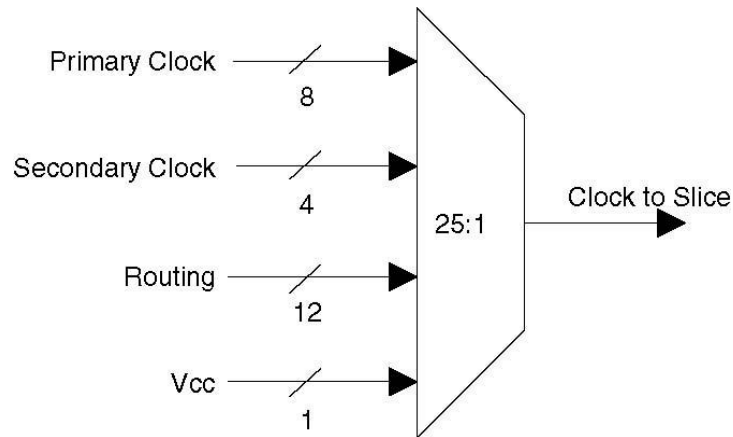
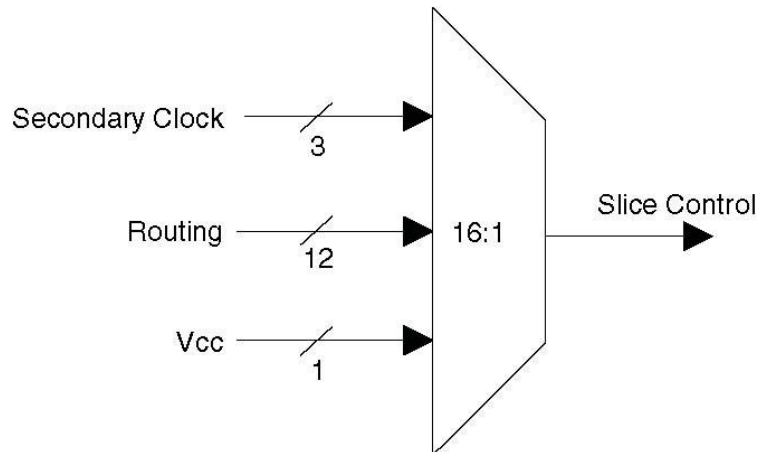


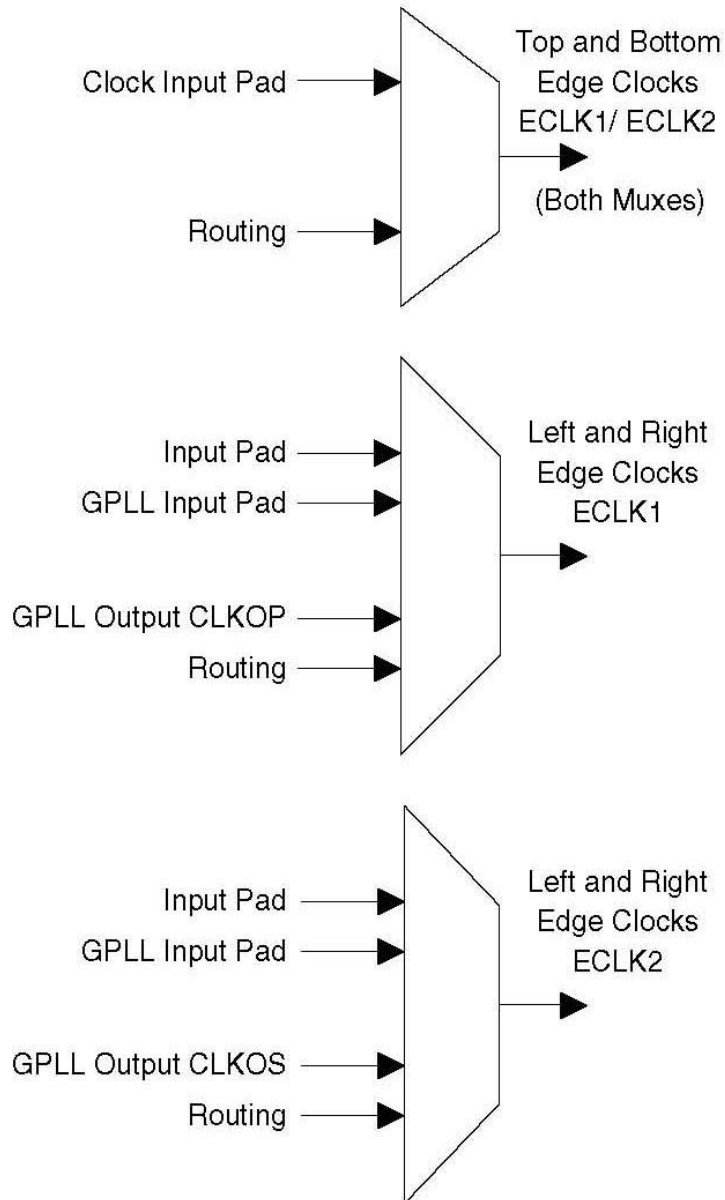
図2-14 スライス0から2の制御選択



エッジクロックの配線

LatticeXP2デバイスには、高速インターフェイスの実装でPIOと共に使用することを意図する、何本かの高速エッジクロックがあります。エッジ（辺）あたり2本、デバイスとして8本のエッジクロックがあります。図2-15はこれらクロック選択のマルチプレクサを示します。

図2-15 エッジクロック・マルチプレクサの接続



sysMEMメモリ

LatticeXP2ファミリのデバイスは多くのsysMEM組み込みブロックRAM(EBR)を持っています。EBRは専用の入出力レジスタがある18kビットのRAMから成ります。

sysMEMメモリブロック

sysMEMブロックはシングルポート、デュアルポートまたは疑似デュアルポート・メモリを実装することができます。表2-5に示されるようにさまざまな深さと幅で各ブロックを用いることができます。PFUでサポートロジックを構成してFIFOとしてsysMEM EBRを実装することも可能です。またEBRはパリティチェック機能の実装を容易にし、さらに18ビット或いは36ビットデータ幅構成ではバイトイネーブル信号もサポートします。

表2-5 sysMEMブロックのコンフィグレーション

メモリ・モード	構成
シングルポート	16,384 x 1 8,192 x 2 4,096 x 4 2,048 x 9 1,024 x 18 512 x 36
真のデュアルポート	16,384 x 1 8,192 x 2 4,096 x 4 2,048 x 9 1,024 x 18
擬似デュアルポート	16,384 x 1 8,192 x 2 4,096 x 4 2,048 x 9 1,024 x 18 512 x 36

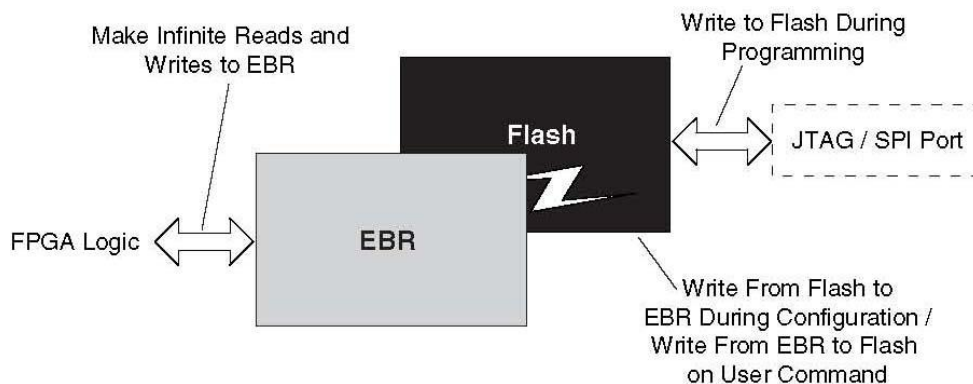
バスサイズ・マッチング

マルチポートメモリ・モードのすべてがそれぞれの異なるポート幅をサポートします。RAMビットはWord0のLSBからMSBへ、Word1のLSBからMSBへというように配置されます。ワード長とワード数はポートごとに異なりますが、このマッピング体系は各ポートに適用されます。

FlashBAK EBR内データの保存

LatticeXP2のすべてのEBRメモリはフラッシュメモリがシャドーになっています。オプションとして、ラティスLattice Diamondツールを用いることでメモリブロックで初期値を定義することができます。初期値はプログラム時にフラッシュメモリにロードされ、またデバイスのパワーアップ時やデバイスが再コンフィグレーションされる時は常にSRAMへロードされます。この機能はルックアップテーブルやマイクロプロセッサ・コードなど、さまざまな情報の記憶に理想的です。また、EBRメモリの現在の内容をフラッシュメモリに書き出すことも可能です。この機能はエラーコードや較正情報などのデータの格納に有用です。FlashBAKの情報に関してはTN1137 (LatticeXP2 Memory Usage Guide)を参照してください。

図2-16 FlashBAK テクノロジー



メモリの連結

EBR sysMEMブロックを用いることで、より大きくて、より深いRAMブロックを作成することができます。通常、ラティス・デザインツールは特定の設計への入力に基づいて透過的に（暗黙に）メモリを連結します。

シングルポート / デュアルポート / 擬似デュアルポート・モード

全てのsysMEM RAMモードで、ポートへの入力データとアドレスにはメモリアレイの入力レジスタがあります。メモリの出力データへのレジスタはオプションです。

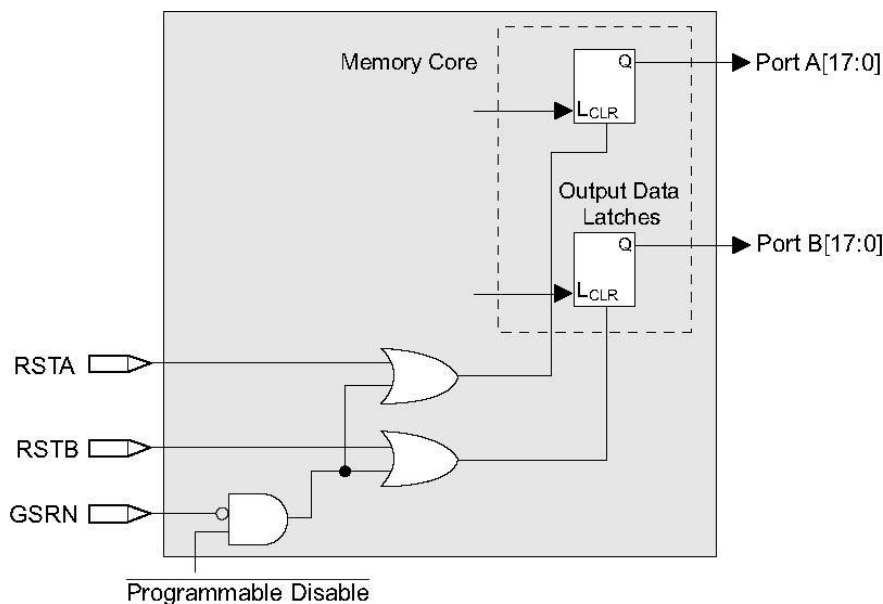
EBRメモリはシングルポートかデュアルポート動作のための書き込みの振舞いとして2つの形態をサポートします。

1. **標準**；出力データはリード・サイクルの間だけ現れます。ライト・サイクルの間、現在のアドレスのデータは出力に現れません。すべてのデータビット幅がサポートされます。
2. **ライトスルー**；ライト・サイクルの間、入力データのコピーが同じポートの出力に現れます。すべてのデータビット幅がサポートされます。

メモリアレイ・リセット

EBRのメモリアレイはA出力とB出力ポートのラッチを利用します。これらのラッチを非同期か同期でリセットすることができます。RSTAとRSTBはローカルの信号で、出力ラッチをリセットし、それぞれPort AとPort Bに関連します。Global Reset(GSRN)信号は両ポートをリセットします。両ポートのための出力データラッチと関連するリセットが図2-17で示されます。より詳細についてはテクニカルノートTN1137(LatticeXP2 Memory Usage Guide)を参照してください。

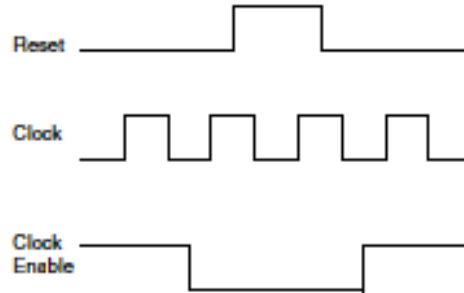
図2-17 メモリアレイ・リセット



EBR非同期リセット

図2-18に示すように、クロックイネーブルがリセットのアサート前とネゲート後にクロック1周期（以上）Low（非アクティブ）の場合にのみ、EBRの非同期リセットもしくはGSR（使用されていれば）は与えることができます。EBRへのGSR入力は常に非同期です。

図2-18 EBR非同期リセットのタイミング図 (GSRを含む)



もし全てのクロックイネーブルが有効のままの場合、非同期リセットもしくはGSRはリード/ライト・クロック入力が安定状態になった後、最小 $1/f_{\text{MAX}}$ (EBRクロック)の期間、加えられなければなりません。またリセットのリリースタイミングは、次のアクティブなリード/ライト・クロックエッジに対して、同期リセットとしてのセットアップ時間を満たすようにしなければなりません。

EBR初期値がコンフィグレーション時にプリロードされる場合、GSR入力がディセーブルされるか、或いはデバイスのウェイクアップ時にI/Oの解放される前にGSRがリリースされるようにしなければなりません。

これらの要件は全てのEBR RAMとROMに適用されます。

EBRで同期リセットのみが用いられ、またEBRのGSR入力もディセーブルされていればリセットに関する制約はありません。

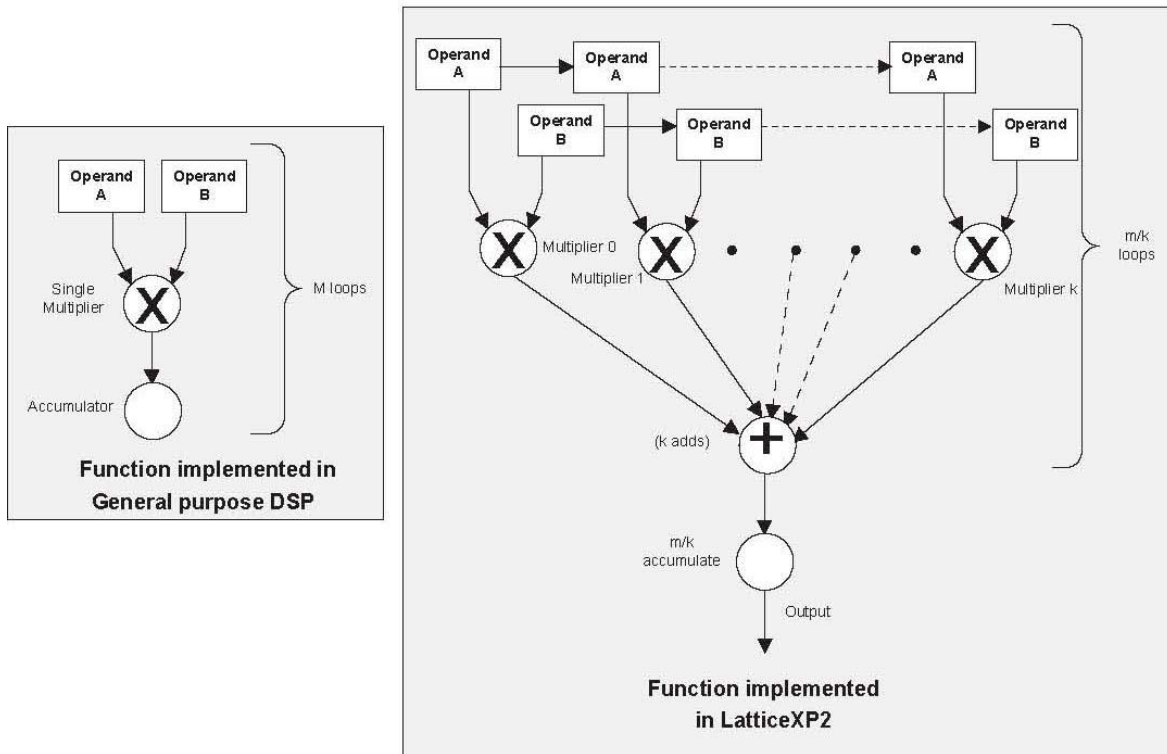
sysDSP™ ブロック

LatticeXP2ファミリはsysDSPブロックを提供し、これにより低コストで高性能のデジタル信号処理(DSP)アプリケーションに理想的に適しています。これらのアプリケーションで用いられる典型的な機能は有限インパルス応答 (FIR) フィルタ、高速フーリエ変換(FFT)機能、相関器、リードソロモン/ターボ/たたみ込み符号器、および復号器などです。これらの複雑な信号処理機能は、加算器と乗算器やアキュムレータと乗算器のように類似のビルディング・ブロックを用います。

sysDSPブロック・アプローチと汎用DSPとの比較

従来の汎用DSPチップは固定データ幅のMAC(乗算とアキュムレート)ユニットを通常1~4個含んでいます。これは限られた並列度と限られたスループットに通じます。それらのスループットは、より高いクロックスピードによって増加されます。他方LatticeXP2には、異なったデータ幅をサポートする多くのDSPブロックがあります。これで、設計者はDSP機能の非常に並列度のある実装ができます。設計者は、適切なレベルの並列度を選ぶことによって、エリアに対するDSP性能を最適化することができます。図2-19はシリアル実装と並列実装を比較します。

図2-19 汎用DSPとLatticeXP2アプローチの比較



sysDSPブロックの機能

LatticeXP2ファミリにおけるsysDSPブロックは、4個の機能要素を9、18と36の3種のデータパス幅でサポートします。ユーザは機能要素をDSPブロック用を選択して、次にオペランドの幅とタイプ(符号あり/なし)を選びます。LatticeXP2ファミリsysDSPブロックにおけるオペランドは、符号ありか符号なしですが、機能要素の中で混在できません。同様に、オペランド幅もブロックの中で混在できません。LatticeXP2ファミリではDSP要素を従属接続できます。

各sysDSPブロックにおけるリソースは以下の4つの要素をサポートするために構成することができます。

- MULT 乗算
- MAC 積和（乗算とアキュムレート（累積））
- MULTADDSUB 乗算、加算/減算
- MULTADDSUBSUM 乗算、加算/減算、アキュムレート

各ブロックで利用できる要素の数は、x9、x18、およびx36の3つのオプションからの選択に依存します。これらの多くの要素はDSP機能の並列度の高い実装のために連結できます。表2-6はブロックの機能を示します。

表2-6 ブロックにおける最大の要素数

乗算器幅 (-->)	x9	x18	x36
MULT	8	4	1
MAC	2	2	—
MULTADDSUB	4	2	—
MULTADDSUBSUM	2	1	—

4つの要素ではいくつかのオプションが利用できます。すべての要素の入力レジスタには、直接ロードする

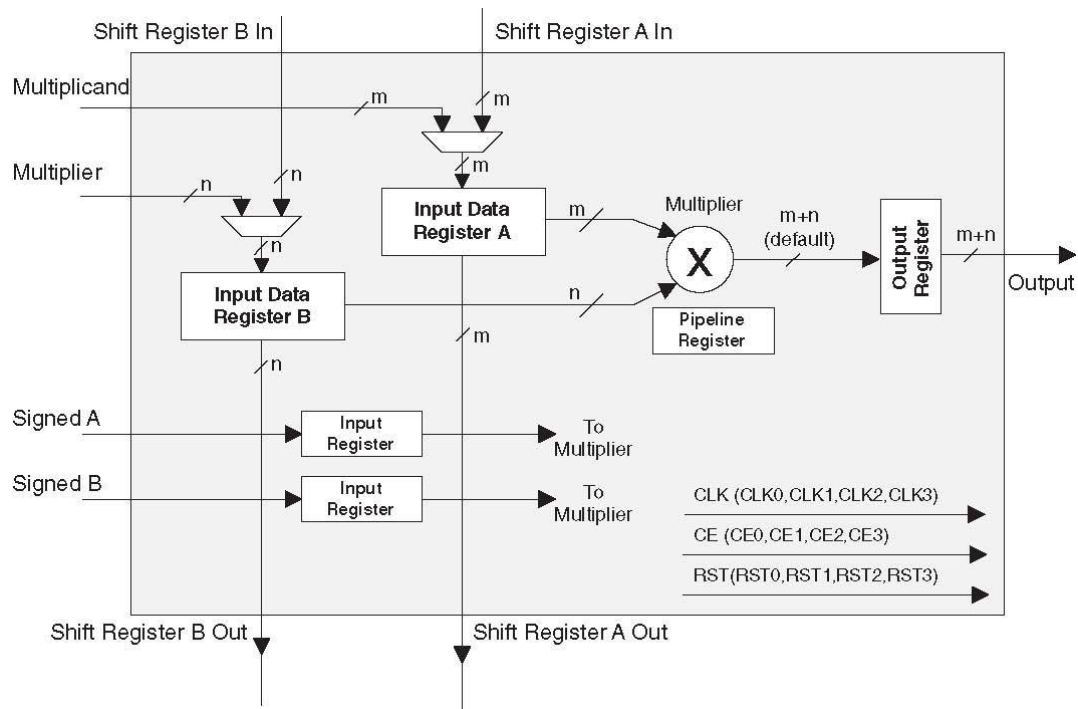
か、または直前のオペランドのシフトレジスタからロードできます。“ダイナミック動作”を選択することで以下の操作が可能になります。

- “Signed/Unsigned” オプションでオペランドを各サイクルごとに符号あり・符号なしを切り換える
- “Add/Sub” オプションでアキュムレータを各サイクルごとに加算と減算で切り換える
- オペランドのロード方法をパラレルとシリアルで切り替える

MULT sysDSP要素

この乗算器要素は加算/アキュムレータ・ノードなしで乗算します。二つのオペランド(AとB)は、乗算され、そして、結果が出力に出てきます。ユーザは入力/出力/パイプライン各レジスタをイネーブ爾することができます。図2-20はMULT sysDSP要素を示します。

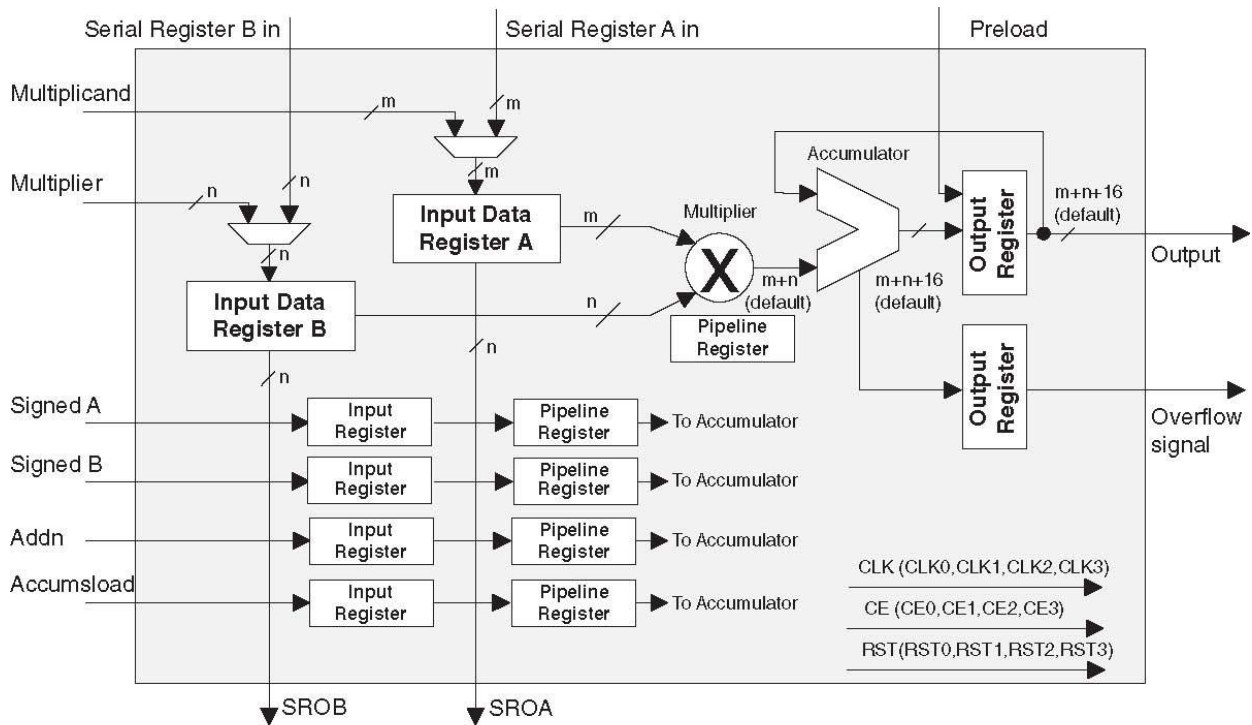
図2-20 MULT sysDSP要素



MAC sysDSP 要素

この場合、二つのオペランド(AとB)は乗算されて、結果はアキュムレート（累積）された直前の値に加えられます（積和動作）。このアキュムレート値は出力で利用できます。ユーザは入力とパイプライン・レジスタをイネーブルすることができますが、出力レジスタは常にイネーブルされます。出力レジスタは、アキュムレートされた値を保持するために用いられます。LatticeXP2のDSPブロックはアキュムレータを動的に初期化できます。また、レジスタのあるオーバーフロー信号も利用できます。本ドキュメントの後ではオーバーフロー条件を示します。図2-21はMAC sysDSP要素を示します。

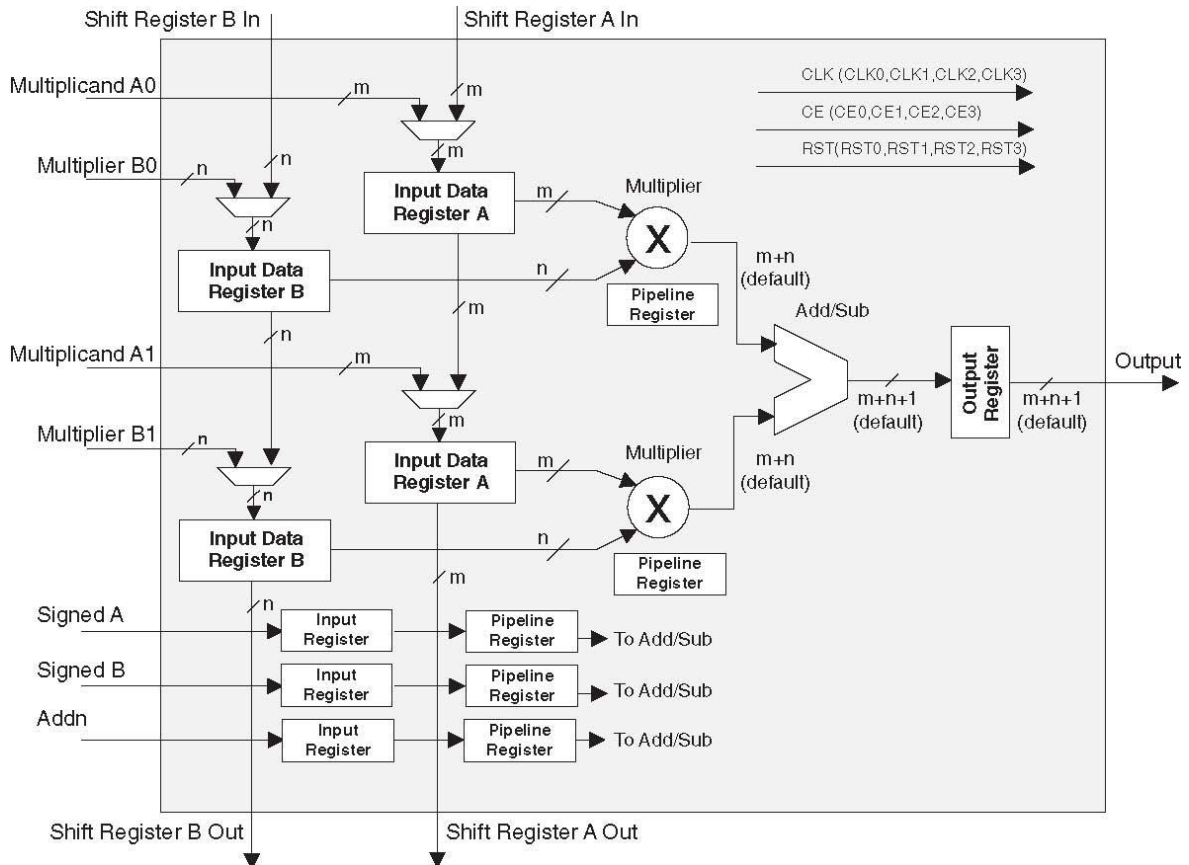
図2-21 MAC sysDSP要素



MULTADDSUB sysDSP要素

オペランドのA0とB0は乗算されて、その結果は、オペランドA1とA2の乗算の結果に加算されるか、または引き算されます。ユーザは入力/出力パイプライン各レジスタをイネーブルすることができます。図2-22はMULTADDSUB sysDSP要素を示します。

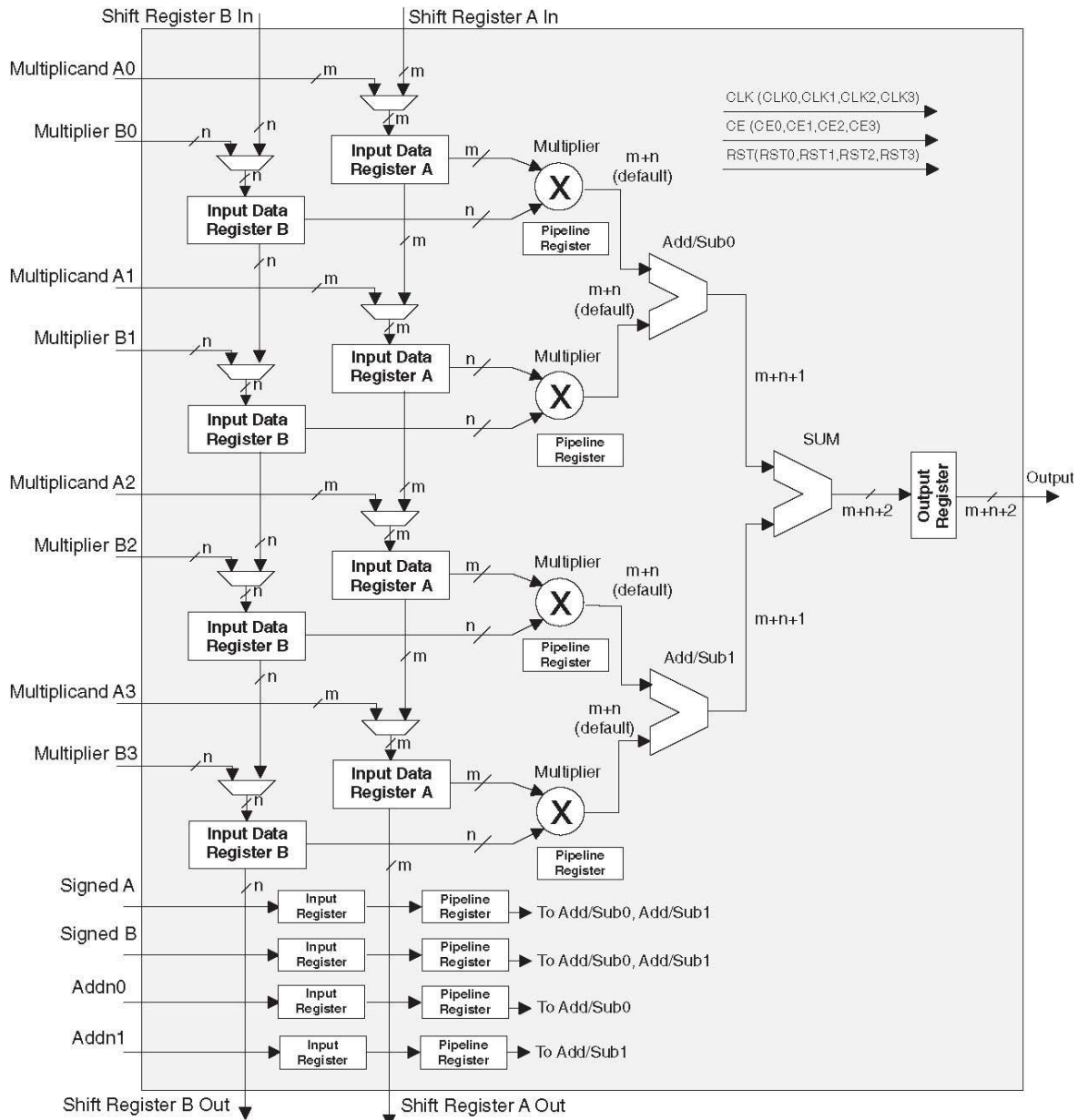
図2-22 MULTADDSUB要素



MULTADDSUBSUM sysDSP要素

オペランドのA0とB0は乗算されて、その結果は、オペランドA1とB1の乗算の結果に加えられるか、または引き算されます。オペランドのA2とB2は乗算されて、その結果は、オペランドのA3とB3の乗算の結果にさらに加えられるか、または引き算されます。加算/減算の結果は共に総和（加算）ブロックで加えられます。ユーザは入力/出力/パイプライン各レジスタをイネーブルすることができます。図 2-23 は MULTADDSUBSUM sysDSP要素を示します。

図2-23 MULTADDSUBSUM 要素



クロック、クロックイネーブル、およびリセット・リソース

配線からのグローバル・クロック、クロックイネーブル(CE)とリセット(RST)信号は全てのDSPブロックで使用できます。4つのクロック・ソース(CLK0、CLK1、CLK2、CLK3)から、1つのクロックがそれぞれの入力レジスタ、パイプライン・レジスタ、および出力レジスタ用を選択されます。同様に、CEとRSTは各4つのソース(CE0、CE1、CE2、CE3とRST0、RST1、RST2、RST3)から入力/パイプライン/出力レジスタでそれぞれ選択されます。

異なる幅での符号あり・符号なし

DSPブロックはx9、x18、およびx36ビット幅以外に、符号あり・符号なしで乗算器の異なる幅をサポートします。符号なしオペランドにおいて、未使用の上位データビットは、有効なx9、x18またはx36オペランドを作成するために拡張されなければなりません。符号あり2の補数オペランドにおいて、x9、x18またはx36幅に達するまで、最上位ビット(MSB)の符号拡張は実行されるべきです。表2-7はこの例を示します。

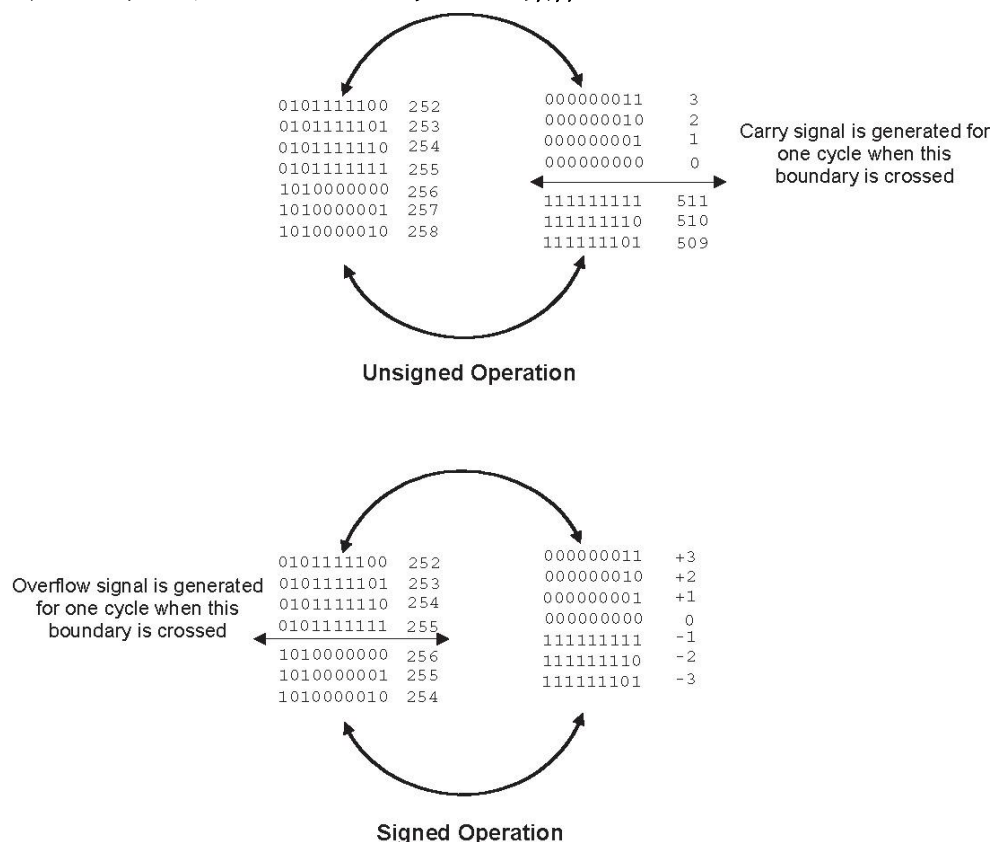
表2-7 符号拡張に関する例

値	符号なし	符号なし 9-bit	符号なし 18-bit	符号あり	2の補数 符号あり 9-bit	2の補数 符号あり 18-bit
+5	0101	000000101	000000000000000101	0101	000000101	000000000000000101
-6	N/A	N/A	N/A	1010	111111010	111111111111111010

MACからのOVERFLOWフラグ

sysDSPブロックは、アキュムレータがオーバーフローしたことを示すための出力を提供します。2つの符号なし数が加えられて、結果がそれらより小さい数になった時、アキュムレータ・ロールオーバーが起こったと言い、オーバーフロー信号が示されます。2つの正数が加算されその和が負であるとき、または2つの負数が加算され和が正数の場合、アキュムレータ・ロールオーバーが起こったと言い、そしてオーバーフロー信号が示されます。オーバーフロー・フラグは1サイクルだけの間存在していますので、オーバーフローがいつ起こるかに注意する必要があります。FPGAロジックでこれらのオーバーフロー・パルスを数えることによって、より大きいアキュムレータを構成することができます。符号ありおよび符号なしオペランドでのオーバーフロー状態は図2-24でリストアップされています。

図2-24 アキュムレータ・オーバーフロー/アンダフロー条件



IPexpress™

ユーザは、それぞれのDSPモジュール(または、モジュールのグループ)を構成するオプションを持っているLattice IPexpressツールか、或いは直接HDLインスタンス化を通してsysDSPブロックにアクセスすることができます。さらにラティスは、グラフィカルなシミュレーション環境であるSimulink®ツール内のインスタンス化をサポートするMathWorks®社とパートナーになっています。SimulinkはDiamondと共に動作して、ラティスFPGAでのDSP設計サイクルを劇的に短くします。

最適化されたDSP機能

ラティスは最適化されたDSP IP機能のライブラリを提供します。LatticeXP2用に用意されるIPは、ビット相関器、高速フーリエ変換、有限インパルス応答 (FIR) フィルタ、リードソロモン符号器/復号器、ターボ符号器/復号器、および畳み込み符号器/復号器などです。利用できるDSP IPコアの最新のリスト/ステータスについてはラティスまでお問い合わせください。

LatticeXP2ファミリで利用できるリソース

表2-8はLatticeXP2ファミリの各メンバーの最大乗算器数を示します。表2-9はそれぞれのLatticeXP2ファミリ・デバイスにおいて利用できる最大EBR RAMブロックを示します。EBRブロックは、分散RAMと共に、高速DSP動作のために変数を局所的に格納するために用いることができます。

表2-8 LatticeXP2 ファミリのDSPブロック数

デバイス	DSP ブロック	9x9 乗算器	18x18乗算器	36x36乗算器
XP2-5	3	24	12	3
XP2-8	4	32	16	4
XP2-17	5	40	20	5
XP2-30	7	56	28	7
XP2-40	8	64	32	8

表2-9 LatticeXP2 ファミリの組み込みSRAM / TAGメモリ

デバイス	EBR SRAM ブロック数	総 EBR SRAM (Kbits)	TAG メモリ (Bits)
XP2-5	9	166	632
XP2-8	12	221	768
XP2-17	15	276	2184
XP2-30	21	387	2640
XP2-40	48	885	3384

LatticeXP2ファミリDSPの性能

表2-10はLatticeXP2ファミリ各メンバーの最大性能を百万MAC毎秒(MMAC)の単位でリストしています。

表2-10 LatticeECP ファミリのDSPブロック性能

デバイス	DSP ブロック	DSP性能 (MMAC)
XP2-5	3	3900
XP2-8	4	5200
XP2-17	5	6500
XP2-30	7	9100
XP2-40	8	10400

sysDSPの詳しい情報に関しては、テクニカルノートTN1140 (LatticeXP2 sysDSP Usage Guide) を参照してください。

プログラマブルI/Oセル(PIC)

各PICは図2-25に示されるように2PIOを含んでおり、これはそれぞれのsysIOバッファにそしてパッドに接続されています。PIOブロックは出力データ(DO)とトライステート制御信号(TO)をsysIOバッファに提供し、バッファから入力を受け取ります。表2-11にPIO信号リストがまとめられています。

図2-25 PICダイアグラム

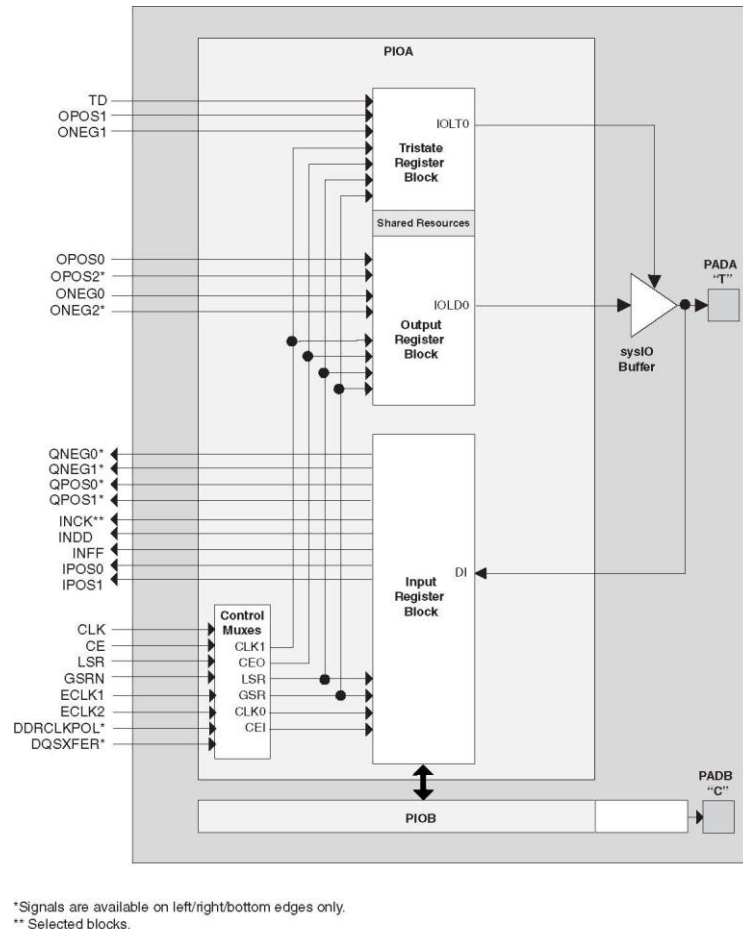


図2-25に示されるように差動I/Oペアを提供するために隣接している2 PIOを組み合わせることができます。パッドは2 PIOを区別するために “T” と “C” と表記されています。デバイスの左・右辺の約50%のPIOペアがLVDSドライバに構成できます。全I/Oペアが入力として動作できます。

表2-11 PIO信号リスト

名称	タイプ	記述
CE	コアからの制御	クロックイネーブル。入出力ブロックのFF用
CLK	コアからの制御	システムクロック。入出力ブロック用
ECLK1, ECLK2	コアからの制御	高速エッジクロック
LSR	コアからの制御	ローカル・セット/リセット
GSRN	配線からの制御	グローバル・セット/リセット ^t (Lowアクティブ).
INCK ²	コアへの入力	プライマリ・クロック・ネットへの入力、またはPLL基準入力
DQS	PIOへの入力	DQS信号。ロジック(配線)からPIOへ.
INDD	コアへの入力	レジスタされないデータ入力
INFF	コアへの入力	クロック(CLK0)の立ち上がりでレジスタされる入力
IPOS0, IPOS1	コアへの入力	DDRとしてレジスタされる入力
QPOS0 ¹ , QPOS1 ¹	コアへの入力	コアのギアボックス (速度変換) パイプライン入力
QNEG0 ¹ , QNEG1 ¹	コアへの入力	コアのギアボックス (速度変換) パイプライン入力
OPOS0, OPOS1, OPOS2, ONEG0, ONEG1, ONEG2	コアからのデータ出力	コアからのSDRとDDR動作用出力信号
OPOS1, ONEG1	コアからのトライステート制御	DDR動作用トライステート・レジスタブロックへの出力
DEL[3:0]	コアからの制御	ダイナミック遅延制御入力
TD	コアからのトライステート制御	SDR動作用.トライステート信号
DDRCLKPOL	クロック極性バスからの制御	DDR入力ブロックに与えられるクロック (CLK0)の極性を制御
DQSXFER	コアからの制御	出力ブロックへの制御信号

1, デバイスの左右下辺のバンクのみ。上辺バンクはなし。

2, 特定のI/Oのみ

PIO

PIOは4ブロックを含んでいます。入力レジスタブロック、出力レジスタブロック、トライステート・レジスタブロック、および制御論理ブロックです。これらのブロックは、必要なクロックと選択ロジックと共に、種々モードで動作するためのレジスタを含んでいます。

入力レジスタブロック

PIOの入力レジスタブロックは遅延素子とレジスタを含んでおり、DDRメモリインターフェイスやソースシンクロナスなどの高速インターフェイス信号がデバイスコアに渡される前に信号を整えるために用いることができます。図2-26は入力レジスタブロックのダイヤグラムです。

入力信号は(信号DIとして)sysIOバッファから入力レジスタブロックに加えられます。必要により、入力信号はレジスタと遅延素子をバイパスして、直接組み合わせ信号(INDD)、クロック (INCK)、或いは選択されたブロックのDQS遅延ブロックへの入力として用いることができます。入力遅延が必要な場合、設計者は固定遅延かダイナミック遅延DEL[3:0]を選択できます。遅延が選択されてグローバルクロックが用いられる場合、入力レジスタのホールド時間要件を緩和します。

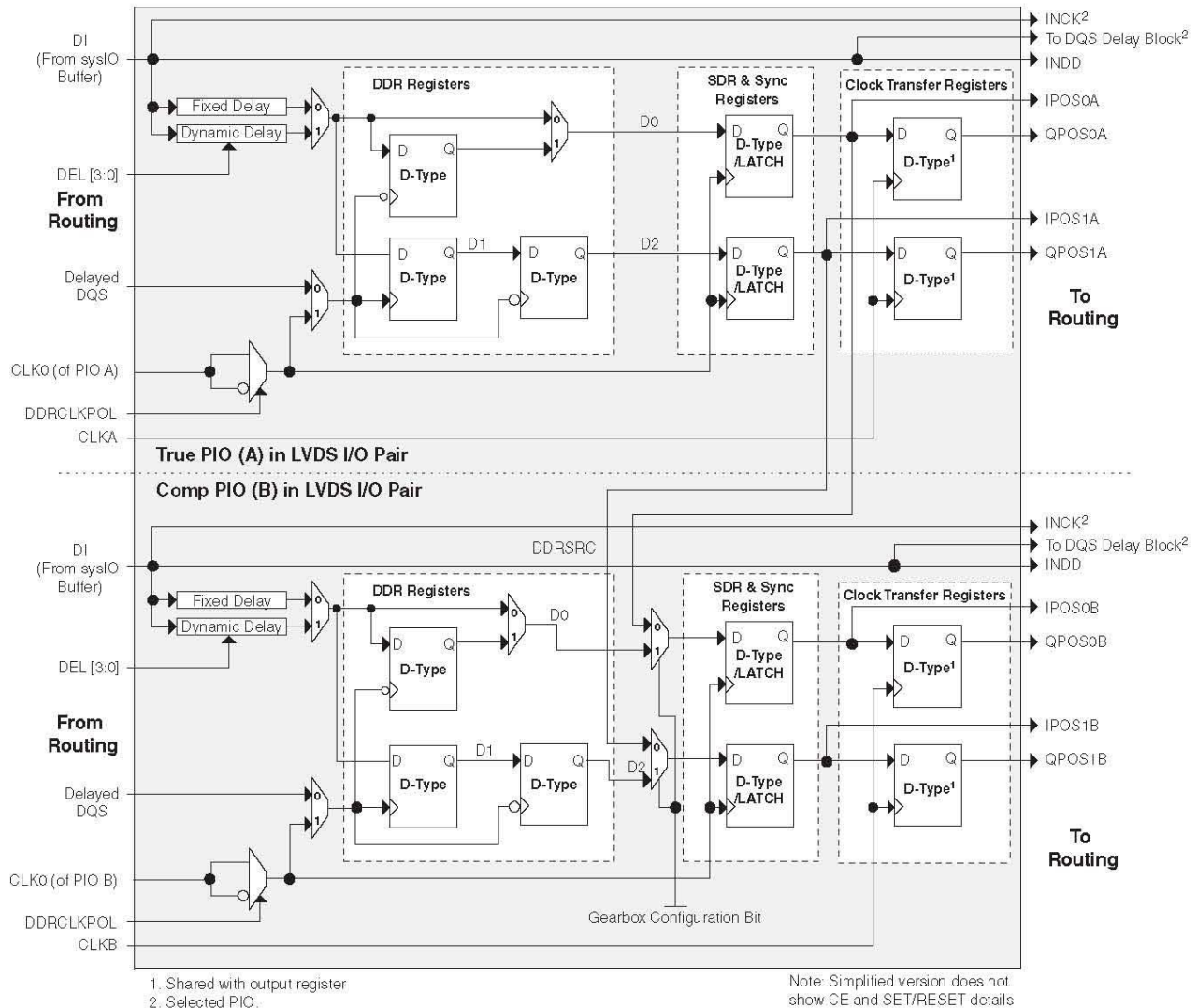
入力ブロックは3動作モードを許容します。シングル・データレート(SDR)では、データはSDR同期レジスタ・ブロック内のレジスタの1つによってシステムクロックでサンプルされます。DDRモードでは、2つのレジスタが用いられ、DQS信号の正と負のエッジでデータをサンプルして、2本のデータストリーム、D0およびD2を作ります。これらの2つのデータストリーム (D0とD2) はコアに入る前にシステムクロックと同期化されます。より詳細は本データシートの "DDRメモリサポート" 節を参照してください。

コンプリメンタリなPIOを結合し、出力ブロックからのレジスタをいくつか用いることでギアボックス (速度変換) 機能が実装できます。これは PIOA に加えられた信号を4本のストリーム、

IPOS0A/IPOS1A/IPOS0B/IPOS1B、に分割します。図2-26はこのギアボックス機能を示します。このトピックについてのより詳細に関しては、TN1138 (LatticeXP2 High Speed I/O Interface)を参照してください。

信号DDRCLKPOLが同機レジスタに使用されるクロックの極性を制御します。これにより、データがDAQドメインからシステムクロックドメインに転送されるときに適切なタイミングを確保します。より詳細の議論については本データシートのDDR章を参照下さい。

図2-26 入力レジスタブロック

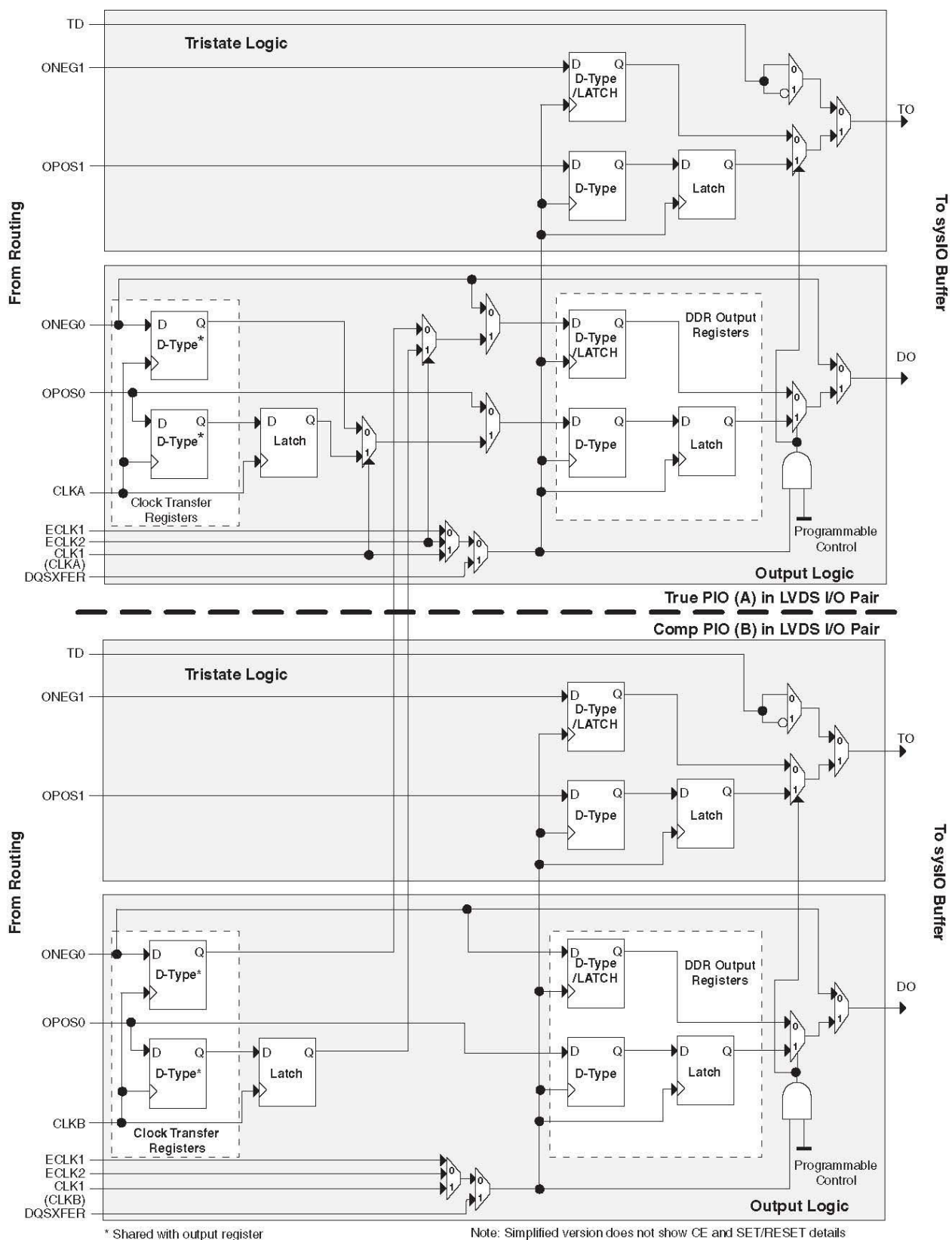


出力レジスタブロック

出力レジスタブロックでは、信号がデバイスのコアからsysIOバッファに渡される前にサンプルすることができます。本ブロックでデバイスの左右辺と下辺にあるPIOはSDR動作のためのレジスタを含んでおり、DDR動作のためのラッチと組み合わせられます。図2-27は出力レジスタブロックのダイアグラムを示します。

SDRモードでは、ONEG0はフリップフロップの1つに与えられ、それが出力につながります。フリップフロップは、D-FFかラッチとして構成できます。DDRモードでは、ONEG0とOPOS0がクロックの正のエッジでレジスタに与えられ、そして次のサイクルでOPOS0がラッチされます。同じクロックで動作するマルチプレクサが、出力(D0)に信号を与える正しいレジスタを選択します。

図2-27 出力トライステート・ブロック



コンプリメンタリなPIOを結合し、出力ブロックからのレジスタをいくつか用いることでギアボックス（速度変換）機能が実装できます。これは4本のストリーム、ONEG0A/ONEG1A/ONEG0B/ONEG1B、を取り込みます。図2-27はこの動作について示しています。より詳細に関しては、TN1138を参照してください

トライステート・レジスタブロック

トライステート・レジスタブロックでは、信号がデバイスのコアからsysIOバッファに渡される前にサンプルすることができます。このブロックはSDR動作のためのレジスタと、DDR動作のための追加ラッチを含んでいます。図2-27はトライステート・レジスタブロックのダイアグラムを出力ブロックと共に示します。

SDRモードでは、ONEG1がフリップフロップの1つに与えられ、それが出力につながります。フリップフロップは、D-FFかラッチとして構成できます。DDRモードでは、ONEG1とOPOS1がクロックの正のエッジでレジスタに与えられ、そして次のクロックでOPOS1がラッチされます。同じクロックで動作するマルチプレクサが、出力(D0)に信号を与える正しいレジスタを選択します。

制御ロジックブロック

制御ロジックブロックは、PIOブロック内で使用される制御信号の選択と変更を可能にします。クロックは、汎用の配線から提供されたクロック信号か、エッジクロックの一方（ECLK1/ECLK2）、或いはプログラムブルDQSピンから提供されたDQS信号の1つから選択されて入力レジスタブロックに与えます。クロックを反転するオプションがあります。

DDRメモリサポート

PICには高速のソースシンクロナスやDDRメモリインターフェイスの実装を可能にする回路が付加されています。

PICにはDDRメモリ・インターフェイスをサポートするためのレジスタ素子があります。左右辺のインターフェイスは16ビットデータをサポートするメモリ用に設計されており、これに対して上下辺では18ビットデータのメモリをサポートします。16本のPIO毎に1つ（左右辺）、或いは18本のPIO毎に1つ（上下辺）DQS信号の生成を容易にする遅延素子を含んでいます。DQS信号は16/18 PIOにまたがるDQSバスに与えられます。図2-28と図2-29は各組に配置されるDQSピンの対応を示します。

正確なDQSピン位置については、本データシートのPinout Information内で“Logic Signal Connection”表内に“Dual Function”として与えられています（注；オリジナルの英語版データシートを参照。日本語版にはありません）。バスからのDQS信号はメモリからのDDRデータを入力レジスタブロックに取り込むストローブとして用いられます。DDRメモリサポートを使用する場合の記述はTN1138を参照願います。

図2-28 左右辺I/OのDQS入力配線

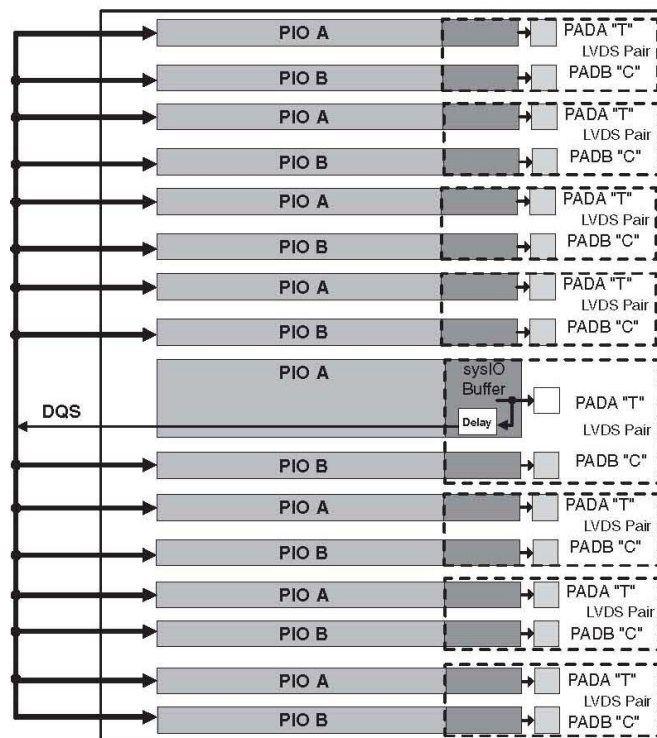
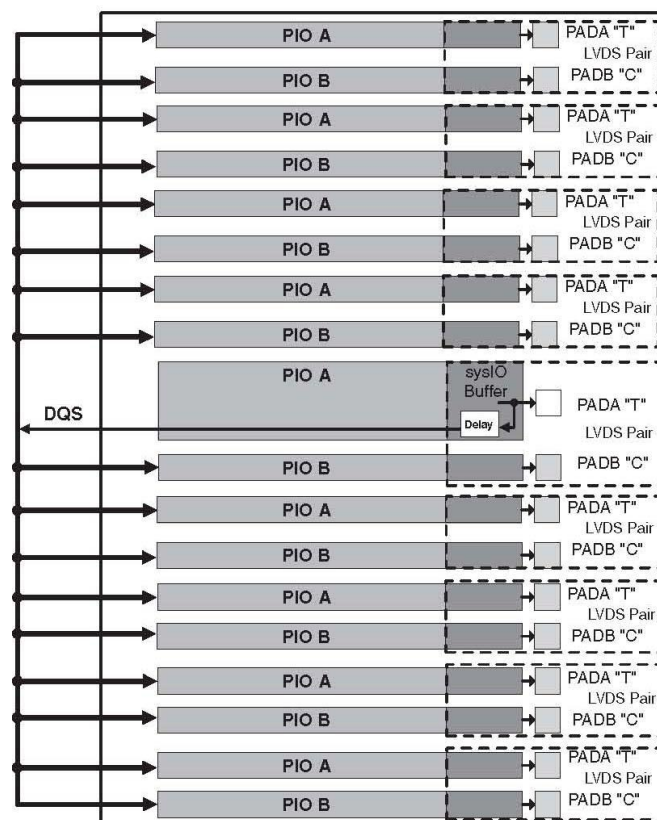


図2-29 上下辺I/OのDQS入力配線



DLLにより較正されるDQS遅延ブロック

一般に、ソースシンクロナス・インターフェイスは、入力レジスタで正しくデータをキャプチャするために入力クロックが調整されることを必要とします。殆どどのインターフェイスにおいてはPLLがこの調整に用いられますが、DDRメモリではクロック(DQSと呼ばれる)は、フリーランしていませんので、このアプローチを用いることができません。DQS遅延ブロックは必要なクロック・アライメントをDDRメモリ・インターフェイスに提供します。

DQS信号(特定のPIOのみ。図2-30参照)はパッドからDQS遅延素子を介して専用のDQS配線リソースに加えられます。DQS信号はまた、クロック極性制御ロジックにも与えられ、これは入力レジスタ・ブロック内の同期化レジスタへのクロックの極性を制御します。図2-30と図2-31はDQS転送信号がPIOにどのように配線されるかを示します。

DQS遅延ブロックの温度、電圧、およびプロセス変動は、互いにデバイスの反対側に位置する2個の専用DLL (DDR_DLL) から与えられる1組の較正信号(6ビットのバス)によって補償されます。各DLLは図2-30に示されるようにデバイスの半分でDQS遅延を補償します。DLLは、システムクロックとフィードバック・ループによって温度、電圧、およびプロセス変動が補償されます。

図2-30 エッジクロック、DLL較正(calibration)バスとDQSローカルバスによる分配

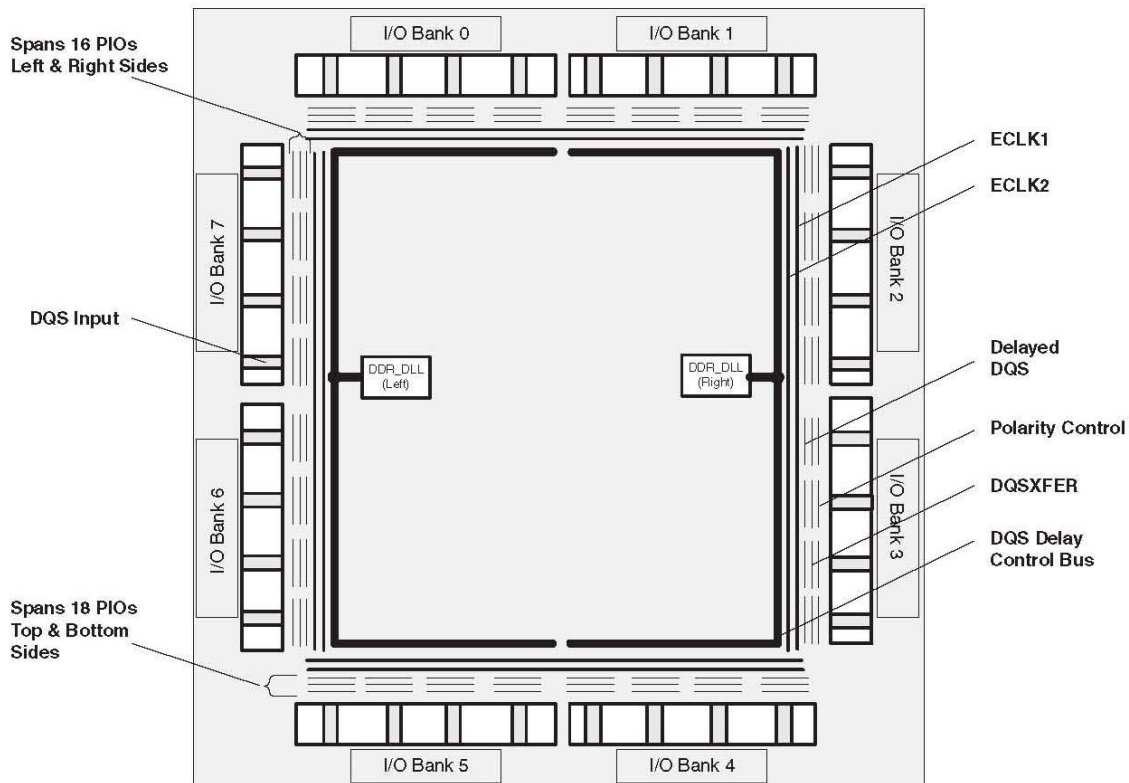
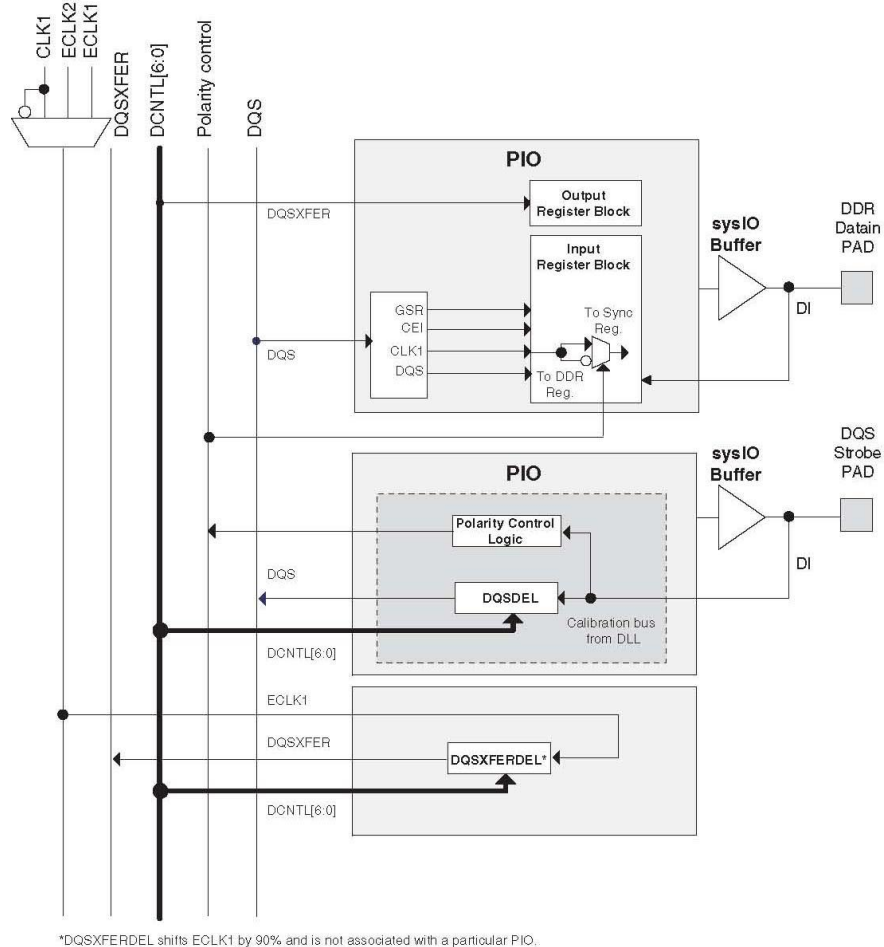


図2-31 DQS ローカル・バス



極性制御ロジック

典型的なDDRメモリ・インターフェイスの設計では、入力される遅れたDQSストロブと内部のシステムクロック(リードサイクルの間)との位相関係は未知です。LatticeXP2ファミリはこれらドメイン間のデータ転送のための専用回路を含んでいます。ドメイン転送のときにシステムクロックに対するセットアップ/ホールド時間違反を防ぐため、クロック極性セクタが使用されます。これはデータが入力レジスタブロック内の同期レジスタでサンプルされるエッジを変えますが、正しいクロック極性のためにはそれぞれのリードサイクルの始めでのタイミング評価を必要とします。

DDRメモリの読み出し動作の前に、DQSは(終端抵抗が接続された)トライステート状態にあります。DDRメモリデバイスはプリアンプル・ステートの始めでDQSをLowにドライブします。専用回路がプリアンプル・ステートのあとの最初のDQS遷移を検出し、検出信号は同期レジスタへのクロック極性制御に用いられます。

DQSXFER

LatticeXP2は、90°シフトされたDQSストロブが必要なDDRメモリのため、出力バッファにDQSXFER信号を提供します。これはDQSDELブロックで生成され、DQSスパンのデータバスで使用できます。

sysIOバッファ

それぞれのI/OはsysIOバッファと呼ばれるフレキシブルなバッファです。これらのバッファは、デバイスの周囲にバンクと呼ばれるグループで配置されています。sysIOバッファは、ユーザはLVCMOS、SSTL、HSTL、LVDS、およびLVPECLを含む、今日のシステムで見られる広範な規格の実装を可能にします。

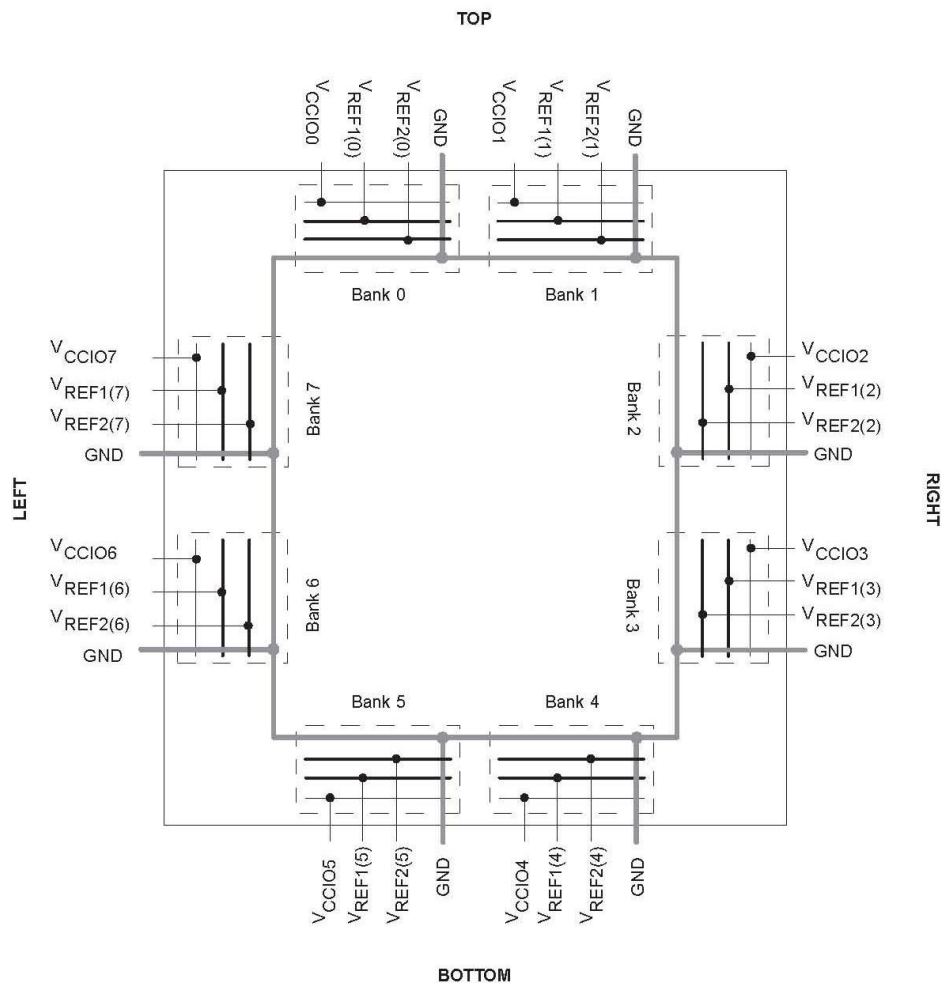
sysIOバッファバンク

LatticeXP2デバイスには、8つのsysIOバッファバンクがあり、各辺に2バンクあります。それぞれのバンクが複数のI/O規格をサポートすることができます。各sysIOバンクにはそれ自身のI/O電源電圧(V_{CCIO})があり、加えて2本の参照電圧 V_{REF1} 、 V_{REF2} のリソースがあることで、それぞれのバンクを互いに完全に独立させることができます。図2-32は8つのバンクとそれらに関連する電源電圧を示します。

LatticeXP2デバイスでは、シングルエンド出力バッファとレシオ入力バッファ(LVTTL、LVCMOS、およびPCI)は、 V_{CCIO} を用いて電源が与えられます。また、 V_{CCIO} の如何にかかわらず、LVTTL、LVCMOS33、LVCMOS25、およびLVCMOS12入力には固定スレッシュホールドを設定することができます。

各バンクは、基準電圧を参照する入力バッファにスレッシュホールドを設定する V_{REF} 電圧を2つ (V_{REF1} と V_{REF2}) 別々にサポートすることができます。LatticeXP2デバイスでは、いくつかの決まったI/Oピンをバンクにおける参照電圧ピンになるように構成することができます。それぞれのI/Oはバンクへの電源電圧と参照電圧に基づいて個別に構成可能です。

図2-32 LatticeXP2のバンク



LatticeXP2デバイスは2つのタイプのsysIOバッファペアを含んでいます。

1. 上下辺 (バンク0/1/4/5) のsysIOバッファペア(シングルエンド出力のみ)

デバイスの上下辺バンクにおけるsysIOバッファペアは、2シングルエンド出力ドライバと2組のシングルエンド入力バッファ(レシオ型と参照電圧使用型共に)から成ります。参照電圧ありの入力バッファは差動入力として構成することもできます。

ペアとなる2個のパッドは "True" と "Comp" として記述されます。Trueパッドが差動入力バッファの正側 (信号) を表し、Comp(コンプリメンタリ)パッドが差動入力バッファの反転側 (信号) を表します。上下辺バンクのI/OはプログラマブルPCIクランプがあります。

2. 左右辺 (バンク2/3/6/7) のsysIOバッファペア(50%が差動出力、及び100%のシングルエンド出力)

デバイスの左右辺バンクにおけるsysIOバッファペアは、2シングルエンド出力ドライバと2組のシングルエンド入力バッファ(レシオ型と参照電圧使用型共に)、および差動出力ドライバ1つから成ります。参照電圧ありの入力バッファの一方は差動入力として構成することもできます。

ペアとなる2個のパッドは "True" と "Comp" として記述されます。Trueパッドが差動I/Oの正側(信号)を表し、Comp(コンプリメンタリ)パッドが差動のI/Oの反転側(信号)を表します。

左右辺バンクの50%にのみ、真のLVDSの差動出力ドライバがあります。

典型的な電源投入時のI/Oの振る舞い

内部パワーオンリセット (POR) 信号は、 V_{CC} と V_{CCAUX} が所定のレベルに達すると解除されます。その後FPGAコアロジックが動作を開始します。アプリケーションにとって非常に重要な全I/Oバンクの出力ポートのレベルを適切に制御するために、入力ポートのレベルが有効であることを確実にすることは、設計者の責任で行う必要があります。パワーアップ時の出力ロジック制御と有効入力レベルの詳細については、テクニカルノートTN1136 (LatticeXP2 sysIO Usage Guide) を参照してください。

V_{CC} と V_{CCAUX} はFPGAコアファブリックに、また V_{CCIO} はI/Oバッファに電源を供給します。常に一貫して予測できるI/Oの振舞いを確保しつつも、システム設計を簡易化するためには、FPGAコアファブリックよりも先にI/Oバッファに電源が供給されることを推奨します。即ち、 V_{CCIO} を V_{CC} や V_{CCAUX} よりも早く供給するか、或いは同時に供給するべきです。

サポートするsysIO規格

LatticeXP2 sysIOバッファは、シングルエンドと差動の規格を共にサポートします。シングルエンド規格はさらにLVCMOS、LVTTTL、および他の規格に細分することができます。バッファはLVTTTL、LVCMOS1.2V/1.5V/1.8V/2.5V/3.3V規格をサポートします。LVCMOSとLVTTTLモードでは、バッファはドライブ強度、バスマテナンス(弱いプルアップ、弱いプルダウン、またはバスキーパ・ラッチ)、およびオープンドレインとして個別に構成可能なオプションがあります。サポートする他のシングルエンド規格にはSSTLとHSTLを含みます。サポートされる差動の規格にはLVDS、MLVDS、BLVDS、LVPECL、RSDS、差動SSTL、および差動HSTLが含まれます。表2-12と表2-13は、LatticeXP2デバイスでサポートされるI/O規格を、それらの電源電圧と参照電圧と共に示します。sysIOバッファを利用する種々規格のサポートの詳細については、テクニカルノートTN1136を参照してください。

表2-12 サポートする入力規格

入力規格	V _{REF} (公称値)	V _{CCIO} ¹ (公称値)
シングルエンド・インターフェイス		
LVTTL	—	—
LVC MOS33	—	—
LVC MOS25	—	—
LVC MOS18	—	1.8
LVC MOS15	—	1.5
LVC MOS12	—	—
PCI33	—	—
HSTL18 クラス I, II	0.9	—
HSTL15 クラス I	0.75	—
SSTL33 クラス I, II	1.5	—
SSTL25 クラス I, II	1.25	—
SSTL18 クラス I, II	0.9	—
差動インターフェイス		
差動 SSTL18 クラス I, II	—	—
差動 SSTL25 クラス I, II	—	—
差動 SSTL33 クラス I, II	—	—
差動 HSTL15 クラス I	—	—
差動 HSTL18 クラス I, II	—	—
LVDS, MLVDS, LVPECL, BLVDS, RSDS	—	—

1. 特に明記しない場合 V_{CCIO} は有効な動作範囲内のどの値にも設定可能 (ページ3-1)

表2-13 サポートする出力規格

出力規格	ドライブ	V _{CCIO} (公称値)
シングルエンド・インターフェイス		
LVTTTL	4mA, 8mA, 12mA, 16mA, 20mA	3.3
LVC MOS33	4mA, 8mA, 12mA 16mA, 20mA	3.3
LVC MOS25	4mA, 8mA, 12mA, 16mA, 20mA	2.5
LVC MOS18	4mA, 8mA, 12mA, 16mA	1.8
LVC MOS15	4mA, 8mA	1.5
LVC MOS12	2mA, 6mA	1.2
LVC MOS33, オープンドレイン	4mA, 8mA, 12mA 16mA, 20mA	—
LVC MOS25, オープンドレイン	4mA, 8mA, 12mA 16mA, 20mA	—
LVC MOS18, オープンドレイン	4mA, 8mA, 12mA 16mA	—
LVC MOS15, オープンドレイン	4mA, 8mA	—
LVC MOS12, オープンドレイン	2mA, 6mA	—
PCI33	N/A	3.3
HSTL18 クラス I, II	N/A	1.8
HSTL15 クラス I	N/A	1.5
SSTL33 クラス I, II	N/A	3.3
SSTL25 クラス I, II	N/A	2.5
SSTL18 クラス I, II	N/A	1.8
差動インターフェイス		
差動 SSTL33, クラス I, II	N/A	3.3
差動 SSTL25, クラス I, II	N/A	2.5
差動 SSTL18, クラス I, II	N/A	1.8
差動 HSTL18, クラス I, II	N/A	1.8
差動 HSTL15, クラス I	N/A	1.5
LVDS ^{1 2}	N/A	2.5
MLVDS ¹	N/A	2.5
BLVDS ¹	N/A	2.5
LVPECL ¹	N/A	3.3
RSDS ¹	N/A	2.5
LVC MOS33D ¹	4mA, 8mA, 12mA 16mA, 20mA	3.3

1. 外部抵抗でエミュレート。TN1138を参照して下さい。

2. 左右辺では50%のI/Oで専用差動LVDSドライバがサポートされます。これは外部抵抗が不要です。

ホット・ソケットティング(活線挿抜)

パワーアップやパワーダウンの間、確実に予測できる振舞いをするようにLatticeXP2デバイスは入念に設計されました。電源投入は順不同にすることができます。パワーアップとパワーダウン・シーケンスの間、電源電圧が信頼できる動作を確実にすることができるくらい高くなるまで、I/Oはトライステートのままです。さらに、I/Oピンへのリークは仕様範囲内に制御されますので、これによりシステムの他部分とのインテグレーションが容易にできます。この機能でLatticeXP2を多くの複数電源やホットスワップのアプリケーションに理想的です。

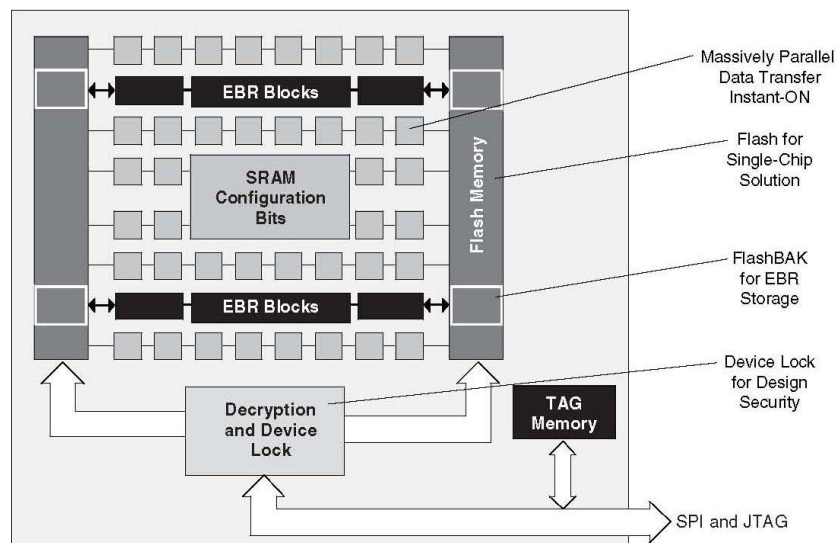
IEEEの1149.1準拠のバウンダリスキャン・テストビリティ

すべてのLatticeXP2デバイスには、IEEE1149.1準拠のテストアクセス・ポート(TAP)を通してアクセスされるバウンダリスキャン・セルがあります。これは、すべての重要なロジックノードにアクセスすることができるシリアル・スキャンパスを通して、デバイスが搭載される回路基板の機能的なテストを可能にします。内部レジスタはリンクされており、テストデータがシフトインされて直接テストノードにロードされるか、または検証のためにテストデータをキャプチャしてシフトアウトすることができます。テストアクセス・ポートはTDI、TDO、TCK、およびTMSの専用I/Oから成ります。テストアクセス・ポートは、それ自身の電源電圧V_{CCJ}を持っていて、LVCMOS3.3/2.5/1.8/1.5/1.2の規格で動作することができます。詳細はテクニカルノートTN1141 (LatticeXP2 sysCONFIG Usage Guide) を参照してください。

flexiFLASHデバイス・コンフィグレーション

LatticeXP2デバイスは、デバイスのプログラミングとコンフィグレーションにおける柔軟性をユーザに提供するために、フラッシュメモリとSRAMを共に集積しています。図2-33はデバイス内でのフラッシュメモリとSRAMコンフィグレーション・セルのアレンジメントの概観を示します。このセクションの残りはこれらの機能の概要を記述します。より詳細な記述に関してはTN1141(LatticeXP2 sysCONFIG Usage Guide)を参照してください。

図2-33 LatticeXP2デバイスのフラッシュメモリとSRAM コンフィグレーション・セルの概要



パワーアップ時や、ユーザコマンドで、オンチップ・フラッシュメモリからデバイスの動作を制御するSRAMコンフィグレーション・セルにデータが転送されます。膨大な幅の平行バスによって、供給電源が有効レベルに達してから数ミリ秒以内に動作することを可能にします。この機能はインスタントオンと呼ばれています。

オンチップ・フラッシュは外付けブートメモリの必要性を排除するシングルチップ・ソリューションを可能にします。デバイスのJTAGかスレーブSPIポートを通してこのフラッシュをプログラムすることができます。また、JTAGとマスターSPIポートを通してSRAMコンフィグレーション・スペースを何度でも再コンフィグレーションすることができます。JTAGポートはIEEE1149.1とIEEE1532に準拠します。

データシートのEBRセクションで説明されるように、FlashBAK機能はデバイス・コンフィグレーションを消去するとかプログラミングを変えることなく、EBRブロックの内容をフラッシュ格納領域に書き出すことを可能にします。またシリアルTAGメモリも、較正係数やエラーコードなど少量のデータを格納するために使用できます。

セキュリティが重要であるアプリケーションにとっては、デバイス外部にビットストリームが露出しないので、SRAMのみのFPGAより本質的に安全です。これはデバイスをロックすることによって、より機能アップされます。デバイスは3つのモードのいずれかにあります。

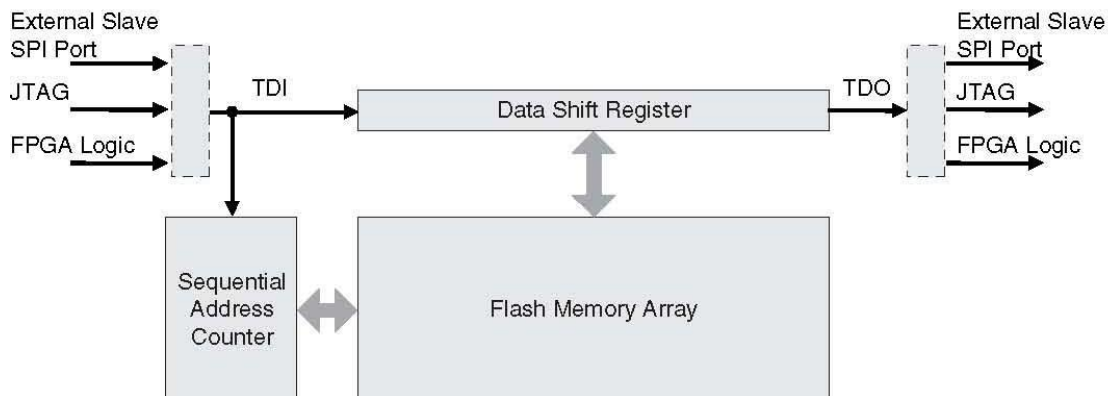
1. アンロック状態
2. キーロックされた状態；プログラミング・インターフェイスを通してキーを提示することが、デバイスのアンロックを可能にします。
3. 永久にロックされた状態；デバイスは永久にロックされます。

さらにデバイスセキュリティの補足となるように、ワンタイム・プログラマブル(OTP)モードが利用できます。デバイスがこのモードに一度設定されると、デバイスのフラッシュ部分の消去や再プログラムは不可能です。

Serial TAGメモリ

LatticeXP2デバイスはSerial TAGメモリとして0.6kbitから3.3kbitのフラッシュメモリを提供します。TAGメモリは電子IDコード、バージョンコード、日付スタンプ、資産ID、および較正設定などを含む不揮発格納領域として用いることができるオンチップ・フラッシュです。TAGメモリのブロック図は図2-34で示されます。TAGメモリは外部SPIフラッシュと同様にアクセスされ、JTAG、外部スレーブSPIポート、または直接FPGAロジックから読み出しやプログラムが可能です。TAGメモリを読むためには、スタートアドレスを指定することで、全TAGメモリの内容がファーストイン・ファーストアウト方法でシリアルに出力されます。TAGメモリはデバイス・コンフィグレーションに用いられるフラッシュから独立していて、デバイスのセキュリティ設定にかかわらず、汎用格納機能の用途としていつでもアクセスできます。より詳細に関してはTN1137 (LatticeXP2 Memory Usage Guide)、およびTN1141 (LatticeXP2 sysCONFIG Usage Guide)を参照してください。

図2-34 シリアル・タグメモリブロック図



ライブアップデート・テクノロジー

多くのアプリケーションがFPGAのフィールド・アップデートを必要とします。LatticeXP2デバイスは、システム稼働への影響を最小にしながら、安全かつフェールセーフを確保した方法で、そのコンフィグレーションを可能にする3つの機能を提供します

1. 暗号化の対応

LatticeXP2デバイスは、128ビットでAESコード化されたビットストリームを復号化するキーの格納用にオンチップ不揮発メモリを提供するため、デザインを安全にし、著作権侵害を思いとどまらせます。

2. TransFR (Transparent Field Reconfiguration ; トランスペアレントなフィールド再構成)

TransFR I/O(TFR)はユニークなラティス・テクノロジーで、ユーザがただ一つのispVMコマンドを用いることで、システムの稼働を中断することなくフィールドでそのロジックを更新するものです。TransFR I/Oでは、デバイス・コンフィグレーションの間、I/Oステートをフリーズすることができます。これは、最小のシステム中断・休止時間でデバイスをフィールドで更新することを可能にします。より詳細に関してはTN1143(LatticeXP2 TransFR I/O)を参照してください

3. デュアルブート・イメージの対応

デュアルブート・イメージは、システムFPGAのコンフィギュレーション・データをより信頼できるリモート・アップデートを必要とするアプリケーションのためにサポートされます。システムが基本コンフィグレーションで動作している時に、新しいブートイメージをリモート・ダウンロードして、コンフィグレーション記憶デバイスの別の領域に格納することができます。アップデートの後にいつでも、この新しいコンフィグレーション・ファイルからLatticeXP2をリブートすることができます。新しいブートイメージが、ダウンロード時にエラーが混入したデータとなったり、誤ったバージョン番号であるなどの問題があれば、LatticeXP2デバイスはオリジナルのバックアップ・コンフィグレーションに戻って、再試行することができます。これはシステムの電源をオフして続いてオンすること(サイクリング)なく可能です。より詳細に関してはTN1220 (LatticeXP2 Dual Boot Feature)を参照してください。

デバイス・コンフィグレーションの詳しい情報に関しては、TN1141を参照してください。

ソフトエラー検出 (SED) サポート

LatticeXP2デバイスにはCRCチェックを実行する専用ロジックがあります。コンフィグレーション中、CRCブロックでコンフィギュレーション・データ・ビットストリームをチェックすることができます。さらにコンフィグレーションSRAMのソフトエラーをチェックする (SED) ようにLatticeXP2デバイスを設定することができます。このSED機能はユーザ回路が非動作中に実行できます。ユーザモード (通常動作) の間ソフトエラーが起こった場合、既知の問題ないブートイメージを (内部フラッシュか外部SPIメモリから) 再ロードするか、または外部にエラー信号を通知することができます。

ソフトエラー検出(SED)サポートの詳しい情報に関しては、テクニカルノートTN1130 (LatticeXP2 Soft Error Detection Usage Guide) を参照してください。

オンチップ・オシレータ

全LatticeXP2デバイスが、コンフィグレーション用のマスタクロックCCLKを得るために用いられる内部CMOSオシレータを持っています。オシレータとCCLKは連続して動作し、コンフィグレーションが終了後ユーザロジックで使用できます。表2-14は利用できる周波数を記載します。デザインの過程で異なるCCLK周波数が選択されるとき、以下のシーケンスが行われます。

1. デバイスはデフォルト(2.5MHz)CCLK周波数で立ち上がります
2. コンフィグレーション時、ユーザは異なるマスタシリアル・クロック周波数を選択します

3. クロックのコンフィグレーション用ビットが入力されるとCCLK周波数が選択された周波数に変化します

内部CMOSオシレータはユーザが使用でき、クロックツリーへの入力ソースとして使用できます。コンフィグレーション用オシレータの詳しい情報に関しては、テクニカルノートTN1141を参照してください。

表2-14 選択可能なコンフィグレーション時のCCLKとユーザモードでのオシレータ周波数

CCLK・オシレータ (MHz)
2.5 ¹
3.1 ²
4.3
5.4
6.9
8.1
9.2
10
13
15
20
26
32
40
54
80 ³
163 ³

1. ソフトウェアがデフォルトにするオシレータ周波数
2. ソフトウェアがデフォルトにするCCLK周波数
3. CCLKには設定できない周波数

ロジック集積度の移行（マイグレーション）

異なるロジック集積度のデバイスでも同じパッケージで同一ピン配置であることを保証するようにLatticeXP2ファミリは設計されています。さらにアーキテクチャは、小さいロジック集積度のデバイスからより大きいロジック集積度のデバイスに設計のマイグレーションを行うときに、高い成功率を確実にします。また多くの場合、高密度デバイスの低い使用効率の設計を、小さいロジック集積度のデバイスにターゲットを移行させることも可能です。しかしながら、最終的なリソース使用効率の正確な詳細は、それぞれのケースで成功の確からしさに影響を与えるでしょう。

LatticeXP2ファミリデータシート

DCおよびスイッチング特性

絶対最大定格^{1 2 3}

供給電源 V_{CC}	-0.5 ~ 1.32V
供給電源 V_{CCAUX}	-0.5 ~ 3.75V
供給電源 V_{CCJ}	-0.5 ~ 3.75V
供給電源 V_{CCPLL} ⁴	-0.5 ~ 3.75V
出力供給電源 V_{CCIO}	-0.5 ~ 3.75V
入力又はトライステートI/Oに加えられる電圧 ⁵ ...	-0.5 ~ 3.75V
保存温度(周囲)	-65 ~ 150°C
バイアス下ジャンクション温度(T_j).....	125°C

1. “絶対最大定格”で記載された以上のストレスはデバイスに永久的な損傷を引き起こすかもしれません。これら条件下で、或いはこれら仕様項目の推奨動作条件セクションで示される以外のいかなる他の条件下でも、デバイスの機能的な動作を暗示するものではありません。
2. ラティス “Thermal Management” (熱管理) ドキュメントに従う必要があります。
3. 全ての電圧はGND基準です。
4. V_{CCPLL} があるのはcsBGA, PQFP, TQFP各パッケージのみ。
5. -2V ~ ($V_{IHMAX} + 2$)Vまでのオーバシュートとアンダシュートは<20nsの期間は許容されます。

推奨動作条件

シンボル	パラメータ	Min.	Max.	単位
V_{CC}	コア電源電圧	1.14	1.26	V
V_{CCAUX} ⁴	補助(Auxiliary)電源電圧	3.135	3.465	V
V_{CCPLL} ¹	PLL電源電圧	3.135	3.465	V
V_{CCIO} ^{2, 3, 4}	I/Oドライバ電源電圧	1.14	3.465	V
V_{CCJ} ²	IEEE1149.1テスト・アクセス・ポート電源電圧	1.14	3.465	V
t_{JCOM}	ジャンクション温度、コマーシャル動作	0	+85	°C
t_{JIND}	ジャンクション温度、インダストリアル動作	-40	100	°C

1. V_{CCPLL} があるのはcsBGA, PQFP, TQFP各パッケージのみ
2. V_{CCIO} や V_{CCJ} が1.2Vに設定される場合、それらは V_{CC} と同じ電源に接続のこと。また V_{CCIO} や V_{CCJ} が3.3Vに設定される場合、それらは V_{CCAUX} と同じ電源に接続のこと。
3. 後述の表で示すI/O規格毎の推奨電圧を参照のこと。
4. 予期せぬI/Oの振る舞いを避けるために V_{CCIO} は V_{CCAUX} と同時に先にオフすること。
5. fpBGAおよびftBGAパッケージでは、PLLは V_{CCAUX} に接続され、その電源としています。

オンチップ・フラッシュメモリ仕様

シンボル	パラメータ	Max	単位
N_{PROG}	$t_{RETENTION}$ フラッシュメモリのプログラミング・サイクル ¹	10,000	サイクル
	フラッシュメモリ機能のプログラミング・サイクル	100,000	

1. 最小データリテンション $t_{RETENTION}$ は20年です。

ホット・ソケットティング（活線挿抜）仕様^{1 2 3 4}

シンボル	パラメータ	条件	Min.	Typ.	Max	単位
I_{DK}	入力、I/Oのリーク電流	$0 \leq V_{IN} \leq V_{IH} (MAX)$	–	–	+/-1	mA

1. V_{CC} 、 V_{CCAUX} 及び V_{CCIO} のシーケンスは順不同。ただし、いずれも単調増加・降下レートであることを仮定
2. $0 \leq V_{CC} \leq V_{CC} (MAX)$ 、 $0 \leq V_{CCIO} \leq V_{CCIO} (MAX)$ 、または $0 \leq V_{CCAUX} \leq V_{CCAUX} (MAX)$
3. I_{DK} は I_{PU} 、 I_{PW} 、または I_{BH} に加算される
4. LVCMOSとLVTTLのみ

ESD性能

ESD性能を含む信頼性データに関しては、別途提供されているサマリレポート [LatticeXP2 Product Family Qualification Summary](#) をご参照ください。

DC電气的特性

推奨動作条件にわたって

シンボル	パラメータ	条件	Min.	Typ.	Max.	単位
I_{IL} , I_{IH} ¹	入力、又はI/Oのリーク電流	$0 \leq V_{IN} \leq V_{CCIO}$	–	–	10	uA
		$V_{CCIO} \leq V_{IN} \leq V_{IH} (MAX)$	–	–	150	uA
I_{PU}	I/Oアクティブ・プルアップ電流	$0 \leq V_{IN} \leq 0.7 V_{CCIO}$	-30	–	-150	uA
I_{PD}	I/Oアクティブ・プルダウン電流	$V_{IL} (MAX) \leq V_{IN} \leq V_{CCIO}$	30	–	210	uA
I_{BHLS}	バスホールドLow維持電流	$V_{IN} = V_{IL} (MAX)$	30	–	–	uA
I_{BHHS}	バスホールドHigh維持電流	$V_{IN} = 0.7 V_{CCIO}$	-30	–	–	uA
I_{BHLO}	バスホールドLowオーバードライブ電流	$0 \leq V_{IN} \leq V_{CCIO}$	–	–	210	uA
I_{BHHO}	バスホールドHighオーバードライブ電流	$0 \leq V_{IN} \leq V_{CCIO}$	–	–	-150	uA
V_{BHT}	バスホールド・トリップ・ポイント		$V_{IL} (MAX)$	–	$V_{IH} (MIN)$	V
C1	I/O容量 ³	$V_{CCIO} = 3.3V, 2.5V, 1.8V, 1.5V, 1.2V,$ $V_{CC} = 1.2V, V_{IO} = 0 \text{ to } V_{IH} (MAX)$	–	8	–	pf
C2	専用入力の容量 ²	$V_{CCIO} = 3.3V, 2.5V, 1.8V, 1.5V, 1.2V,$ $V_{CC} = 1.2V, V_{IO} = 0 \text{ to } V_{IH} (MAX)$	–	6	–	pf

1. 入力やI/Oのリーク電流は、出力ドライバをトライステートにし、ピンは入力として、またはI/Oとして構成して測定される。出力ドライバがアクティブな状態では測定されない。バスメンテナンス回路はディセーブルされる。

2. $T_A 25^\circ C$ 、 $f = 1.0MHz$

供給電流(スタンバイ時)^{1 2 3 4}

推奨動作条件にわたって

シンボル	パラメータ	デバイス	Typ. ⁵	単位
I_{CC}	コア電源電流	XP2-5	14	mA
		XP2-8	18	mA
		XP2-17	24	mA
		XP2-30	35	mA
		XP2-40	45	mA
I_{CCAUX}	補助(Auxiliary)電源電流	XP2-5	15	mA
		XP2-8	15	mA
		XP2-17	15	mA
		XP2-30	16	mA
		XP2-40	16	mA
I_{CCPLL}	PLL電源電流 (PLLあたり)		0.1	mA
I_{CCIO}	バンクあたり電源電流		2	mA
I_{CCJ}	V_{CCJ} 電源電流		0.25	mA

1. 供給電流についてのさらなる情報については、TN1139 (Power Estimation and Management for LatticeXP2 Devices)を参照のこと。

2. 全出力はトライステート、全入力はLVCMOSに構成されて V_{CCIO} またはGNDに固定されていると仮定。

3. 周波数 0MHz.

4. パターンはブランク。

5. $T_j=25^{\circ}\text{C}$ 、電源電圧は標準値

6. fpBGA, ftBGAパッケージではPLLには V_{CCAUX} から電源を供給。従ってこれらパッケージでは I_{CCAUX} 値は I_{CCAUX} と I_{CCPLL} との和。csBGA, PQFP, TQFPパッケージではPLLは V_{CCAUX} から独立して電源を供給。

初期化供給電流 ^{1 2 3 4 5}

推奨動作条件にわたって

シンボル	パラメータ	条件	Typ. (25°C, Max. Supply) ⁶	単位
I _{CC}	コア電源電流	XP2-5	20	mA
		XP2-8	21	mA
		XP2-17	44	mA
		XP2-30	58	mA
		XP2-40	62	mA
I _{CCAUX}	補助(Auxiliary)電源電流	XP2-5	67	mA
		XP2-8	74	mA
		XP2-17	112	mA
		XP2-30	124	mA
		XP2-40	130	mA
I _{CCPLL}	PLL電源電流 (PLLあたり)		1.8	mA
I _{CCIO}	バンクあたり電源電流		6.4	mA
I _{CCJ}	V _{CCJ} 電源電流		1.2	mA

1. 供給電流についてのさらなる情報については、TN1139 (Power Estimation and Management for LatticeXP2 Devices) を参照のこと。
2. 全出力はトライステート、全入力はLVCMOSに構成されてV_{CCIO}またはGNDに固定されていると仮定。
3. 周波数 0MHz。
4. 各供給電源のバイパス/デカップリング・コンデンサの充電電流は含まない。
5. デバイスサイズに基づいて特定のパターンを採用。PFUを75%、EBRを50%、I/Oを25%使用。
6. T_j=25°C、電源電圧は標準値。
7. fpBGA, ftBGAパッケージではPLLにはV_{CCAUX} から電源を供給。従ってこれらパッケージではI_{CCAUX}値はI_{CCAUX}とI_{CCPLL}との和。csBGA, PQFP, TQFPパッケージではPLLはV_{CCAUX} から独立して電源を供給。

フラッシュメモリ、プログラミング / 消去時電流^{1 2 3 4 5}

推奨動作条件にわたって

シンボル	パラメータ	条件	Typ. (25°C, Max. Supply) ⁶	単位
I_{CC}	コア電源電流	XP2-5	17	mA
		XP2-8	21	mA
		XP2-17	28	mA
		XP2-30	36	mA
		XP2-40	50	mA
I_{CCAUX}	補助(Auxiliary)電源電流 ⁷	XP2-5	64	mA
		XP2-8	66	mA
		XP2-17	83	mA
		XP2-30	87	mA
		XP2-40	88	mA
I_{CCPLL}	PLL電源電流 (PLLあたり)		0.1	mA
I_{CCIO}	バンクあたり電源電流		5	mA
I_{CCJ}	V_{CCJ} 電源電流 ⁸		14	mA

1. 供給電流についてのさらなる情報については、TN1139 (Power Estimation and Management for LatticeXP2 Devices) を参照のこと。
2. 全出力はトライステート、全入力はLVCMOSに構成されて V_{CCIO} またはGNDに固定されていると仮定。
3. 周波数 0MHz (FPGA動作のためのダイナミック電流を除く)。
4. デバイスサイズに基づいて特定のパターンを採用。PFUを75%、EBRを50%、I/Oを25%使用。
5. 各供給電源のバイパス/デカップリング・コンデンサの充電電流は含まない。
6. $T_j=25^\circ\text{C}$ 、電源電圧は標準値。
7. fpBGA, ftBGAパッケージではPLLには V_{CCAUX} から電源を供給。従ってこれらパッケージでは I_{CCAUX} 値は I_{CCAUX} と I_{CCPLL} との和。csBGA, PQFP, TQFPパッケージではPLLは V_{CCAUX} から独立して電源を供給。
8. JTAGからのプログラミング時。

sysIO推奨動作条件

推奨動作条件にわたって

規 格	V _{CCIO}			V _{REF} (V)		
	Min.	Typ.	Max.	Min.	Typ.	Max.
LVC MOS33 ²	3.135	3.3	3.465	–	–	–
LVC MOS25 ²	2.375	2.5	2.625	–	–	–
LVC MOS18	1.71	1.8	1.89	–	–	–
LVC MOS15	1.425	1.5	1.575	–	–	–
LVC MOS12 ²	1.14	1.2	1.26	–	–	–
LVTTL33 ²	3.135	3.3	3.465	–	–	–
PCI33	3.135	3.3	3.465	–	–	–
SSTL18_I ² , SSTL18_II ²	1.71	1.8	1.89	0.833	0.90	0.969
SSTL25_I ² , SSTL25_II ²	2.375	2.5	2.625	1.15	1.25	1.35
SSTL33_I ² , SSTL33_II ²	3.135	3.3	3.465	1.3	1.5	1.7
HSTL15_I	1.425	1.5	1.575	0.68	0.75	0.9
HSTL18_I ² , HSTL18_II ²	1.71	1.8	1.89	0.816	0.9	1.08
LVDS25 ²	2.375	2.5	2.625	–	–	–
MLVDS25 ¹	2.375	2.5	2.625	–	–	–
LVPECL33 ^{1,2}	3.135	3.3	3.465	–	–	–
BLVDS25 ^{1,2}	2.375	2.5	2.625	–	–	–
RSDS ^{1,2}	2.375	2.5	2.625	–	–	–
SSTL18D_I ² , SSTL18D_II ²	1.71	1.8	1.89	–	–	–
SSTL25D_I ² , SSTL25D_II ²	2.375	2.5	2.625	–	–	–
SSTL33D_I ² , SSTL33D_II ²	3.135	3.3	3.465	–	–	–
HSTL15D_I ²	1.425	1.5	1.575	–	–	–
HSTL18D_I ² , HSTL18D_II ²	1.71	1.8	1.89	–	–	–

1 チップに対する入力。出力は外部抵抗を加えて実装する

2 これら入力規格の場合V_{CCIO}の値に依存しない

シングルエンドsysIO DC電气的特性

推奨動作条件にわたって

I/O規格	V _{IL}		V _{IH}		V _{OL} Max. (V)	V _{OH} Min. (V)	I _{OL} ¹ (mA)	I _{OH} ¹ (mA)
	Min. (V)	Max. (V)	Min. (V)	Max. (V)				
LVCMOS33	-0.3	0.8	2.0	3.6	0.4	V _{CCIO} - 0.4	20, 16, 12, 8, 4	-20, -16, -12, -8, -4
					0.2	V _{CCIO} - 0.2	0.1	-0.1
LVTTL33	-0.3	0.8	2.0	3.6	0.4	V _{CCIO} - 0.4	20, 16, 12, 8, 4	-20, -16, -12, -8, -4
					0.2	V _{CCIO} - 0.2	0.1	-0.1
LVCMOS25	-0.3	0.7	1.7	3.6	0.4	V _{CCIO} - 0.4	20, 16, 12, 8, 4	-20, -16, -12, -8, -4
					0.2	V _{CCIO} - 0.2	0.1	-0.1
LVCMOS18	-0.3	0.35V _{CCIO}	0.65V _{CCIO}	3.6	0.4	V _{CCIO} - 0.4	16, 12, 8, 4	-16, -12, -8, -4
					0.2	V _{CCIO} - 0.2	0.1	-0.1
LVCMOS15	-0.3	0.35V _{CCIO}	0.65V _{CCIO}	3.6	0.4	V _{CCIO} - 0.4	8, 4	-8, -4
					0.2	V _{CCIO} - 0.2	0.1	-0.1
LVCMOS12	-0.3	0.35V _{CC}	0.65V _{CC}	3.6	0.4	V _{CCIO} - 0.4	6, 2	-6, -2
					0.2	V _{CCIO} - 0.2	0.1	-0.1
PCI33	-0.3	0.3V _{CCIO}	0.5V _{CCIO}	3.6	0.1V _{CCIO}	0.9V _{CCIO}	1.5	-0.5
SSTL33_I	-0.3	V _{REF} - 0.2	V _{REF} + 0.2	3.6	0.7	V _{CCIO} - 1.1	8	-8
SSTL33_II	-0.3	V _{REF} - 0.2	V _{REF} + 0.2	3.6	0.5	V _{CCIO} - 0.9	16	-16
SSTL25_I	-0.3	V _{REF} - 0.18	V _{REF} + 0.18	3.6	0.54	V _{CCIO} - 0.62	7.6	-7.6
							12	-12
SSTL25_II	-0.3	V _{REF} - 0.18	V _{REF} + 0.18	3.6	0.35	V _{CCIO} - 0.43	15.2	-15.2
							20	-20
SSTL18_I	-0.3	V _{REF} - 0.125	V _{REF} + 0.125	3.6	0.4	V _{CCIO} - 0.4	6.7	-6.7
SSTL18_II	-0.3	V _{REF} - 0.125	V _{REF} + 0.125	3.6	0.28	V _{CCIO} - 0.28	8	-8
							11	-11
HSTL15_I	-0.3	V _{REF} - 0.1	V _{REF} + 0.1	3.6	0.4	V _{CCIO} - 0.4	4	-4
							8	-8
HSTL18_I	-0.3	V _{REF} - 0.1	V _{REF} + 0.1	3.6	0.4	V _{CCIO} - 0.4	8	-8
							12	-12
HSTL18_II	-0.3	V _{REF} - 0.1	V _{REF} + 0.1	3.6	0.4	V _{CCIO} - 0.4	16	-16

1. ロジック信号接続表で示されるように、I/OによってGND接続の間、あるいはI/Oバンクの端の最後のGNDとI/Oバンク間を流れる平均DC電流は、n*8mAを超えないものとします。ここでnはバンクGND接続か、バンクの最後のGNDとバンク端の間のI/O数です。

(The average DC current drawn by I/Os between GND connections, or between the last GND in an I/O bank and the end of an I/O bank, as shown in the logic signal connections table shall not exceed n * 8mA. Where n is the number of I/Os between bank GND connections or between the last GND in a bank and the end of a bank.)

差動sysIO電气的特性

LVDS

推奨動作条件にわたって

シンボル	パラメータ記述	テスト条件	Min.	Typ.	Max.	単位
V_{INP}, V_{INM}	入力電圧		0	–	2.4	V
V_{CM}	入力コモンモード電圧	2入力の和の半分	0.05	–	2.35	V
V_{THD}	差動の入力スレッシュホールド	2入力の差	+/-100	–	–	mV
I_{IN}	入力電流	パワーオン、またはオフ	–	–	+/-10	uA
V_{OH}	V_{OP} か V_{OM} の出力High電圧	$R_T = 100\ \Omega$	–	1.38	1.60	V
V_{OL}	V_{OP} か V_{OM} の出力Low電圧	$R_T = 100\ \Omega$	0.9	1.03	–	V
V_{OD}	出力差動電圧	$(V_{OP} - V_{OM}), R_T = 100\ \Omega$	250	350	450	mV
ΔV_{OD}	HighとLow間の V_{OD} の変化		–	–	50	mV
V_{OS}	出力電圧オフセット	$(V_{OP} + V_{OM})/2, R_T = 100\ \Omega$	1.125	1.20	1.375	V
ΔV_{OS}	HとLの間の V_{OS} V_{OS} の変化		–	–	50	mV
I_{SA}	出力短絡電流	$V_{OD} = 0V$ 、ドライバ出力を GNDにショート	–	–	24	mA
I_{SAB}	出力短絡電流	$V_{OD} = 0V$ 、ドライバ出力を相 互にショート	–	–	12	mA

差動のHSTLとSSTL

差動のHSTLとSSTL出力は1組のコンプリメンタリなシングルエンド出力として実装されます。すべての許容できるシングルエンド出力クラス(クラスIとクラスII)がこのモードでサポートされます。

LVDS25E

LatticeXP2デバイスの上下辺I/Oバンクは、コンプリメンタリなLVCMOS出力を外部抵抗とともに用いることで、エミュレートLVDSをサポートします。図3-1で示すのはポイント・ツー・ポイント接続時の一つの構成例です。

図3-1 LVDS25E出力終端の例

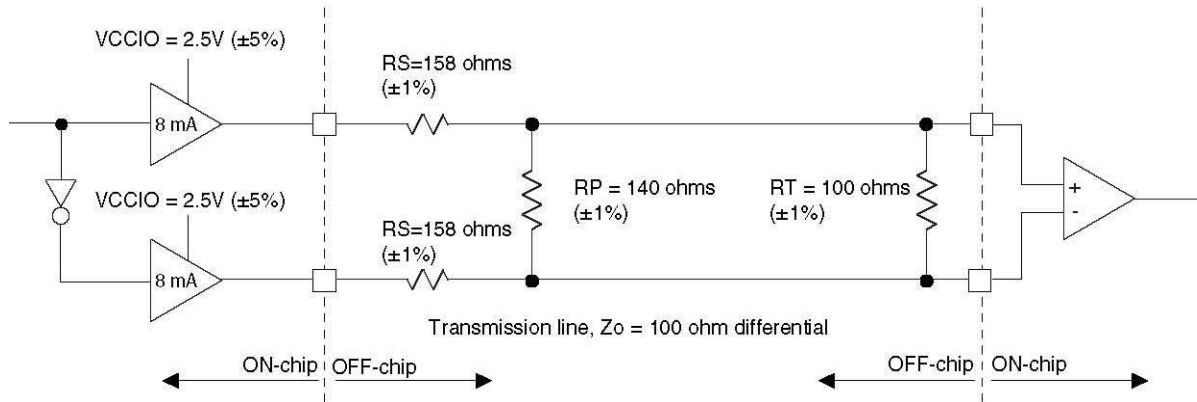


表3-1 LVDS25EのDC条件

パラメータ	記述	標準値	単位
V_{CCIO}	出力ドライバ電源 (+/-5%)	2.50	V
Z_{OUT}	ドライバインピーダンス	20	Ω
R_S	ドライバ直列抵抗 (+/-1%)	158	Ω
R_P	ドライバ並列抵抗 (+/-1%)	140	Ω
R_T	レシーバ終端抵抗 (+/-1%)	100	Ω
V_{OH}	出力High電圧	1.43	V
V_{OL}	出力Low電圧	1.07	V
V_{OD}	出力差動電圧	0.35	V
V_{CM}	出力コモンモード電圧	1.25	V
Z_{BACK}	バック・インピーダンス	100.5	Ω
I_{DC}	DC出力電流	6.03	mA

LVCMOS33D

全I/OバンクでLVCMOS33D I/Oタイプを用いたエミュレート差動I/Oをサポートします。本オプションは、外部抵抗と共に用いることで V_{CCIO} が3.3Vバンクに差動出力を配置する自由度をシステム設計者に提供します。デフォルトのドライブ電流は12mAで、オプションとして4mA, 8mA, 16mA, 20mAに指定可能です。LVCMOS33DのDC特性はLVCMOS33に準じます。

BLVDS

LatticeXP2デバイスは、BLVDS標準をサポートします。この標準は、ドライバ出力間の平行外部抵抗と共にコンプリメンタリなLVCMOS出力を用いることでエミュレートされます。BLVDSはマルチドロップで双方向のマルチポイント差動シグナリングが必要な時に用いられることを意図しています。図3-2で示されるスキームは、双方向のマルチポイント差動信号のための1つの可能なソリューションです。

図3-2 BLVDS マルチポイント出力の例

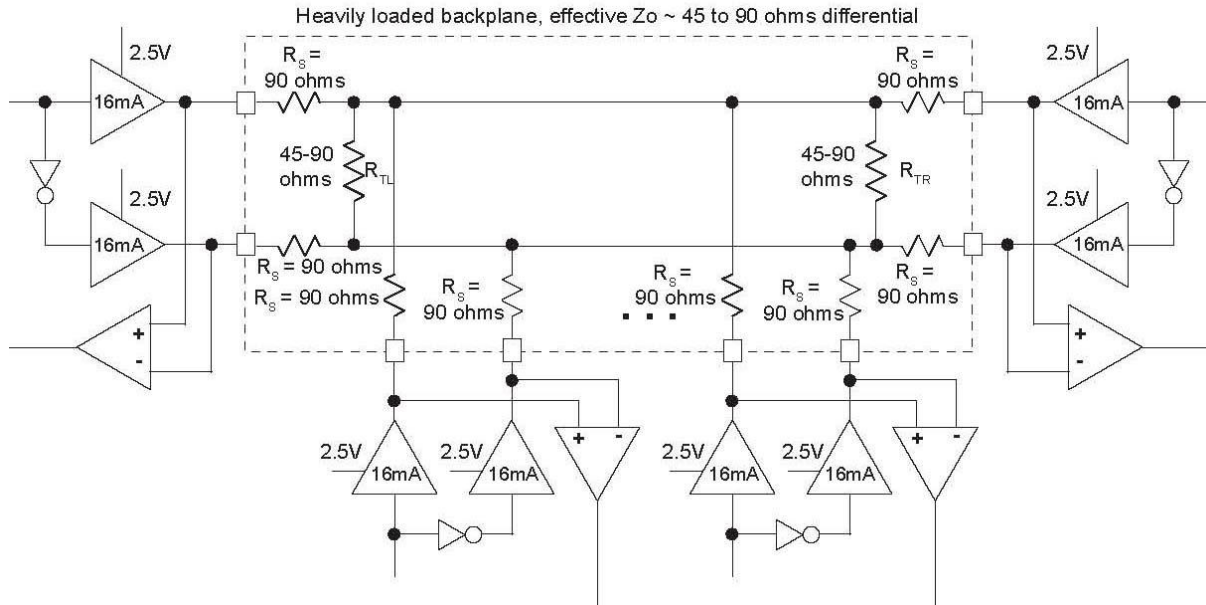


表3-2 BLVDS 直流条件¹

推奨動作条件にわたって

パラメータ	記述	Typical		単位
		Zo = 45	Zo = 90	
V _{CCIO}	出力ドライバ電源 (+/-5%)	2.50	2.50	V
Z _{OUT}	出力インピーダンス	10.0	10.0	Ω
R _S	ドライバ直列抵抗 (+/-1%)	90.0	90.0	Ω
R _{TL}	左端の終端	45.0	90.0	Ω
R _{TR}	右端の終端	45.0	90.0	Ω
V _{OH}	出力High電圧	1.38	1.48	V
V _{OL}	出力Low電圧	1.12	1.02	V
V _{OD}	出力差動電圧	0.25	0.46	V
V _{CM}	出力コモンモード電圧	1.25	1.25	V
I _{DC}	DC出力電流	11.24	10.20	mA

1. 入力バッファに関しては、LVDS表を参照してください

LVPECL

LatticeXP2デバイスは、差動LVPECL標準をサポートします。この標準は、ドライバ出力間の平行外部抵抗と共にコンプリメンタリなLVCMOS出力を用いることでエミュレートされます。LVPECL入力にはLVDS差動入力バッファでサポートされます。図3-3で示されるスキームは、ポイント・ツー・ポイント信号のための1つの可能なソリューションです。

図3-3 差動LVPECL

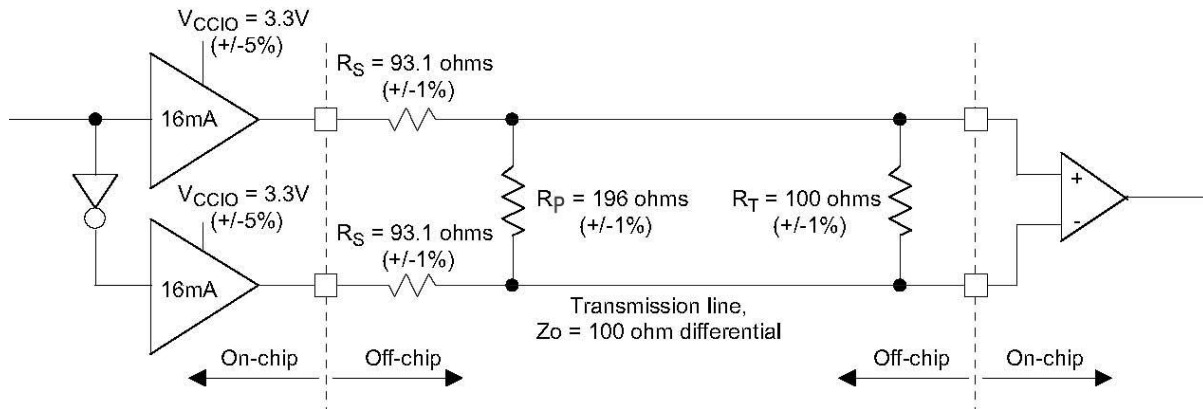


表3-3 LVPECL 直流条件¹

推奨動作条件にわたって

パラメータ	記述	Typical	単位
V _{CCIO}	出力ドライバ電源 (+/-5%)	3.30	V
Z _{OUT}	出力インピーダンス	10	Ω
R _S	ドライバ直列抵抗 (+/-1%)	93	Ω
R _P	ドライバ並列抵抗 (+/-1%)	196	Ω
R _T	レシーバ終端抵抗 (+/-1%)	100	Ω
V _{OH}	出力High電圧	2.05	V
V _{OL}	出力Low電圧	1.25	V
V _{OD}	出力差動電圧	0.80	V
V _{CM}	出力コモンモード電圧	1.65	V
Z _{BACK}	バック・インピーダンス	100.5	Ω
I _{DC}	DC出力電流	12.11	mA

1. 入力バッファに関しては、LVDS表を参照してください。

RSDS

LatticeXP2デバイスは、差動RSDS標準をサポートします。この標準は、ドライバ出力間の平行外部抵抗と共にコンプリメンタリなLVCMOS出力を用いることでエミュレートされます。RSDS入力はLVDS差動入力バッファでサポートされます。図3-4に示されたスキームはRSDS標準の実装のための1つの可能なソリューションです。図3-4における抵抗値は1%偏差の業界標準値です。

図3-4 RSDS (Reduced Swing Differential Standard)

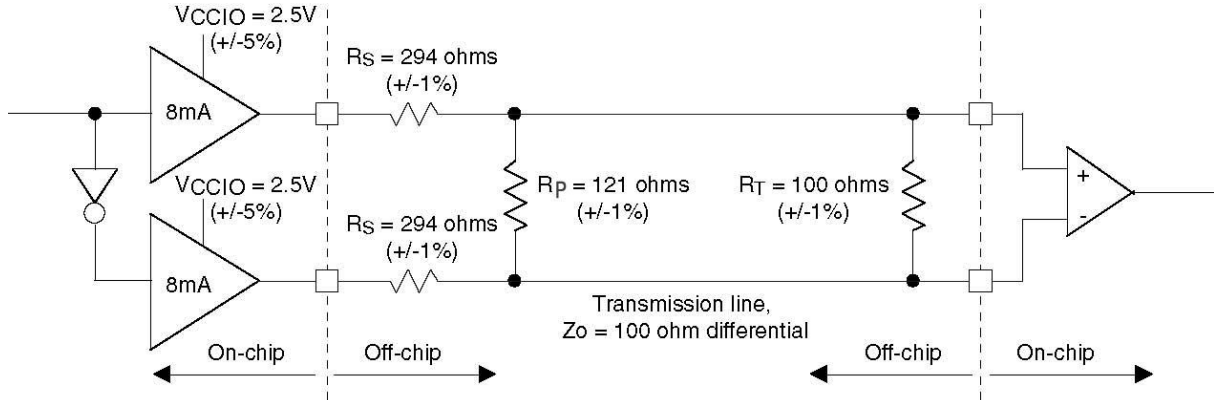


表3-4 RSDS DC条件¹

推奨動作条件にわたって

パラメータ	記述	Typical	単位
V _{CCIO}	出力ドライバ電源 (+/-5%)	2.50	V
Z _{OUT}	出力インピーダンス	20	Ω
R _S	ドライバ直列抵抗 (+/-1%)	294	Ω
R _P	ドライバ並列抵抗 (+/-1%)	121	ohm
R _T	レシーバ終端抵抗 (+/-1%)	100	ohm
V _{OH}	出力High電圧	1.35	V
V _{OL}	出力Low電圧	1.15	V
V _{OD}	出力差動電圧	0.20	V
V _{CM}	出力コモンモード電圧	1.25	V
Z _{BACK}	バック・インピーダンス	101.5	ohm
I _{DC}	DC出力電流	3.66	mA

1. 入力バッファに関しては、LVDS表を参照してください。

MLVDS

LatticeXP2デバイスは、差動MLVDS標準をサポートします。この標準は、ドライバ出力間の平行外部抵抗と共にコンプリメンタリなLVCMOS出力を用いることでエミュレートされます。MLVDS入力 は差動LVDS入力バッファでサポートされます。図3-5で示されるスキームは、双方向のマルチポイント差動信号のための1つの可能なソリューションです。図3-5における抵抗値は1%偏差の業界標準値です。

図3-5 MLVDS (Reduced Swing Differential Standard)

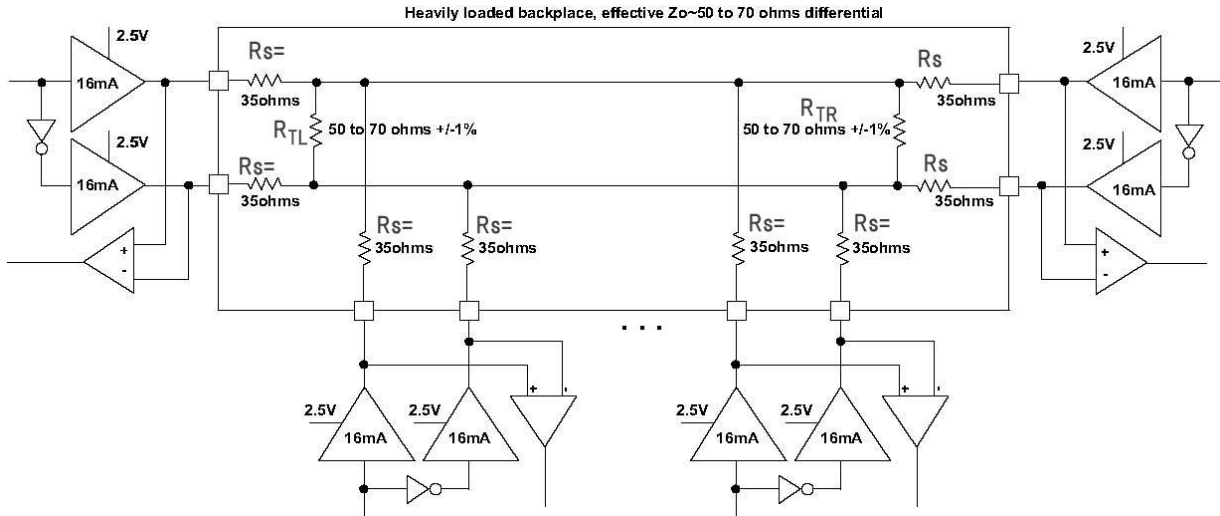


表3-5 MLVDS 直流条件¹

推奨動作条件にわたって

パラメータ	記述	Typical		単位
		Zo = 45	Zo = 70	
V _{CCIO}	出力ドライバ電源 (+/-5%)	2.50	2.50	V
Z _{OUT}	出力インピーダンス	10.0	10.0	Ω
R _S	ドライバ直列抵抗 (+/-1%)	35.0	35.0	Ω
R _{TL}	ドライバ並列抵抗 (+/-1%)	50.0	70.0	Ω
R _{TR}	レシーバ終端抵抗 (+/-1%)	50.0	70.0	Ω
V _{OH}	出力High電圧	1.52	1.60	V
V _{OL}	出力Low電圧	0.98	0.90	V
V _{OD}	出力差動電圧	0.54	0.70	V
V _{CM}	出力コモンモード電圧	1.25	1.25	V
I _{DC}	DC出力電流	21.74	20.00	mA

1. 入力バッファに関しては、LVDS表を参照してください

典型的なビルディング・ブロック機能パフォーマンス¹

ピン・ピン間のパフォーマンス(LVCMOS25 12mAドライブ)

機能	-7 タイミング	単位
基本機能		
16ビット・デコーダ	4.4	ns
32ビット・デコーダ	5.2	ns
64ビット・デコーダ	5.6	ns
4:1 MUX	3.7	ns
8:1 MUX	3.9	ns
16:1 MUX	4.3	ns
32:1 MUX	4.5	ns

レジスタ・レジスタ間パフォーマンス

機 能	-7 タイミング	単位
基本機能		
16ビット・デコーダ	521	MHz
32ビット・デコーダ	537	MHz
64ビット・デコーダ	484	MHz
4:1 MUX	744	MHz
8:1 MUX	678	MHz
16:1 MUX	616	MHz
32:1 MUX	529	MHz
8 ビット加算器	570	MHz
16 ビット加算器	507	MHz
64 ビット加算器	293	MHz
16 ビット・カウンタ	541	MHz
32 ビット・カウンタ	440	MHz
64 ビット・カウンタ	321	MHz
64 ビット・アキュムレータ	261	MHz
組み込みメモリ機能		
512×36 シングルポート RAM、EBR 出力レジスタ	315	MHz
1024×18 真のデュアルポート RAM (ライトスルーかノーマルモード、EBR 出力レジスタ)	315	MHz
1024×18 真のデュアルポート RAM (ライトスルーかノーマルモード、PLC 出力レジスタ)	231	MHz
分散メモリ機能		
16×4 擬似デュアルポート RAM (PFU 一つ)	760	MHz
32×2 擬似デュアルポート RAM	455	MHz
64×1 擬似デュアルポート RAM	351	MHz
DSP機能		
18×18 乗算器 (全レジスタ)	342	MHz
9×9 乗算器 (全レジスタ)	342	MHz
36×36 乗算器 (全レジスタ)	330	MHz
18×18 乗算/アキュミュレート (入力/出力レジスタ)	218	MHz
18×18 乗算-加減算-総和 (全レジスタ)	292	MHz

DSP IP機能		
16 タップ全並列 FIR フィルタ	198	MHz
1024 点、基底 4、DIF FFT	221	MHz
8x8 マトリクス乗算	196	MHz

1. これらのタイミング値はispLEVERデザインツールを用いて生成されました。正確な性能はデバイス、デザイン、およびツール・バージョンで異なるかもしれません。ツールはキャラクタライズされた内部パラメータを用いていますが、全デバイスでテストされているわけではありません。

Timing v.A 0.12

ディレーティング・タイミング表

データシートの以下のセクションとDiamondデザインツールに提供されるロジック・タイミングは、動作範囲の最悪値です。ベストケース・プロセスの公称温度と電圧における実際の遅延は、表で与えられた値よりはるかに良い場合があります。Diamondデザインツールが特定のジャンクション温度と電圧に対するロジック・タイミング値を与えます。

LatticeXP2外部スイッチング特性

推奨動作条件にわたって

パラメータ	記述	デバイス	-7		-6		-5		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
汎用I/Oピン・パラメータ(PLLなしでプライマリ・クロックを用いる) ¹									
t _{CO}	クロック対出力 - PIO出力レジスタ	XP2-5	－	3.80	－	4.20	－	4.60	ns
		XP2-8	－	3.80	－	4.20	－	4.60	ns
		XP2-17	－	3.80	－	4.20	－	4.60	ns
		XP2-30	－	4.00	－	4.40	－	4.90	ns
		XP2-40	－	4.00	－	4.40	－	4.90	ns
t _{SU}	クロック対データ・セットアップ、 PIO入力レジスタ	XP2-5	0.00	－	0.00	－	0.00	－	ns
		XP2-8	0.00	－	0.00	－	0.00	－	ns
		XP2-17	0.00	－	0.00	－	0.00	－	ns
		XP2-30	0.00	－	0.00	－	0.00	－	ns
		XP2-40	0.00	－	0.00	－	0.00	－	ns
t _H	クロック対データ・ホールド、PIO入 力レジスタ	XP2-5	1.40	－	1.70	－	1.90	－	ns
		XP2-8	1.40	－	1.70	－	1.90	－	ns
		XP2-17	1.40	－	1.70	－	1.90	－	ns
		XP2-30	1.40	－	1.70	－	1.90	－	ns
		XP2-40	1.40	－	1.70	－	1.90	－	ns
t _{SU_DEL}	クロック対データ・セットアップ、 データ入力遅延あり。PIO入力レジス タ	XP2-5	1.40	－	1.70	－	1.90	－	ns
		XP2-8	1.40	－	1.70	－	1.90	－	ns
		XP2-17	1.40	－	1.70	－	1.90	－	ns
		XP2-30	1.40	－	1.70	－	1.90	－	ns
		XP2-40	1.40	－	1.70	－	1.90	－	ns
t _{H_DEL}	クロック対データ・ホールド - 入力 データ遅延あり。PIO入力レジスタ	XP2-5	0.00	－	0.00	－	0.00	－	ns
		XP2-8	0.00	－	0.00	－	0.00	－	ns
		XP2-17	0.00	－	0.00	－	0.00	－	ns
		XP2-30	0.00	－	0.00	－	0.00	－	ns
		XP2-40	0.00	－	0.00	－	0.00	－	ns
f _{MAX_IO}	I/OとPFUレジスタのクロック周波 数	XP2	－	420	－	357	－	311	MHz
汎用I/Oピン・パラメータ (PLLなしでエッジクロックを用いる) ¹									
t _{COE}	クロック対出力 - PIO出力レジスタ	XP2-5	－	3.20	－	3.60	－	3.90	ns
		XP2-8	－	3.20	－	3.60	－	3.90	ns
		XP2-17	－	3.20	－	3.60	－	3.90	ns
		XP2-30	－	3.20	－	3.60	－	3.90	ns
		XP2-40	－	3.20	－	3.60	－	3.90	ns
t _{SUE}	クロック対データ・セットアップ、 PIO入力レジスタ	XP2-5	0.00	－	0.00	－	0.00	－	ns
		XP2-8	0.00	－	0.00	－	0.00	－	ns
		XP2-17	0.00	－	0.00	－	0.00	－	ns
		XP2-30	0.00	－	0.00	－	0.00	－	ns
		XP2-40	0.00	－	0.00	－	0.00	－	ns

t_{HE}	クロック対データ・ホールド、PIO入力レジスタ	XP2-5	1.00	–	1.30	–	1.60	–	ns
		XP2-8	1.00	–	1.30	–	1.60	–	ns
		XP2-17	1.00	–	1.30	–	1.60	–	ns
		XP2-30	1.20	–	1.60	–	1.90	–	ns
		XP2-40	1.20	–	1.60	–	1.90	–	ns
t_{SU_DELE}	クロック対データ・セットアップ、データ入力遅延あり。PIO入力レジスタ	XP2-5	1.00	–	1.30	–	1.60	–	ns
		XP2-8	1.00	–	1.30	–	1.60	–	ns
		XP2-17	1.00	–	1.30	–	1.60	–	ns
		XP2-30	1.20	–	1.60	–	1.90	–	ns
		XP2-40	1.20	–	1.60	–	1.90	–	ns
t_{H_DEL}	クロック対データ・ホールド、入力データ遅延あり。PIO入力レジスタ	XP2-5	0.00	–	0.00	–	0.00	–	ns
		XP2-8	0.00	–	0.00	–	0.00	–	ns
		XP2-17	0.00	–	0.00	–	0.00	–	ns
		XP2-30	0.00	–	0.00	–	0.00	–	ns
		XP2-40	0.00	–	0.00	–	0.00	–	ns
f_{MAX_IOE}	I/OとPFUレジスタのクロック周波数	XP2	–	420	–	357	–	311	MHz
汎用I/Oピン・パラメータ (PLLありでプライマリクロックを用いる) ¹									
t_{COPLL}	クロック対出力 - PIO出力レジスタ	XP2-5	–	3.00	–	3.30	–	3.70	ns
		XP2-8	–	3.00	–	3.30	–	3.70	ns
		XP2-17	–	3.00	–	3.30	–	3.70	ns
		XP2-30	–	3.00	–	3.30	–	3.70	ns
		XP2-40	–	3.00	–	3.30	–	3.70	ns
t_{SUPLL}	クロック対データ・セットアップ、PIO入力レジスタ	XP2-5	1.00	–	1.20	–	1.40	–	ns
		XP2-8	1.00	–	1.20	–	1.40	–	ns
		XP2-17	1.00	–	1.20	–	1.40	–	ns
		XP2-30	1.00	–	1.20	–	1.40	–	ns
		XP2-40	1.00	–	1.20	–	1.40	–	ns
t_{HPLL}	クロック対データ・ホールド、PIO入力レジスタ	XP2-5	0.90	–	1.10	–	1.30	–	ns
		XP2-8	0.90	–	1.10	–	1.30	–	ns
		XP2-17	0.90	–	1.10	–	1.30	–	ns
		XP2-30	1.00	–	1.20	–	1.40	–	ns
		XP2-40	1.00	–	1.20	–	1.40	–	ns
t_{SU_DELPLL}	クロック対データ・セットアップ、データ入力遅延あり。PIO入力レジスタ	XP2-5	1.90	–	2.10	–	2.30	–	ns
		XP2-8	1.90	–	2.10	–	2.30	–	ns
		XP2-17	1.90	–	2.10	–	2.30	–	ns
		XP2-30	2.00	–	2.20	–	2.40	–	ns
		XP2-40	2.00	–	2.20	–	2.40	–	ns
t_{H_DELPLL}	クロック対データ・ホールド、入力データ遅延あり。PIO入力レジスタ	XP2-5	0.00	–	0.00	–	0.00	–	ns
		XP2-8	0.00	–	0.00	–	0.00	–	ns
		XP2-17	0.00	–	0.00	–	0.00	–	ns
		XP2-30	0.00	–	0.00	–	0.00	–	ns
		XP2-40	0.00	–	0.00	–	0.00	–	ns

DDR, DDR2 I/Oピン・パラメータ ²									
t _{DVADQ}	DQS 後の有効データ(DDR リード)	XP2	–	0.29	–	0.29	–	0.29	UI
t _{DVEDQ}	DQS 後のデータ・ホールド(DDR リード)	XP2	0.71	–	0.71	–	0.71	–	UI
t _{DQVBS}	DQS 前の有効データ (DDR ライト)	XP2	0.25	–	0.25	–	0.25	–	UI
t _{DQVAS}	DQS 前の有効データ (DDR ライト)	XP2	0.25	–	0.25	–	0.25	–	UI
f _{MAX_DDR}	DDR クロック周波数	XP2	95	200	95	166	95	133	MHz
f _{MAX_DDR2}	DDR クロック周波数	XP2	133	200	133	200	133	166	MHz
プライマリクロック									
f _{MAX_PRI}	プライマリ・クロックツリー周波数	XP2	–	420	–	357	–	311	MHz
t _{W_PRI}	プライマリクロック・パルス幅	XP2	1	–	1	–	1	–	ns
t _{SKEW_PRI}	I/O バンク内のプライマリクロック・スキュー	XP2	–	160	–	160	–	160	ps
エッジクロック									
f _{MAX_EDGE}	エッジクロック周波数	XP2	–	420	–	357	–	311	MHz
t _{W_EDGE}	エッジクロック・パルス幅	XP2	1	–	1	–	1	–	ns
t _{SKEW_EDGE}	同一辺内のエッジクロック・スキュー	XP2	–	130	–	130	–	130	ps

1. 一般のタイミング値はLVCMOS2.5V、12mA、容量負荷0pFに基づく

2. DDRタイミング値はSSTL25に基づく

3. DDR2タイミング値はSSTL18に基づく

Timing v.A 0.12

LatticeXP2 内部スイッチング特性¹

推奨動作条件にわたって

パラメータ	記述	-7		-6		-5		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
PFU/PFFロジック・モード・タイミング								
t _{LUT4_PFU}	LUT4遅延(A〜D入力からF出力)	−	0.216	−	0.238	−	0.260	ns
t _{LUT6_PFU}	LUT6遅延(A〜D入力からOFX出力)	−	0.304	−	0.399	−	0.494	ns
t _{LSR_PFU}	セット/リセット対PFU出力	−	0.720	−	0.769	−	0.818	ns
t _{SUM_PFU}	入力セットアップ時間、クロック対Mux(M0、M1)	0.154	−	0.151	−	0.148	−	ns
t _{HM_PFU}	入力ホールド時間、クロック対Mux(M0、M1)	-0.061	−	-0.057	−	-0.053	−	ns
t _{SUD_PFU}	入力セットアップ時間、クロック対D入力	0.061	−	0.077	−	0.093	−	ns
t _{HD_PFU}	ホールド時間、クロック対D入力	0.002	−	0.003	−	0.003	−	ns
t _{CK2Q_PFU}	クロック対Q遅延、D-タイプ・レジスタ・コンフィグレーション	−	0.342	−	0.363	−	0.383	ns
t _{RSTREC_PFU}	PFUロジック用非同期リセットのリカバリ時間	−	0.520	−	0.634	−	0.748	ns
t _{RST_PFU}	PFUロジック用非同期リセット時間	−	0.720	−	0.769	−	0.818	ns
PFUデュアルポート・メモリモード・タイミング								
t _{CORAM_PFU}	クロック対出力	−	1.082	−	1.267	−	1.452	ns
t _{SUDATA_PFU}	データ・セットアップ時間	-0.206	−	-0.240	−	-0.274	−	ns
t _{HDATA_PFU}	データ・ホールド時間	0.239	−	0.275	−	0.312	−	ns
t _{SUADDR_PFU}	アドレス・セットアップ時間	-0.294	−	-0.333	−	-0.371	−	ns
t _{HADDR_PFU}	アドレス・ホールド時間	0.295	−	0.333	−	0.371	−	ns
t _{SUWREN_PFU}	リード/ライト・イネーブル・セットアップ時間	-0.146	−	-0.169	−	-0.193	−	ns
t _{HWREN_PFU}	リード/ライト・イネーブル・ホールド時間	0.158	−	0.182	−	0.207	−	ns
PIO 入力/出力バッファ・タイミング								
t _{IN_PIO}	入力バッファ遅延(LVCMOS25)	−	0.858	−	0.766	−	0.674	ns
t _{OUT_PIO}	出力バッファ遅延(LVCMOS25)	−	1.561	−	1.403	−	1.246	ns
IOロジック 入力/出力バッファ・タイミング								
t _{SUI_PIO}	入力レジスタ・セットアップ時間(クロック前のデータ)	0.583	−	0.893	−	1.201	−	ns
t _{HI_PIO}	入力レジスタ・ホールド時間(クロック後のデータ)	0.062	−	0.322	−	0.482	−	ns
t _{COO_PIO}	出力遅延、対出力レジスタ・クロック	−	0.608	−	0.661	−	0.715	ns
t _{SUCE_PIO}	セットアップ時間、入力レジスタ・クロックイネーブル	0.032	−	0.037	−	0.041	−	ns
t _{HCE_PIO}	ホールド時間、入力レジスタ・クロックイネーブル	-0.022	−	-0.025	−	-0.028	−	ns
t _{SULSR_PIO}	セット/リセット・セットアップ時間	0.184	−	0.201	−	0.217	−	ns
t _{HLSR_PIO}	セット/リセット・ホールド時間	-0.080	−	-0.086	−	-0.093	−	ns
t _{RSTREC_PIO}	IOロジック用非同期リセットのリカバリ時間	0.228	−	0.247	−	0.266	−	ns
t _{RST_PIO}	IOロジック用非同期リセット時間	−	0.386	−	0.419	−	0.452	ns
t _{DEL}	ダイナミック遅延ステップサイズ	0.035	0.035	0.035	0.035	0.035	0.035	ns

EBRタイミグ								
t _{CO_EBR}	クロック対出力、アドレスまたはデータから	-	2.774	-	3.142	-	3.510	ns
t _{COO_EBR}	クロック対出力、EBR出力レジスタから	-	0.360	-	0.408	-	0.456	ns
t _{SUDATA_EBR}	セットアップ、データ対EBRメモリ	-0.167	-	-0.198	-	-0.229	-	ns
t _{HDATA_EBR}	ホールド、データ対EBRメモリ	0.194	-	0.231	-	0.267	-	ns
t _{SUADDR_EBR}	セットアップ、アドレス対EBRメモリ	-0.117	-	-0.137	-	-0.157	-	ns
t _{HADDR_EBR}	ホールド、アドレス対EBRメモリ	0.157	-	0.182	-	0.207	-	ns
t _{SUWREN_EBR}	ライト/リード・イネーブル・セットアップ、対PFUメモリ	-0.135	-	-0.159	-	-0.182	-	ns
t _{HWREN_EBR}	ライト/リード・イネーブルホールド、対PFUメモリ	0.158	-	0.186	-	0.214	-	ns
t _{SUCE_EBR}	クロックイネーブル・セットアップ時間、対EBR出力レジスタ	0.144	-	0.160	-	0.176	-	ns
t _{HCE_EBR}	クロックイネーブル・ホールド時間、対EBR出力レジスタ	-0.097	-	-0.113	-	-0.129	-	ns
t _{RSTO_EBR}	出力遅延時間、リセットからEBR出力レジスタ	-	1.156	-	1.341	-	1.526	ns
t _{SUBE_EBR}	バイトイネーブル・セットアップ時間、対EBR出力レジスタ	-0.117	-	-0.137	-	-0.157	-	ns
t _{HBE_EBR}	バイトイネーブル・ホールド時間、対EBR出力レジスタ	0.157	-	0.182	-	0.207	-	ns
t _{RSTREC_EBR}	EBR非同期リセットのリカバリ時間	0.233	-	0.291	-	0.347	-	ns
t _{RST_EBR}	EBR非同期リセット時間	-	1.156	-	1.341	-	1.526	ns
PLLパラメータ								
t _{RSTKREC_PLL}	RSTKデアサート後、次クロックエッジがK分周器をトグルできるリカバリ時間	1.000	-	1.000	-	1.000	-	ns
t _{RSTREC_PLL}	RSTデアサート後、次クロックエッジがM分周器をトグルできるリカバリ時間(M分周器のみに適用 ²⁾)	1.000	-	1.000	-	1.000	-	ns
DSPブロック・タイミグ								
t _{SUI_DSP}	入力レジスタ・セットアップ時間	0.135	-	0.151	-	0.166	-	ns
t _{HI_DSP}	入力レジスタ・ホールド時間	0.021	-	-0.006	-	-0.031	-	ns
t _{SUP_DSP}	パイプラインレジスタ・セットアップ時間	2.505	-	2.784	-	3.064	-	ns
t _{HP_DSP}	パイプラインレジスタ・ホールド時間	-0.787	-	-0.890	-	-0.994	-	ns
t _{SUO_DSP}	出力レジスタ・セットアップ時間	4.869	-	5.413	-	5.931	-	ns
t _{HO_DSP}	出力レジスタ・ホールド時間	-1.439	-	-1.604	-	-1.770	-	ns
t _{COI_DSP} ³	入力レジスタ・クロック対出力時間	-	4.513	-	4.947	-	5.382	ns
t _{COP_DSP} ³	パイプラインレジスタ・クロック対出力時間	-	2.153	-	2.272	-	2.391	ns
t _{COO_DSP} ³	出力レジスタ、クロック対出力時間	-	0.569	-	0.600	-	0.631	ns
t _{SUADSUB}	AddSubセットアップ時間	-0.270	-	-0.298	-	-0.327	-	ns
t _{HADSUB}	AddSubホールド時間	0.306	-	0.338	-	0.371	-	ns

1 内部パラメータはキャラクタライズされているが、全デバイスはテストしていない

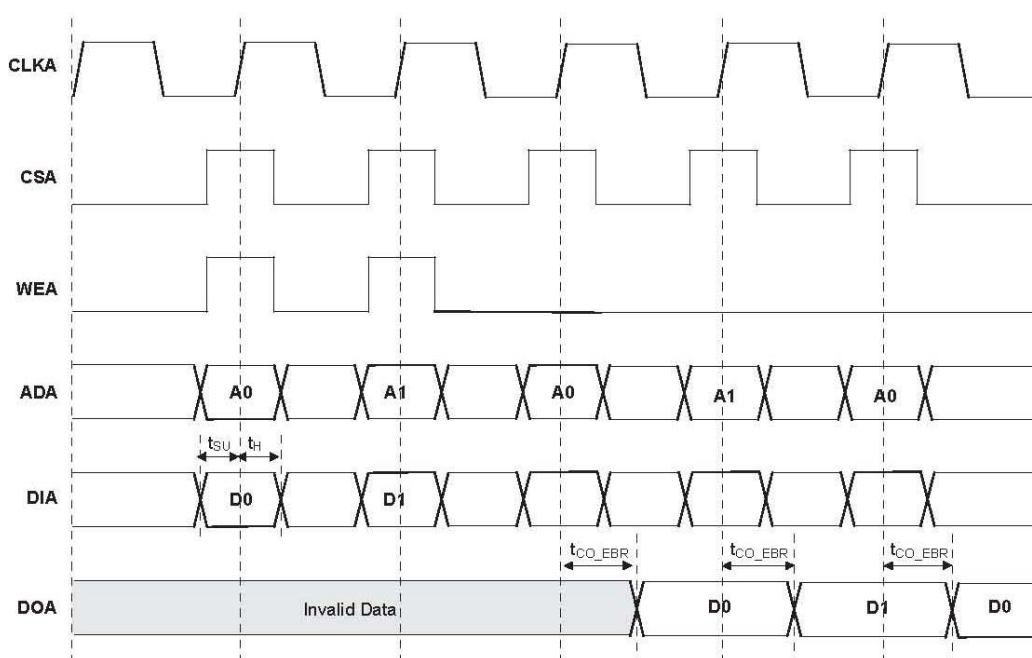
2 RSTはPLL内のVCOと全カウンタをリセット

3 これらパラメータはパスにある加減算ブロックを含む

Timing v.A 0.12

EBRメモリ・タイミング図

図3-6 リード/ライトモード(ノーマル)



注: 入力データとアドレスはクロックの正のエッジでレジスタされ、出力データはクロックの正のエッジの後に現れます。

図3-7 入出力レジスタ有りリード/ライトモード

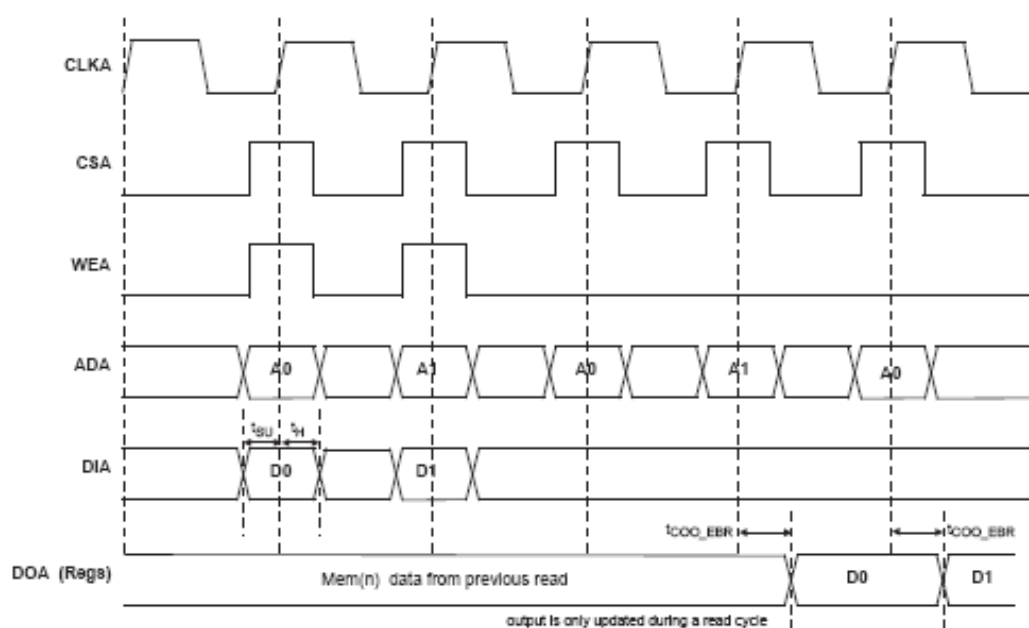
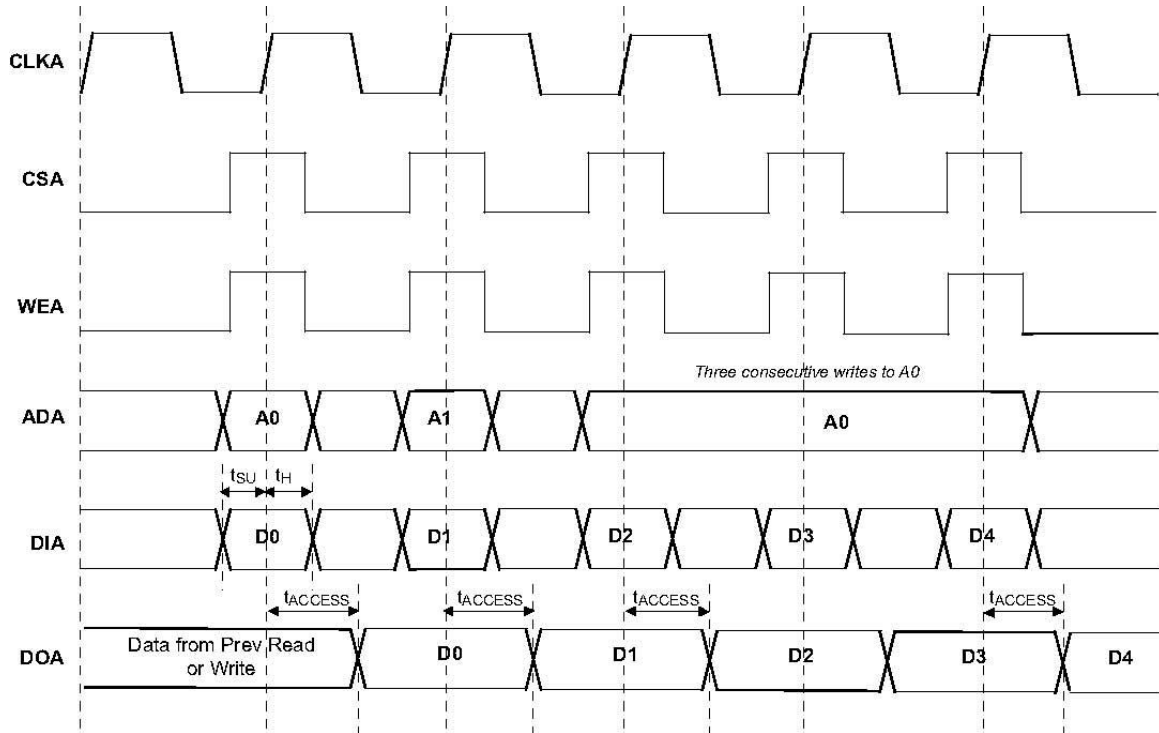


図3-8 ライトスルー (ポートAでSPリード/ライト、入力レジスタのみ)



注: 入力データとアドレスはクロックの正のエッジでレジスタされ、出力データはクロックの正のエッジの後に現れます。

LatticeXP2ファミリ タイミングの加算値^{1 2 3}

推奨動作条件にわたって

バッファ・タイプ	記述	-7	-6	-5	単位
入力アジャスタ(Adjuster)					
LVDS25	LVDS	-0.26	-0.11	0.04	ns
BLVDS25	BLVDS	-0.26	-0.11	0.04	ns
MLVDS	LVDS	-0.26	-0.11	0.04	ns
RSDS	RSDS	-0.26	-0.11	0.04	ns
LVPECL33	LVPECL	-0.26	-0.11	0.04	ns
HSTL18_I	HSTL_18 クラス I	-0.23	-0.08	0.07	ns
HSTL18_II	HSTL_18 クラス II	-0.23	-0.08	0.07	ns
HSTL18D_I	差動HSTL_18 クラス I	-0.28	-0.13	0.02	ns
HSTL18D_II	差動HSTL_18 クラス II	-0.28	-0.13	0.02	ns
HSTL15_I	HSTL_15 クラス I	-0.23	-0.09	0.06	ns
HSTL15D_I	差動HSTL_15 クラス I	-0.28	-0.13	0.01	ns
SSTL33_I	SSTL_3 クラス I	-0.20	-0.04	0.12	ns
SSTL33_II	SSTL_3 クラス II	-0.20	-0.04	0.12	ns
SSTL33D_I	差動SSTL_3 クラス I	-0.27	-0.11	0.04	ns
SSTL33D_II	差動SSTL_3 クラス II	-0.27	-0.11	0.04	ns
SSTL25_I	SSTL_2 クラス I	-0.21	-0.06	0.10	ns
SSTL25_II	SSTL_2 クラス II	-0.21	-0.06	0.10	ns
SSTL25D_I	差動SSTL_2 クラス I	-0.27	-0.12	0.03	ns
SSTL25D_II	差動SSTL_2 クラス II	-0.27	-0.12	0.03	ns
SSTL18_I	SSTL_18 クラス I	-0.23	-0.08	0.07	ns
SSTL18_II	SSTL_18 クラス II	-0.23	-0.08	0.07	ns
SSTL18D_I	差動SSTL_18 クラス I	-0.28	-0.13	0.02	ns
SSTL18D_II	差動SSTL_18 クラス II	-0.28	-0.13	0.02	ns
LVTTL33	LVTTL	-0.09	0.05	0.18	ns
LVC MOS33	LVC MOS 3.3	-0.09	0.05	0.18	ns
LVC MOS25	LVC MOS 2.5	0.00	0.00	0.00	ns
LVC MOS18	LVC MOS 1.8	-0.23	-0.07	0.09	ns
LVC MOS15	LVC MOS 1.5	-0.20	-0.02	0.16	ns
LVC MOS12	LVC MOS 1.2	-0.35	-0.20	-0.04	ns
PCI33	3.3V PCI	-0.09	0.05	0.18	ns
出力アジャスタ(Adjuster)					
LVDS25E	LVDS 2.5 E ⁴	-0.25	0.02	0.30	ns
LVDS25	LVDS 2.5	-0.25	0.02	0.30	ns
BLVDS25	BLVDS 2.5	-0.28	0.00	0.28	ns
MLVDS	MLVDS 2.5 ⁴	-0.28	0.00	0.28	ns
RSDS	RSDS 2.5 ⁴	-0.25	0.02	0.30	ns
LVPECL33	LVPECL 3.3 ⁴	-0.37	-0.10	0.18	ns
HSTL18_I	HSTL_18 クラス I, 8mAドライブ	-0.17	0.13	0.43	ns
HSTL18_II	HSTL_18 クラス II	-0.29	0.00	0.29	ns

HSTL18D_I	差動HSTL 18 クラス I, 8mAドライブ	-0.17	0.13	0.43	ns
HSTL18D_II	差動HSTL 18 クラス II	-0.29	0.00	0.29	ns
HSTL15_I	HSTL_15 クラス I, 4mAドライブ	0.32	0.69	1.06	ns
HSTL15D_I	差動HSTL 15 クラス I, 4mAドライブ	0.32	0.69	1.06	ns
SSTL33_I	SSTL_3 クラス I	-0.25	0.05	0.35	ns
SSTL33_II	SSTL_3 クラス II	-0.31	-0.02	0.27	ns
SSTL33D_I	差動SSTL_3 クラス I	-0.25	0.05	0.35	ns
SSTL33D_II	差動SSTL_3 クラス II	-0.31	-0.02	0.27	ns
SSTL25_I	SSTL_2 クラス I, 8mAドライブ	-0.25	0.02	0.30	ns
SSTL25_II	SSTL_2 クラス II, 16mAドライブ	-0.28	0.00	0.28	ns
SSTL25D_I	差動SSTL_2 クラス I, 8mAドライブ	-0.25	0.02	0.30	ns
SSTL25D_II	差動SSTL_2 クラス II, 16mAドライブ	-0.28	0.00	0.28	ns
SSTL18_I	SSTL_1.8 クラス I	-0.17	0.13	0.43	ns
SSTL18_II	SSTL_1.8 クラス II, 8mAドライブ	-0.18	0.12	0.42	ns
SSTL18D_I	差動SSTL_1.8 クラス I	-0.17	0.13	0.43	ns
SSTL18D_II	差動SSTL_1.8 クラス II, 8mAドライブ	-0.18	0.12	0.42	ns
LVTTTL33_4mA	LVTTTL 4mA ドライブ	-0.37	-0.05	0.26	ns
LVTTTL33_8mA	LVTTTL 8mA ドライブ	-0.45	-0.18	0.10	ns
LVTTTL33_12mA	LVTTTL 12mA ドライブ	-0.52	-0.24	0.04	ns
LVTTTL33_16mA	LVTTTL 16mA ドライブ	-0.43	-0.14	0.14	ns
LVTTTL33_20mA	LVTTTL 20mA ドライブ	-0.46	-0.18	0.09	ns
LVCMOS33_4mA	LVCMOS 3.3 4mA ドライブ, fast	-0.37	-0.05	0.26	ns
LVCMOS33_8mA	LVCMOS 3.3 8mA ドライブ, fast	-0.45	-0.18	0.10	ns
LVCMOS33_12mA	LVCMOS 3.3 12mA ドライブ, fast	-0.52	-0.24	0.04	ns
LVCMOS33_16mA	LVCMOS 3.3 16mA ドライブ, fast	-0.43	-0.14	0.14	ns
LVCMOS33_20mA	LVCMOS 3.3 20mA ドライブ, fast	-0.46	-0.18	0.09	ns
LVCMOS25_4mA	LVCMOS 2.5 4mA ドライブ, fast	-0.42	-0.15	0.13	ns
LVCMOS25_8mA	LVCMOS 2.5 8mA ドライブ, fast	-0.48	-0.21	0.05	ns
LVCMOS25_12mA	LVCMOS 2.5 12mA ドライブ, fast	0.00	0.00	0.00	ns
LVCMOS25_16mA	LVCMOS 2.5 16mA ドライブ, fast	-0.45	-0.18	0.08	ns
LVCMOS25_20mA	LVCMOS 2.5 20mA ドライブ, fast	-0.49	-0.22	0.04	ns
LVCMOS18_4mA	LVCMOS 1.8 4mA ドライブ, fast	-0.46	-0.18	0.10	ns
LVCMOS18_8mA	LVCMOS 1.8 8mA ドライブ, fast	-0.52	-0.25	0.02	ns
LVCMOS18_12mA	LVCMOS 1.8 12mA ドライブ, fast	-0.56	-0.30	-0.03	ns
LVCMOS18_16mA	LVCMOS 1.8 16mA ドライブ, fast	-0.50	-0.24	0.03	ns
LVCMOS15_4mA	LVCMOS 1.5 4mA ドライブ, fast	-0.45	-0.17	0.11	ns
LVCMOS15_8mA	LVCMOS 1.5 8mA ドライブ, fast	-0.53	-0.26	0.00	ns
LVCMOS12_2mA	LVCMOS 1.2 2mA ドライブ, fast	-0.46	-0.19	0.08	ns
LVCMOS12_6mA	LVCMOS 1.2 6mA ドライブ, fast	-0.55	-0.29	-0.02	ns
LVCMOS33_4mA	LVCMOS 3.3 4mA ドライブ, slow	0.98	1.41	1.84	ns
LVCMOS33_8mA	LVCMOS 3.3 8mA ドライブ, slow	0.74	1.16	1.58	ns
LVCMOS33_12mA	LVCMOS 3.3 12mA ドライブ, slow	0.56	0.97	1.38	ns
LVCMOS33_16mA	LVCMOS 3.3 16mA ドライブ, slow	0.77	1.19	1.61	ns
LVCMOS33_20mA	LVCMOS 3.3 20mA ドライブ, slow	0.57	0.98	1.40	ns

LVC MOS25_4mA	LVC MOS 2.5 4mA ドライブ, slow	1.05	1.43	1.81	ns
LVC MOS25_8mA	LVC MOS 2.5 8mA ドライブ, slow	0.78	1.15	1.52	ns
LVC MOS25_12mA	LVC MOS 2.5 12mA ドライブ, slow	0.59	0.96	1.33	ns
LVC MOS25_16mA	LVC MOS 2.5 16mA ドライブ, slow	0.81	1.18	1.55	ns
LVC MOS25_20mA	LVC MOS 2.5 20mA ドライブ, slow	0.61	0.98	1.35	ns
LVC MOS18_4mA	LVC MOS 1.8 4mA ドライブ, slow	1.01	1.38	1.75	ns
LVC MOS18_8mA	LVC MOS 1.8 8mA ドライブ, slow	0.72	1.08	1.45	ns
LVC MOS18_12mA	LVC MOS 1.8 12mA ドライブ, slow	0.53	0.90	1.26	ns
LVC MOS18_16mA	LVC MOS 1.8 16mA ドライブ, slow	0.74	1.11	1.48	ns
LVC MOS15_4mA	LVC MOS 1.5 4mA ドライブ, slow	0.96	1.33	1.71	ns
LVC MOS15_8mA	LVC MOS 1.5 8mA ドライブ, slow	-0.53	-0.26	0.00	ns
LVC MOS12_2mA	LVC MOS 1.2 2mA ドライブ, slow	0.90	1.27	1.65	ns
LVC MOS12_6mA	LVC MOS 1.2 6mA ドライブ, slow	-0.55	-0.29	-0.02	ns
PCI33	3.3V PCI	-0.29	-0.01	0.26	ns

1 タイミング加算値はキャラクタライズされているが、全デバイスはテストしていない

2 LVC MOS タイミングは“スイッチングテスト条件”表に規定される負荷条件にて測定

3 他の全ての標準はそれぞれの適切な仕様による

4 これらタイミング加算値は推奨抵抗値で測定

Timing v.A 0.12

sysCLOCK PLL タイミング

推奨動作条件にわたって

パラメータ	記述	条件	Min.	Typ.	Max.	単位
f_{IN}	入力クロック周波数(CLKI、CLKFB)		10	–	435	MHz
f_{OUT}	出力クロック周波数(CLKOP、CLKOS)		10	–	435	MHz
f_{OUT2}	K分周器出力周波数	CLKOK	0.078	–	217.5	MHz
		CLKOK2	3.3	–	145	MHz
f_{VCO}	PLL VCO周波数		435	–	870	MHz
f_{PFD}	位相検出器入力周波数		10	–	435	MHz
AC特性						
t_{DT}	出力クロック・デューティサイクル	選択されるデフォルト・デューティサイクル ³	45	50	55	%
t_{CPA}	Coarse位相調整		-5	0	+5	%
t_{PH}^4	出力位相精度		-5	0	+5	%
t_{OPJIT}^1	出力クロック周期ジッタ	$f_{OUT} > 400\text{MHz}$	–	–	+/-50	ps
		$100\text{MHz} < f_{OUT} < 400\text{MHz}$	–	–	+/-125	ps
		$f_{OUT} < 100\text{MHz}$	–	–	0.025	UIPP
t_{SK}	入力クロック対出力クロック・スキュー	N/M = 整数	–	–	+/-240	ps
t_W	出力クロック・パルス幅	90%または10%で	1	–	–	ns
t_{LOCK}^2	PLLロックイン時間	25M ~ 435MHz	–	–	50	us
		10M ~ 25MHz	–	–	100	us
t_{PJIT}	入力クロック周期ジッタ		–	–	+/-200	ps
t_{FBKDLY}	外部フィードバック遅延		–	–	10	ns
t_{HI}	入力クロックHigh時間	90% ~ 90%	0.5	–	–	ns
t_{LO}	入力クロックLow時間	10% ~ 10%	0.5	–	–	ns
t_R / t_F	入力クロックRise/Fall時間	10% ~ 90%	–	–	1	ns
t_{RSTKW}	RST信号パルス幅(RESETK)		10	–	–	ns
t_{RSTW}	RST信号パルス幅(RESET)		500	–	–	ns

1. ジッタサンプル数は 10,000, プライマリ出力をクリーンな基準クロックで取り込んだ場合

2. PLLリセットとダイナミックな遅延調整では、出力クロックは t_{LOCK} の後に有効

3. LVDS バッファを使用

4. CLKOP に対して

Timing v.A 0.12

LatticeXP2 sysCONFIGポート・タイミング仕様

推奨動作条件にわたって

パラメータ	記 述	Min.	Max.	単位
sysCONFIG POR, 初期化とウェイク・アップ				
t _{ICFG}	V _{CC} から INIT High 時間	–	50	ms
t _{VMC}	t _{ICFG} から有効なマスタ・クロックまでの時間	–	2	us
t _{PRGMRJ}	PROGRAMNピン・パルス拒絶（無効）	–	12	ns
t _{PRGM}	PROGRAMNピンLow入力からコンフィグレーション開始まで	50	–	ns
t _{DINIT}	遅延時間、PROGRAMNピン入力 High から INIT High	–	1	ms
t _{DPPINIT}	遅延時間、PROGRAMNピン入力 Low から INIT Low	–	50	ns
t _{DPPDONE}	遅延時間、PROGRAMNピン入力 Low から Done Low	–	50	ns
t _{IODISS}	PROGRAMNピン入力 Low からユーザI/O Disable	–	35	ns
t _{IOENSS}	起動シーケンス時、CCLKエッジからユーザI/Oがイネーブルされるまでの時間	–	25	ns
t _{MWC}	DoneピンHigh後の起動用マスタクロック数	0	–	サイクル
sysCONFIG SPI ポート（マスタ）				
t _{CFGX}	Init HighからCCLK Low	–	1	us
t _{CSSPI}	Init HighからCSSPIN Low	–	2	us
t _{CSCCLK}	CSSPIN Lowになる前のCCLK Low	0	–	ns
t _{SOCDO}	CCLK Lowからの出力が有効になるまで	–	15	ns
t _{CSPIID}	セットアップ時間、CSSPIN[0:1] Lowから最初のクロックエッジ	2 cyc	600+6cyc	ns
f _{MAXSPI}	最大CCLK周波数	–	20	MHz
t _{SUSPI}	SOSPIデータ、CCLK前のセットアップ時間	7	–	ns
t _{HSPI}	SOSPIデータ、CCLK後のホールド時間	10	–	ns
sysCONFIG SPI ポート（スレーブ）				
f _{MAXSPIS}	スレーブCCLK周波数	–	25	MHz
t _{RF}	Rise / Fall時間	50	–	mV/ns
t _{STCO}	CCLK立ち下がりエッジからSOSPIアクティブ	–	20	ns
t _{STOZ}	CCLK立ち下がりエッジからSOSPIディセーブル	–	20	ns
t _{STSU}	データセットアップ時間(SISPI)	8	–	ns
t _{STH}	データホールド時間(SISPI)	10	–	ns
t _{STCKH}	CCLKクロックパルス幅、High	0.02	200	us
t _{STCKL}	CCLKクロックパルス幅、Low	0.02	200	us
t _{STVO}	CCLK立ち下がりエッジからSOSPI有効	–	20	ns
t _{SCS}	CSSPISN、High時間	25	–	ns
t _{SCSS}	CSSPISN、Low時間	25	–	ns
t _{SCSH}	CSSPISN、ホールド時間	25	–	ns

- INITピンがHighになる前にPROGRAMNピンをトグルすることは許容されていませんので、避けなければなりません。

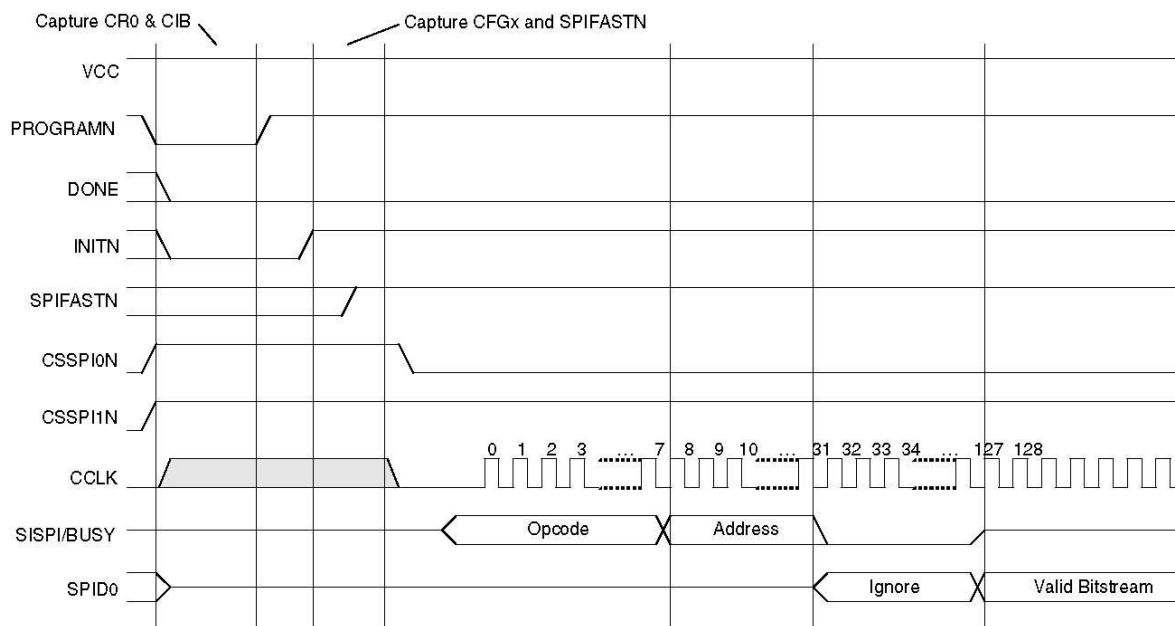
LatticeXP2 オンチップオシレータ/コンフィグレーション・マスタクロック特性

推奨動作条件にわたって

パラメータ	Min.	Max.	単位
マスタクロック周波数	選択値の-30%	選択値の30%	MHz
デューティサイクル	40	60	%

Timing v.A 0.12

図3-9 マスタSPIコンフィグレーション波形



フラッシュ・ダウンロード時間（オンチップ・フラッシュから**SRAM**へ）

推奨動作条件にわたって

パラメータ	パラメータ		Min.	Typ.	Max.	単位
t _{REFRESH}	PROGRAMNをLow->High、DoneがHighになるまで	XP2-5	–	1.8	2.1	ms
		XP2-8	–	1.9	2.3	ms
		XP2-17	–	1.7	2.0	ms
		XP2-30	–	2.0	2.1	ms
		XP2-40	–	2.0	2.3	ms
	PROGRAMNがV _{cc} にプルアップされているとき、パワーアップのリフレッシュ（V _{cc} がV _{cc-min} になった後）	XP2-5	–	1.8	2.1	ms
		XP2-8	–	1.9	2.3	ms
		XP2-17	–	1.7	2.0	ms
		XP2-30	–	2.0	2.1	ms
		XP2-40	–	2.0	2.3	ms

フラッシュプログラム時間

デバイス	フラッシュの規模		プログラム時間 (Typ.)	単位
XP2-5	1.2M	TAG	1.0	ms
		メインアレイ	1.1	s
XP2-8	2.0M	TAG	1.0	ms
		メインアレイ	1.4	s
XP2-17	3.6M	TAG	1.0	ms
		メインアレイ	1.8	s
XP2-30	6.0M	TAG	2.0	ms
		メインアレイ	3.0	s
XP2-40	8.0M	TAG	2.0	ms
		メインアレイ	4.0	s

フラッシュ消去時間

デバイス	フラッシュの規模		プログラム時間 (Typ.)	単位
XP2-5	1.2M	TAG	1.0	s
		メインアレイ	3.0	s
XP2-8	2.0M	TAG	1.0	s
		メインアレイ	4.0	s
XP2-17	3.6M	TAG	1.0	s
		メインアレイ	5.0	s
XP2-30	6.0M	TAG	2.0	s
		メインアレイ	7.0	s
XP2-40	8.0M	TAG	2.0	s
		メインアレイ	9.0	s

FlashBAK時間 (EBRからフラッシュ)

デバイス	EBR規模 (bits)	時間 (Typ.)	単位
XP2-5	166k	1.5	s
XP2-8	221k	1.5	s
XP2-17	276k	1.5	s
XP2-30	387k	2.0	s
XP2-40	885k	3.0	s

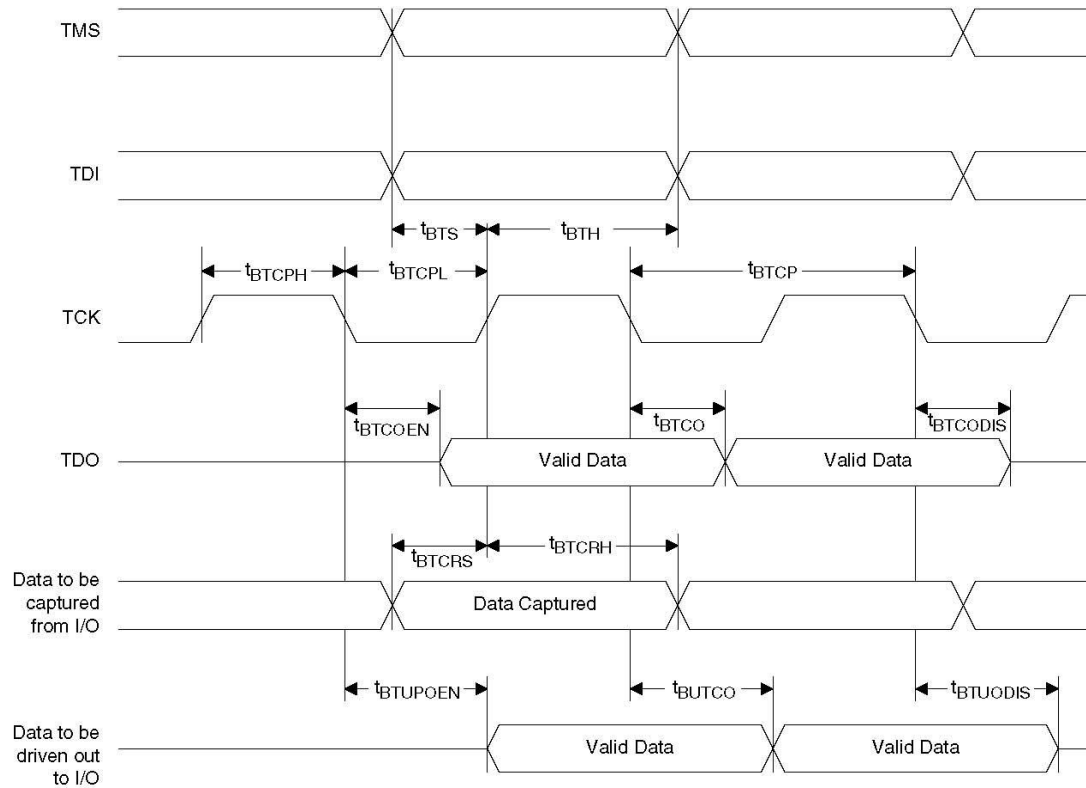
JTAGポート・タイミング仕様

推奨動作条件にわたって

シンボル	パラメータ	Min.	Max.	単位
f _{MAX}	TCK クロック周波数	–	25	MHz
t _{BTCP}	TCK [BSCAN] クロックパルス幅	40	–	ns
t _{BTCPH}	TCK [BSCAN] クロックパルス幅、High	20	–	ns
t _{BTCPL}	TCK [BSCAN] クロックパルス幅、Low	20	–	ns
t _{BTS}	TCK [BSCAN] セットアップ時間	8	–	ns
t _{BTH}	TCK [BSCAN] ホールド時間	10	–	ns
t _{BTRF}	TCK [BSCAN] 立ち上がり/立ち下がり時間	50	–	mV/ns
t _{BTCTO}	TAP コントローラ、クロック立ち下がりエッジから有効出力	–	10	ns
t _{BTCTODIS}	TAP コントローラ、クロック立ち下がりエッジから有効ディセーブル	–	10	ns
t _{BTCTOEN}	TAP コントローラ、クロック立ち下がりエッジから有効イネーブル	–	10	ns
t _{BTCTRS}	BSCAN テスト・キャプチャ・レジスタ、セットアップ時間	8	–	ns
t _{BTCTRH}	BSCAN テスト・キャプチャ・レジスタ、ホールド時間	25	–	ns
t _{BUTCO}	BSCAN テスト・アップデート・レジスタ、クロック立ち下がりエッジから有効出力	–	25	ns
t _{BTUODIS}	BSCAN テスト・アップデート・レジスタ、クロック立ち下がりエッジから有効ディセーブル	–	25	ns
t _{BTUPOEN}	BSCAN テスト・アップデート・レジスタ、クロック立ち下がりエッジから有効イネーブル	–	25	ns

Timing v.A 0.12

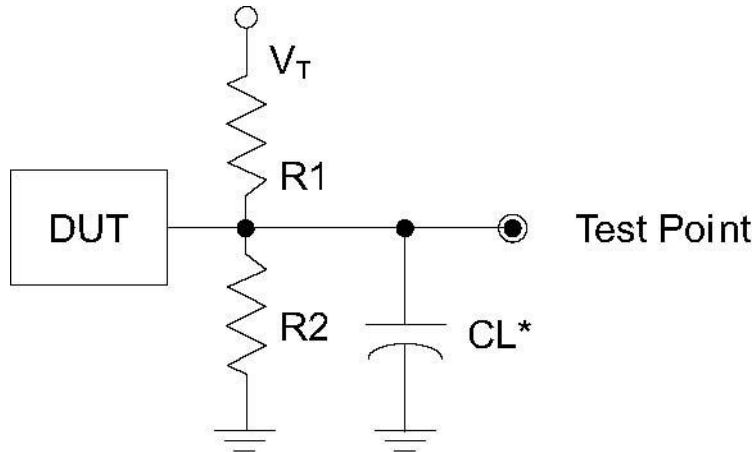
図3-10 JTAGポートタイミング波形



スイッチング・テスト条件

図3-11はACテストに用いられる出力テスト負荷を示します。抵抗、キャパシタンス、電圧、および他のテスト条件の特定の値は表3-6で示されます。

図3-11 出力テスト負荷、LVTTTLおよびLVCMOS標準



*CL Includes Test Fixture and Probe Capacitance

表3-6 テストフィクスチャの必要なコンポーネント、非終端インターフェイス

テスト条件	R_1	R_1	C_L	タイミング Ref.	V_T
LVTTTLと他のLVCMOS設定 (L → H, H → L)	∞	∞	0pF	LVCMOS 3.3 = 1.5V	–
				LVCMOS 2.5 = $V_{CCIO}/2$	–
				LVCMOS 1.8 = $V_{CCIO}/2$	–
				LVCMOS 1.5 = $V_{CCIO}/2$	–
				LVCMOS 1.2 = $V_{CCIO}/2$	–
LVCMOS 2.5 I/O (Z → H)	∞	1M Ω		$V_{CCIO}/2$	–
LVCMOS 2.5 I/O (Z → L)	1M Ω	∞		$V_{CCIO}/2$	V_{CCIO}
LVCMOS 2.5 I/O (H → Z)	∞	100		$V_{OH} - 0.10$	–
LVCMOS 2.5 I/O (L → Z)	100	∞		$V_{OL} + 0.10$	V_{CCIO}

注: 他の全てのインターフェイス用の出力テスト条件はそれぞれの標準で決定される

LatticeXP2 ファミリデータシート

ピンアウト情報

信号記述

信号名	I/O	記述
汎 用		
P[Edge] [Row/Column Number*]_[A/B]	I/O	[Edge]はパッドがあるデバイスの辺(エッジ)を示します。有効なエッジ名はL(左)、B(下)、R(右)、T(上)です。 [Row/Column Number]はデバイスのそのPICがあるPFU Row(列)かColumn(行)を示します。EdgeがTかBのときは、Row番号のみを明示する必要があります。EdgeがLかRのときは、Column番号のみを明示する必要があります。 [A/B]はパッドが接続されているPIC内のPIOを示します。 これらユーザ・プログラマブルなピンのいくつかは特別な機能ピンと共有されます。専用ピンとして用いられない時は、ユーザロジックのためのI/Oとしてこれらのピンをプログラムすることができます。 コンフィグレーションの間、内部プルアップ抵抗がイネーブルされた状態で、ユーザ・プログラマブルI/Oはトライステートにされます。また、どれかのピンが使用されていない(または、パッケージ・ピンにボンディングされていない)場合、コンフィグレーションの後に内部プルアップ抵抗がイネーブルされた状態で、それはトライステートにされます。
GSRN	I	グローバル・リセット信号(Lowアクティブ)。どのI/OピンもGSRNでにできます。
NC	—	非接続(NC)
GND	—	グラウンド。専用ピン
V _{CC}	—	コア・ロジックのための電源ピン。専用ピン
V _{CCAUX}	—	補助(Auxiliary)電源供給ピン。それは全ての差動と基準電圧を参照する入力バッファを動かします。専用ピン
V _{PLL}	—	PLL用の電源供給ピン。csBGA、TQFP、PQFPパッケージのみ
V _{CCIOx}	—	I/Oバンクx用の電源供給ピン。専用ピン
V _{REF1(x)} , V _{REF2(x)}	—	I/Oバンクxのための参照電源供給ピン。V _{REF} 入力が割り当てられるピンは各バンクで予め決まっています。V _{REF} 入力として用いられないと、それらはI/Oピンとして用いることができます。
PLLとクロック機能(PLLかクロック・ピンとして使用しない場合は、ユーザ・プログラマブルI/Oピンとして用いられます)		
[LOC][num]_V _{CCPLL}	I	PLLの電源供給ピン: ULM, LLM, URM, LRM, num = 中央からのrow,
[LOC][num]_GPLL[T, C]_IN_A	I	汎用PLL(GPLL)用基準クロック入力パッド: ULM, LLM, URM, LRM, num = 中央からのrow, T = true and C = complement, インデックスはそれぞれの側でA,B,C..
[LOC][num]_GPLL[T, C]_FB_A	I	オプションの汎用PLL(GPLL)用フィードバック(PLL)入力パッド: ULM, LLM, URM, LRM, num = 中央からのrow, T = true and C = complement, インデックスはそれぞれの側でA,B,C..
PCLK[T, C]_[n:0]_[3:0]	I	ブライマリックロック・パッド: T = true and C = complement, 辺あたりn個, インデックスはそれぞれのバンクで0,1,2,3
[LOC]DQS[num]	I	DQS入力パッド: T (Top), R (Right), B (Bottom), L (Left), DQS, num = ボール機能番号。どのパッドも出力として構成できる
テストとプログラミング(専用ピン)		
TMS	I	テストモード選択入力。1149.1ステートマシンを制御するために用いられる。コンフィグレーションの間、プルアップがイネーブルされる。

TCK	I	テストクロック入力ピン。1149.1ステートマシンのクロックとして用いられる。プルアップはイネーブルされない。
TDI	I	テストデータ・ピン。1149.1ステートマシンを用いて、デバイスへデータをロードするために使用される。パワーアップの後、適切なコマンドを送ることによって、このTAPポートはコンフィグレーションのための動作をさせることができる。 (注：コンフィグレーション・ポートがいったん選択されると、それはロックされる。パワーアップ・シーケンスまで別のコンフィグレーション・ポートを選択することができない。)コンフィグレーションの間、プルアップがイネーブルされる。
TDO	O	出力ピン。テストデータ出力ピンは、1149.1によってデータをデバイスからシフトアウトするために用いられる。
V _{CCJ}	—	V _{CCJ} - JTAG TAPのための電源ピン。
コンフィグレーション・パッド(sysCONFIGの間、用いられる)		
CFG[1:0]	I	モード・ピンはINITNの立ち上がりエッジでラッチされ、コンフィグレーション・モード値を指定する。コンフィグレーションの間、内部プルアップがイネーブルされる。
INITN ¹	I/O	オープンドレイン・ピン。FPGAが構成される準備ができているのを示す。コンフィグレーションの間、内部プルアップはイネーブルされる。
PROGRAMN	I	Lowにアサートされると、コンフィグレーション・シーケンスを開始する。このピンには、常にアクティブ・プルアップがある。
DONE	I/O	オープンドレイン・ピン。コンフィグレーション・シーケンスが完了し、スタートアップ・シーケンスが進行しているのを示す。
CCLK	I/O	sysCONFIGモードでFPGAを構成するためのコンフィグレーション・クロック。
SISPI ²	I/O	スレーブSPIモードではデータ入力ピン、マスターSPIモードではデータ出力ピン。
SOSPI ²	I/O	スレーブSPIモードではデータ出力ピン、マスターSPIモードではデータ入力ピン。
CSSPIN ²	O	マスターSPIモードで外部SPIフラッシュのチップセレクト出力。内部に弱いプルアップあり。
CSSPISN	I	スレーブSPIモードでチップセレクト。内部に弱いプルアップあり。
TOE	I	テストイネーブルで、Lowにされると全I/Oピンをトライステートにする。内部に弱いプルアップがあるが、本機能を使用しない時は外部にプルアップ抵抗を接続することを推奨。

1. アクティブにドライブされない場合、内部プルアップでは不十分かもしれません。4.7kΩから10kΩの外部プルアップ抵抗をお勧めします。
2. マスタSPIモードでデバイスを用いるとき、JTAG操作と互いに排他的でなければなりません(すなわち、TCKはGNDレベル)。或いはシステムJTAGテスト環境で用いられる場合、JTAG TCKはフリーランしなければなりません。マスタSPIモードがJTAGダウンロード・ケーブルと一緒に用いられる場合、ケーブルが抜かれた後にデバイス電源のサイクリング(オフとオン)が必要です。

個々のピン・信号配置については英語版データシートを参照して下さい。

ロジック信号接続

パッケージピンアウト情報は、ラティス・ウェブサイトのLatticeXP2製品ページ www.latticesemi.com/products/fpga/xp2内 “Documents & Downloads” セクションのデータシートをクリックすると表示される、ページから入手できます。或いは Lattice Diamondソフトウェアにもロードされています。

熱管理

どのような FPGA 設計においても、確実な設計手法の一つとしての熱管理を推奨します。システムの熱特性を評価するために、ラティスは全デバイスのデータシートで最大許容ジャンクション温度を規定しています。デバイスとパッケージがジャンクション温度リミットを超えないことを確実にするために、ユーザはそのデザイン特定の熱解析を実施する必要があります。デバイス/パッケージ固有の熱抵抗値については、熱管理ドキュメントを参照してください。

より詳細について

- ・ TN1139, Power Estimation and Management for LatticeXP2 Devices （電力見積もりと管理）
- ・ 電力見積もりツール、パワーカリキュレータはLattice Diamondデザインツールに含まれていますが、スタンドアローン版もダウンロード可能です：www.latticesemi.com/products/designsoftware

日本語版改訂履歴

Ver.	ページ	更 新 内 容
1.6-J0	-	新規発行(Sept., 2008)、英語版Rev.1.6 (Aug.2008)に対応。
1.6-J1	2-8	PLL タイポ修正
1.6-J2	All	タイポ見直し・修正
1.6-J3	2-39	Mar.15,2011: TN1144 → TN1220
1.8		(英語版ver.1.7と1.8の更新点を反映)
	2-1	アーキテクチャ章、SED記述削除
	2-39	SEDパラグラフの動作条件についての記述を更新
	3-1	推奨動作条件の脚注5追加 オンチップフラッシュメモリのデータリテンションの記述方法を更新
	3-2	ESD項を記述と共に追加
	3-27	sysCONFIG表の脚注を追加
	4-3	ページと記述追加 (英語版は変更なし)
	(該当箇所)	ispLEVERを(Lattice) Diamondに変更
1.8b	1-1	Aug.28,2012: 表1-1、パッケージ表記行132 csBGAと144 TQFPを訂正 (日本語版のみ)