



针对采用**BGA**封装的可编程逻辑器件设计的 低成本布板技术

莱迪思半导体白皮书

2010年7月

Lattice Semiconductor
5555 Northeast Moore Ct.
Hillsboro, Oregon 97124 USA
Telephone: (503) 268-8000
www.latticesemi.com

BGA封装概述

为了满足不断变化的市场标准和更短的产品上市时间，可编程逻辑器件（PLD）越来越广泛地应用于电路板和系统设计中。使用可编程逻辑器件能够加快产品上市时间，并且相对于特定应用集成电路（ASIC）和特定应用标准产品（ASSP）而言，具有更大的设计灵活性。可编程逻辑器件因其新的产品架构具有降低功耗、新的封装选择和更低的单片成本的特点，从而为许多产品（如手持设备）所采用。典型的可编程逻辑器件应用包括：上电时序、电平转换、时序控制、接口桥接、I/O扩展和分立逻辑功能。

日益复杂的系统要求推动了对于提高PLD逻辑密度和增加I/O引脚的需求。因此，球栅阵列（BGA）成为了PLD可选的封装方式。BGA封装选择，如片级BGA，精细间距BGA和芯片阵列BGA，已经很大程度上取代了在大多数PLD上最常用的四方扁平封装（QFP）。BGA受到系统设计师的广泛欢迎，主要是由于其具有较高的I/O密度，从而大大提高了引脚数与电路板面积比，因为它比QFP封装具有更小的封装尺寸，因而也是空间受限应用的理想选择。它可以节省电路板面积及其封装本身的高度。BGA封装的其他主要优点包括：更好的散热性能、更小的未对准公差、可靠的封装结构和经验证的组装流程。

系统设计师面临的挑战

随着可编程逻辑器件的演变，BGA封装向着引脚数增加，引脚间距减小的方向发展。引脚间距或焊球间距是指两个相邻引脚中心或焊球中心之间的距离。引脚间距对从PLD引出I/O的布线产生重大影响。更高引脚数和更小引脚间距的发展趋势使得系统设计师面临巨大挑战，他们必须使用更激进的设计规则，通过先进的叠层和过孔技术以满足设计要求。总而言之，这些因素大大增加了印刷电路板成本。本白皮书探讨了系统设计师可以在进行采用BGA封装的PLD设计时，用以降低电路板成本的一些技巧。

影响印刷电路板制造成本的因素

印刷电路板的制造成本是许多电子产品的主要考虑因素。各种影响印刷电路板成本的因素有：印刷电路板层数、叠层技术和过孔技术的选择、设计规则和布线技巧。

印刷电路板层数

印刷电路板的层数是影响印刷电路板成本的主要因素之一。术语“**BGA breakout**”是指在印刷电路板正常布线之前，**fanout**和引出引脚布线到器件周围。**BGA breakout**是影响印刷电路板层数的最重要因素。可以通过选择适当的**BGA breakout**机制、叠层模型和过孔技术来使印刷电路板层数最小化。大多数可编程逻辑器件供应商提供**BGA breakout**技巧，以协助电路板设计和布局。这些技巧有助于优化印刷电路板的制造并降低成本。

叠层和过孔模型

叠层和过孔模型的选择对于减少印刷电路板层数和制造成本的影响最大。叠层技术主要有两种——**FR-4**层压和高密度互连（**HDI**）。**FR-4**层压叠层技术用于较大的电路设计，如电脑主板。**HDI**更适合于空间受限的应用，如手持设备。

多层印刷电路板使用过孔或电镀通孔将信号从一层传输到另一层上。过孔类型主要有四种：通孔、盲孔、埋孔（或嵌入孔）和微孔。

通孔提供了贯通印刷电路板顶层和底层的连接。盲孔提供了顶层或底层与印刷电路板内部某一层之间连接。嵌入孔或埋孔提供了印刷电路板内部各层之间的连接。微孔是激光钻孔而成的极小的孔，提供了多层电路板中几层板之间的电气连接。微孔用于**HDI**电路板。

通常情况下，采用通孔的层压印刷电路板的制造成本最低，采用微孔的**HDI**叠层板的制造成本最高。采用盲孔或埋孔的层压板的制造成本比采用通孔的层压板高，而比采用微孔的**HDI**叠层板的成本低。现在有几种新的技术，使用环氧填充以及锡膜覆盖过孔，也增加了电路板的成本。

设计规则

设计规则影响了制造良率和性能。当采用更激进的设计规则时会增加制造成本。设计规则的两个示例如下。这两个设计规则示例使用了8x8 mm, 0.5 mm间距, 132球型csBGA封装的莱迪思MachXO PLD (LCMXO640-M132/MN132)。在每个示例中, MachXO PLD放在一块4层的叠层电路板上。请注意, 例1采用了比例2更激进的设计规则。因此, 为满足第一个示例中设计规则的印刷电路板成本将超过第二个示例中的电路板。

示例1

Specification	mm	mils
Trace Width/Space	0.085/0.085	3.3/3.3
Ball Pad	0.23	9
Ball Mask	0.38	15
Escape Via Pad	0.40	16
Escape Via Drill	0.15	6
Escape Via Mask	0.50	20
Plane Antipad Space	0.50	20
Thermal Relief	0.50	20

示例2

Specification	mm	mils
Trace Width/Space	0.10/0.10	4/4
Ball Pad	0.23	9
Ball Mask	0.38	15
Escape Via Pad	0.40	16
Escape Via Drill	0.15	6
Escape Via Mask	NA	
Plane Antipad Space	0.55	22
Thermal Relief	0.50	20

大多数的PLD供应商提供设计规则和封装布局, 如下面表格所示。这有助于降低制造成本, 而且得到大多数印刷电路板制造商的支持。

	Pitch 0.4 mm ucBGA	Pitch 0.5 mm csBGA	Pitch 0.8 mm caBGA
SMD Pad Recommendations			
Optimum Solder Land Diameter	0.25	0.40	0.50
Solder Land Diameter Range	0.20 – 0.25	0.25 – 0.40	0.4 – 0.60
Optimum Solder Mask Opening	0.20	0.25	0.40
Solder Mask Opening Range	0.18 – 0.22	0.20 – 0.30	0.35 – 0.50
NSMD Pad Recommendations			
Optimum Solder Land Diameter	0.16	0.23	0.35
Solder Land Diameter Range	0.14-0.18	0.20-0.30	0.35-0.50
Optimum Solder Mask Opening	0.22	0.35	0.45
Solder Mask Opening Range	0.20-0.25	0.30-0.40	0.45-0.55

表1：莱迪思半导体推荐的针对不同引脚间距封装的焊盘

Package	Example #	Pitch (mm)	Signal/Power Layers	Trace/Width-Space (mm)	Ball Pad (mm)	Ball Mask (mm)	Via Pad (mm)	Via Drill (mm)
MN64	1	0.5	6	.100/.100	.23	.33	.30	.125
UMN64	1	0.4	6	.100/.100	.18	.28	.25	.10
MN100	1	0.5	4	.085/.085	.23	.38	.45	.20
	2	0.5	4	.100/.100	.23	.38	.45	.20
MN132	1	0.5	4	.085/.085	.23	.38	.40	.15
	2	0.5	4	.100/.100	.23	.38	.40	.15
MN144	1	0.5	6	.100/.100	.23	.33	.30	.125
	2	0.5	4	.100/.100	.23	.38	.30	.125
BN256	1	0.8	6	.100/.100	.35	.50	.40	.125
	2	0.8	4	.100/.100	.35	.50	.40	.15

表2: 莱迪思半导体针对**MachXO**和**ispMach4000ZE**器件的封装布局示例小结

布线技巧

一旦选定了合适的叠层技术、过孔模型和设计规则, **Fanout**过孔样式就成了影响使用了BGA breakout技术的电路板层数的最重要因素。下面的几个技巧有助于降低成本:

引出引脚到器件周围使得更多的引脚可以布线在同一层上。当使用引脚间距小于0.8 mm BGA时, 引出前两排引脚的fanout过孔到器件周围并尽量远离BGA封装。将它们引得越远, 可使得后两排引脚能够引出并布线在同一层上。这将有助于减少印刷电路板层数和制造成本。

使用北、南、东、西 (NSEW) 或偏重于层的走线来提高效率。当只有2至4层可用于BGA布线时，由于极高的布线密度，引出到每一层的各个方向（也称为NSEW布线）是合理的。但是，当可用于BGA的布线超过4层时，使用偏重于层的概念，即引出布线符合偏重于层，可更有效的布线。

采用四象限dog-bone布线方法来增加布线密度。当在一层的各个方向上引出引脚时，如果引出布线和过孔样式（也称为dog-bone）在不同象限有不同的方向，则会有助于布线。这是一种增加布线密度的有效方式。下图显示了一个四象限dog-bone布线示例。

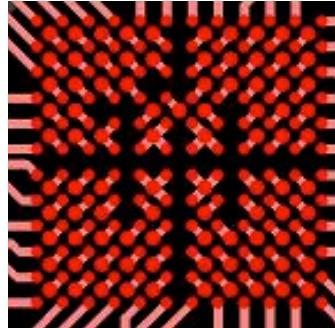


图1——用于7x7 mm, 0.5 mm引脚间距, 144球型CsBGA封装的ispMACH 4000ZE (LC4256ZE-MN144) 的四象限dog-bone样式fanout示例

请注意四象限dog-bone布线增加了象限中央原点处行与列的布线通道。这个空间可用于更多信号的布线。在电路板上，该列和行的布线通道适合用于放置添加电容和上拉电阻。四象限dog-bone布线与焊盘内过孔 (via-in-pad) 方式相比具有更低成本以及更低风险的焊接问题。

使用焊盘内过孔为引出引脚布线提供空间。使用焊盘内过孔方式可以留出焊盘与焊盘之间的空间，用于其他信号的布线。顾名思义，BGA球型焊盘的中心可以做成通孔。图2展示了这个技巧。



图2——8x8 mm, 0.5 mm引脚间距, 132球型CsBGA封装的MachXO PLD (LCMXO640-M132/MN132) 使用焊盘内过孔引出引脚布线的示例

三行BGA球型焊盘如图所示。中间行使用焊盘内过孔。当装配电源层或者地层时，这种技巧是最有用的，因为它实现了BGA下面连续的电源层或地层。当使用焊盘内过孔，我们必须记住，由于从fanout和过孔引出引脚的布线方式使得BGA下方电路板的背面可以用于电容和电阻的空间较少。

对齐盲孔以增加布线密度。当使用盲孔时，在行和列方向上对齐盲孔是增加布线密度的一个非常有效的方法。特别是当使用多引脚数的BGA时最为有效，并且此时引出器件引脚是影响电路板层数的主要因素。

使用微孔的HDI叠层技术来减少电路板层数。微孔与HDI有着密不可分的联系。使用微孔对于减少HDI叠层电路板层数是非常重要的。

小结

随着每一代球型BGA封装的引脚间距越来越小，需要开发新的印刷电路板制造工艺和信号过孔类型来处理更高的布板复杂度。通过查看可编程逻辑器件球型封装密度和引脚间距、应用的I/O信号要求，以及印刷电路板制造设备在生产上的限制，系统设计人员可以更好地作出设计决策之间的权衡。大多数可编程逻辑器件供应商在他们的网站上发布了印刷电路板布局技巧和BGA breakout示例。系统设计人员可以利用这些信息来降低印刷电路板成本。

###