

LatticeXP2 系列

瞬时上电、安全、单芯片FPGA，拥有完备的开发平台

LatticeXP2™是一款瞬时上电、安全、小尺寸的FPGA，具有多功能的开发平台，可快速实现设计创意并加速产品上市时间。

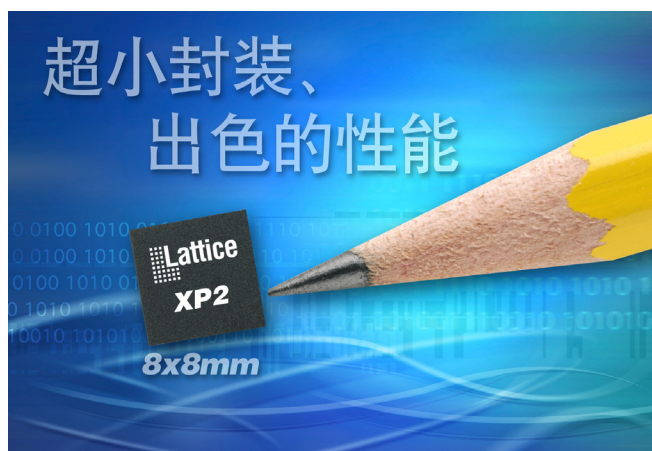
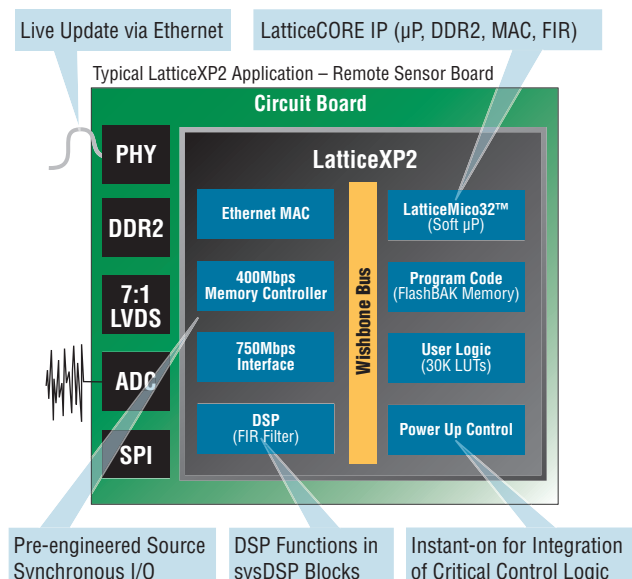
LatticeXP2提供了两倍于广受欢迎的MachXO™器件的逻辑和信号处理资源，可实现设计应用从MachXO器件的无缝升级。高速7:1 LVDS接口为视频应用提供了快速的图像数据传输。LatticeMico32™软处理器甚至允许LatticeXP2被用作一个微控制器。

LatticeXP2器件是基于莱迪思独特的flexiFLASH™架构，结合了一个基于FPGA基本结构的4输入查找表（LUT）以及用于设计数据片上存储的闪存非易失性单元。flexiFLASH架构提供了分布式和嵌入式存储器、增强型sysDSP™块、锁相环（PLL）和预置的源同步I/O。多功能I/O支持DDR/DDR2以及7:1 LVDS。

此外，LatticeXP2器件特性还包括：能够访问通用串行TAG存储器、固有的设计安全性、128位AES位流加密、通过TransFR™实现实时更新和现场重构以及双启动技术。

莱迪思的ispLEVER®设计工具使您能使用LatticeXP2系列FPGA有效地实现复杂的设计。适用于LatticeXP2系列的预先设计的IP（Intellectual Property）LatticeCORE™模块增强了ispLEVER®工具的功能。通过使用这些标准的IP模块，设计师们可以有更多时间专注于他们自己的独特设计，提高其设计效率。

完整的非易失性片上系统



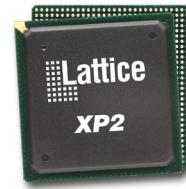
主要特性和优点

- flexiFLASH架构
 - 瞬时上电（1ms），单片集成
 - 高的逻辑与I/O比
 - 嵌入式和分布式存储器
 - 灵活、高性能的I/O
- 现场更新技术
 - TransFR技术——在设备持续工作的情况下更新逻辑配置
 - 使用外部SPI闪存的双引导功能提高了可靠性
 - 使用128位AES位流加密的安全更新
- 优化的FPGA架构
 - 密度从5K到40K的4输入查找表（LUT）
 - 高达885 Kbit的sysMEM™ 模块RAM
 - 高达83 Kbit的分布式RAM
 - 低成本的TQFP、PQFP和BGA封装
- 高性能sysDSP模块
 - 3至8个乘法和累加模块
 - 12至32个18x18乘法器
- 灵活的sysIO™缓冲器支持:
 - LVCMOS 3.3/2.5/1.8/1.5/1.2; LVTTTL
 - SSTL 18 class I、II; SSTL 3/2 class I、II
 - HSTL15 class I; HSTL18 class I、II
 - PCI
 - LVDS、Bus-LVDS、LVPECL
- 预置的源同步接口
 - 高达200MHz/400Mbps的DDR/DDR2
 - 高达600Mbps的7:1 LVDS
 - 高达750Mbps的通用接口
- 多达4个sysCLOCK™ PLL
- 系统级支持
 - 用于器件编程的SPI/JTAG接口
 - IEEE标准1149.1边界扫描
 - 用于初始化和通用功能的板上振荡器
 - 软错误检测（SED）逻辑
 - 1.2V电源核电压

LatticeXP2 架构

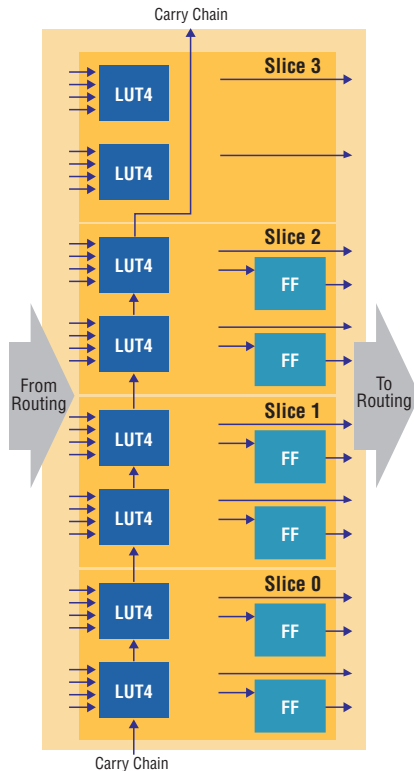
架构概述

LatticeXP2 FPGA将片上闪存存储器和SRAM可编程LUT结合在一起，它们之间通过互联来提供优化的低成本架构，实现了高性能的sysMEM嵌入式RAM模块、分布式存储器、sysCLOCK PLL、DDR存储器接口和sysIO缓冲器等。

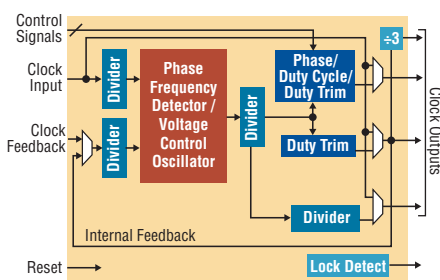


LatticeXP2 FPGA提供了瞬时上电、非易失性闪存和可重构的SRAM，在单芯片中同时提供两种最佳功能。

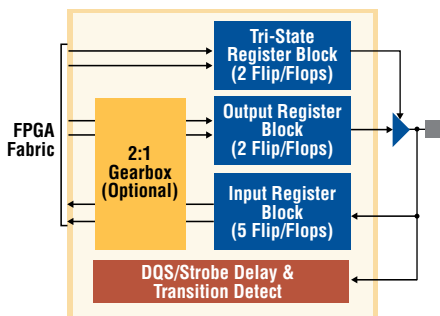
PFU框图



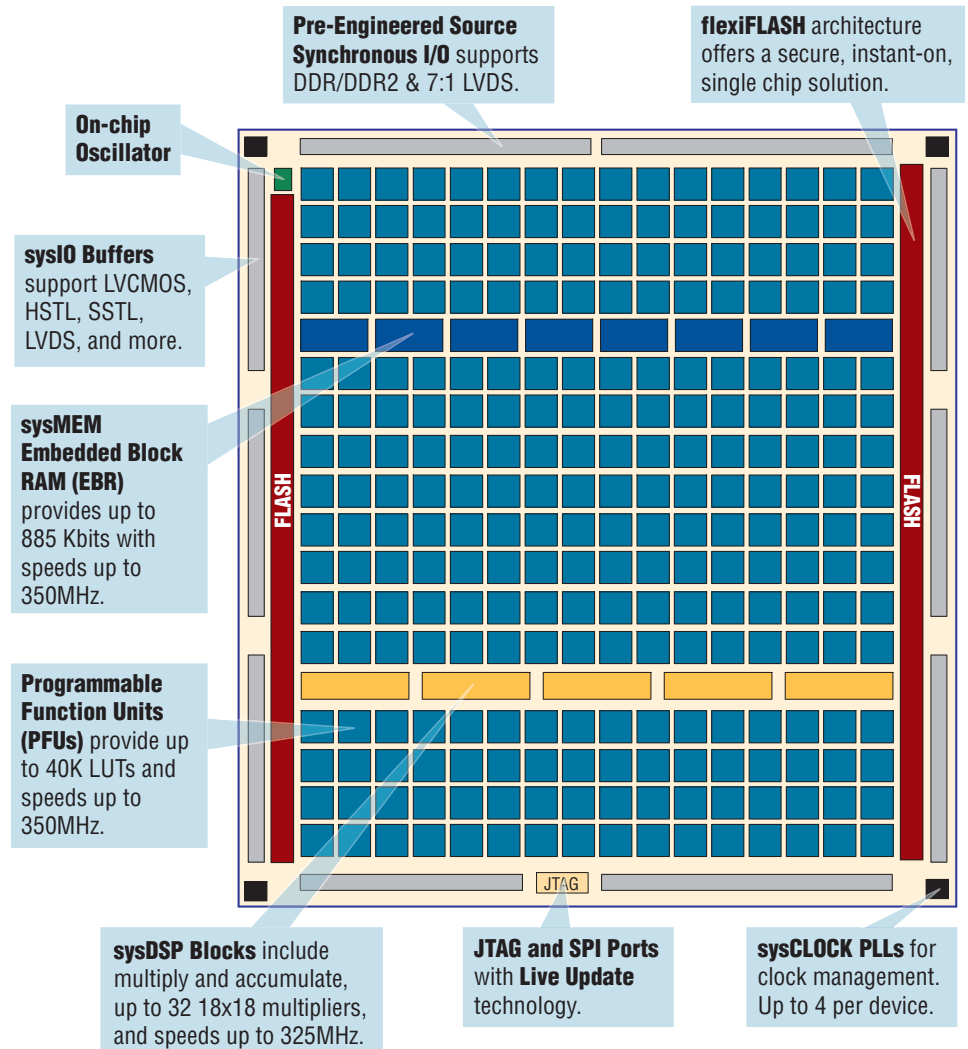
sysCLOCK PLL框图



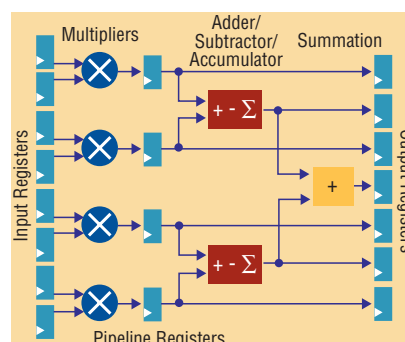
sysIO框图



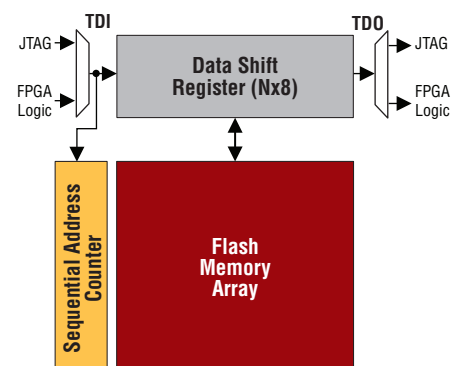
LatticeXP2框图



sysDSP框图



串行TAG存储器



Brevia 开发套件

概述

LatticeXP2 Brevia开发套件是一款易于使用、低成本的平台，适用于使用LatticeXP2 FPGA的评估和设计。该套件提供了免费的设计工具、参考设计、现成的SoC演示示例以及一块小尺寸的带有LatticeXP2 LFXP2 - 5E器件的评估板。

ispLEVER Starter开发工具 **免费**

莱迪思免费的ispLEVER软件开发工具提供了一个全面的LatticeXP2架构设计环境。包括设计输入、综合、映射、布局布线、I/O规划、仿真和器件编程。可以从莱迪思网站上下载ispLever Starter: www.latticesemi.com/products/designsoftware/isp-lever/ispleverstarter

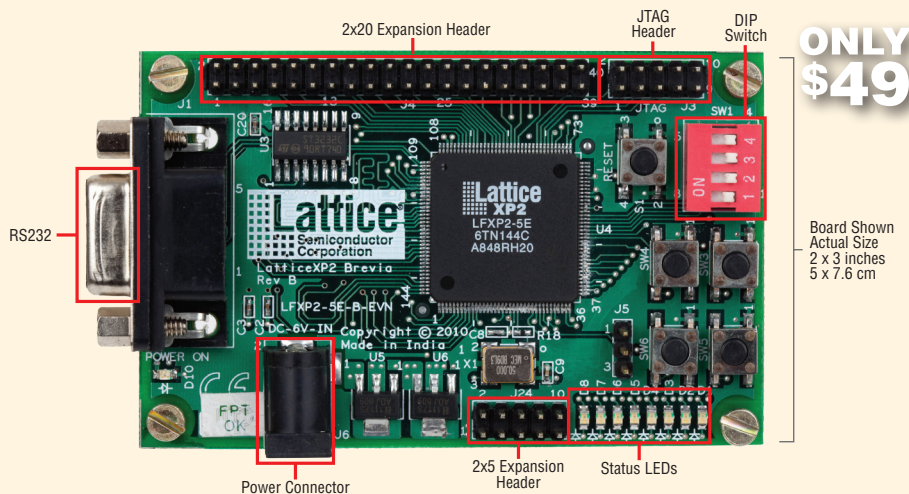
参考设计 **免费**

莱迪思提供了一系列扩展的IP核和参考设计。专为LatticeXP2架构而优化，可用的参考设计包括常用的协议和连接标准，如I2C、SPI、UART和PCI。参考设计、源代码和文档可从莱迪思网站免费下载。欲了解更多信息，请访问www.latticesemi.com/ip

使用Brevia SoC设计加快产品上市时间 **免费**

Brevia评估板采用了LatticeXP2 FPGA，内部预编程了全面的片上系统（Brevia SoC）。Brevia SoC演示示例集成了多个莱迪思参考设计，包括LatticeMico8™（LM8）微控制器、WISHBONE互连以及适用于SPI和SRAM的外设控制器。评估板可以由RS-232/USB连接的一个Windows或Linux终端程序，通过开关和菜单界面进行控制。有关Brevia开发套件的完整文档，请访问www.latticesemi.com/latticexp2-brevia

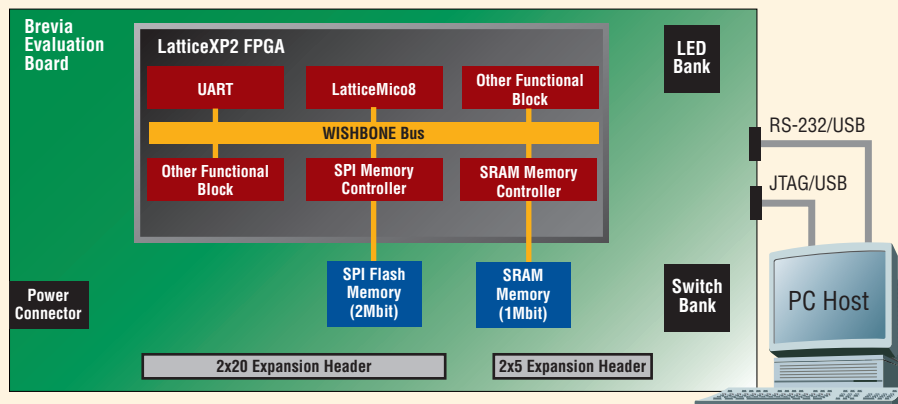
LatticeXP2 Brevia评估板——俯视图



主要特性

- LatticeXP2 LFXP2-5E-6TN144C器件
- 2 Mb SPI闪存
- 1 Mb SRAM存储器
- 通过标准并行电缆或USB电缆编程
- RS-232接口
- JTAG接口
- 2x20和2x5扩展插头
- 通用I/O和复位按钮
- 4位DIP开关
- 8个状态LED
- 快速入门指南
- CE标志、中国RoHS环保使用期限（EFUP）和废弃电气及电子设备（WEEE）指示规范

Brevia评估板框图

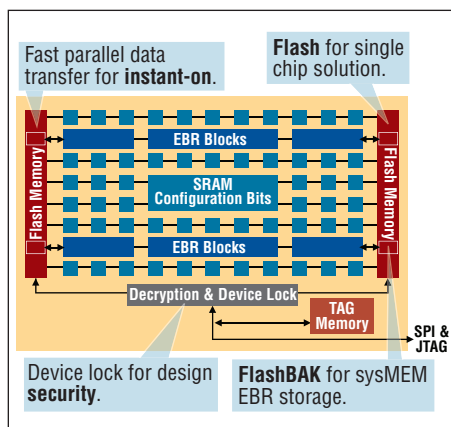


订购信息

产品	说明	订购部件编号
LatticeXP2 Brevia开发套件	LatticeXP2 Brevia评估板采用了LFXP2-5E-6TN144C器件、并行电缆、快速入门指南和演示设计	LFXP2-5E-B-EVN

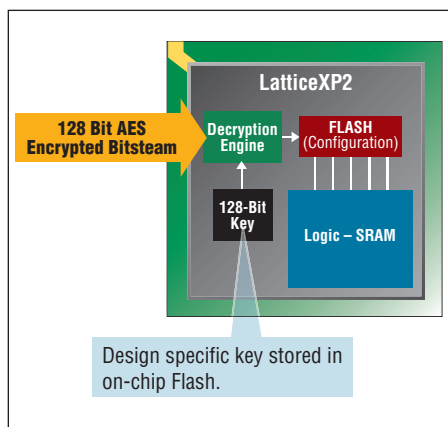
LatticeXP2平台的优点

flexiFLASH架构



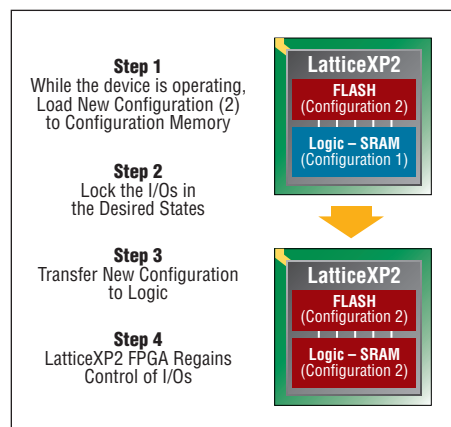
瞬时上电（1ms）、小尺寸芯片，支持高速7:1 LVDS（840 Mbps）接口。

128位AES位流加密



通过强大的128位AES位流加密和特定设计密钥确保了设计的安全性。

TransFR技术



TransFR技术允许系统在持续工作的状态下对LatticeXP2 FPGA进行重新编程。

器件选型指南

参数	LFXP2-5	LFXP2-8	LFXP2-17	LFXP2-30	LFXP2-40
LUT (K)	5	8	17	29	40
sysMEM™ EBR RAM模块	9	12	15	21	48
嵌入式存储器 (Kbit)	166	221	276	387	885
分布式存储器 (Kbit)	10	18	35	56	83
sysDSP块	3	4	5	7	8
18x18乘法器数量	12	16	20	28	32
PLL的数量	2	2	4	4	4
Vcc电压 (V)	1.2	1.2	1.2	1.2	1.2
封装和I/O组合					
132球型csBGA (8 x 8 mm) ¹	86	86			
144引脚TQFP (20 x 20 mm) ¹	100	100			
208引脚PQFP (28 x 28 mm) ¹	146	146	146		
256球型ftBGA (17 x 17 mm) ¹	172	201	201	201	
484球型fpBGA (23 x 23 mm)			358	363	363
672球型fpBGA (27 x 27 mm)				472	540

1. 除LatticeXP2-30外，都具有符合汽车温度要求的封装。所有封装都符合标准的商业或工业温度范围

应用支持

+86-21-52989090

techsupport-asia@latticesemi.com

www.latticesemi.com.cn

