

MachXO ファミリー

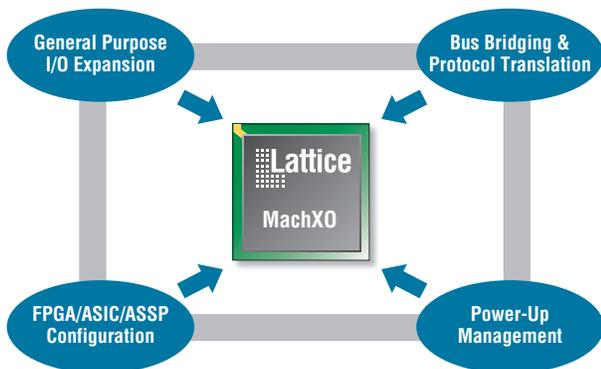
低ロジック規模のアプリケーション用に最適化

不揮発性で、何度でも再構成可能なプログラマブル・ロジックデバイス(PLD)のMachXO™ファミリーは、これまでにCPLDを用いるか、或いは低ロジック規模のFPGAに実装されたアプリケーションのために設計されています。インスタントオンで使いやすいMachXOデバイスは、最適化されたルックアップテーブル(LUT)アーキテクチャを低コストの組み込みフラッシュ・プロセステクノロジーに組み合わせることで、低ロジック規模アプリケーションのための最も多能な不揮発性PLDです。

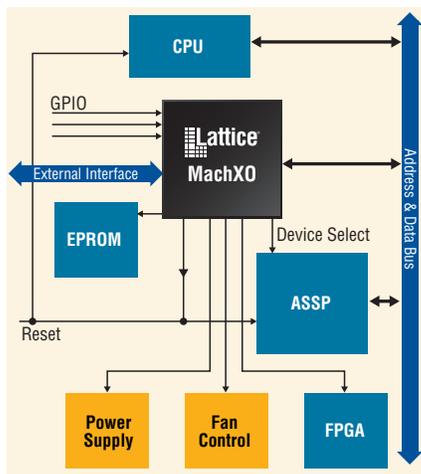
MachXO PLDファミリーは組み込みメモリ、内蔵PLL、柔軟な多電圧対応高性能LVDS I/O、リモートフィールド・アップグレード(TransFR™ テクノロジー)、および低消費電力スリープモードのすべてを単一デバイスで提供することによって、増大するシステムインテグレーションの恩恵を提供します。

汎用I/O拡張、制御、バスブリッジ、およびパワーアップ管理機能を含む広範囲な低ロジック規模アプリケーションのために設計されたMachXO PLDファミリーは、民生や車載、通信、コンピューティング、産業、および医療などのさまざまなエンドマーケットで用いられています。

広範囲のアプリケーション



アプリケーション例



主要機能と恩恵

- 不揮発性、何度でも再構成可能
 - インスタントオン、1msec以下で起動
 - シングルチップ、外付けコンフィグレーションメモリが不要
 - 卓越したデザインセキュリティ、ビットストリームの露出なし
- ピン間遅延が3.5nsの性能
- TransFRテクノロジーで容易なフィールド・アップグレードが可能
- 柔軟なLUTアーキテクチャ
 - 256~2280 LUT4
 - 73~271本のI/Oで幅広いパッケージ・オプション
 - ロジック規模のマイグレーションをサポート
- 組み込みメモリ(EBR)と分散メモリ
 - 最大27.6KbitのsysMEM™組み込みブロックRAM
 - 専用のFIFO制御ロジックを集積
 - 最大7.7Kbitの分散メモリ(RAM)
- 自由度の高い入出力バッファ
 - プログラマブルなsysIO™ バッファは広範囲のインターフェイスに対応:
 - LVCMOS 3.3/2.5/1.8/1.5/1.2
 - LVTTTL
 - PCI*
 - LVDS*, Bus-LVDS*, LVPECL*, RSDS*
- sysCLOCK™ PLL
 - デバイスあたり最大2個のアナログPLL
 - クロックのてい倍、分周、および位相シフト
- スリープモードはスタンバイ電流を100µA以下に低減
- システムレベル・サポート
 - IEEE標準1149.1バウンダリスキャン
 - コンフィグレーションとユーザロジック用の20MHzオンチップ・オシレータ
 - デバイス供給電源は3.3V、2.5V、1.8Vまたは1.2V
- 広いデバイス・ラインアップ
 - 民生グレード: -40 ~ 85°C (T_{JCOM})
 - インダストリアル・グレード: -40 ~ 100°C (T_{JIND})
 - AEC-Q100認定: -40 ~ 125°C (T_{JAUTO})

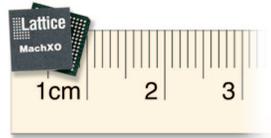
*MachXO1200と1200デバイスのみ

MachXOアーキテクチャ

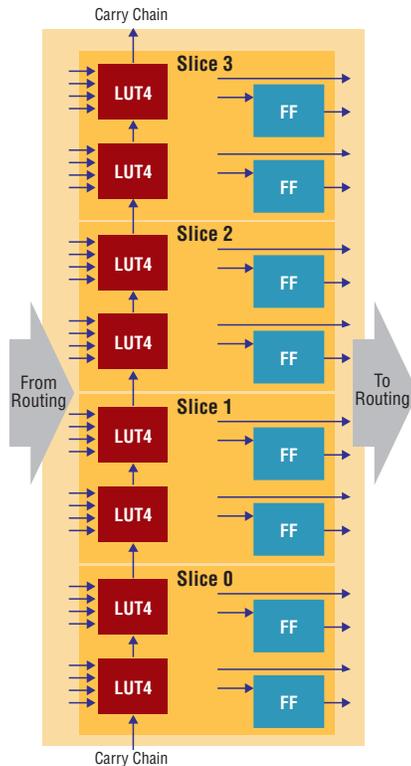
アーキテクチャ概要

MachXO PLDは、CPLDや低ロジック規模FPGAが伝統的に使用されてきたアプリケーションのために設計され、低コストで柔軟な代替手段を提供します。非常に効率的なアーキテクチャで構築されており、MachXO PLDはピン間遅延の卓越した性能、高速I/O、組み込みブロックRAM、およびsysCLOCK PLLを提供します。

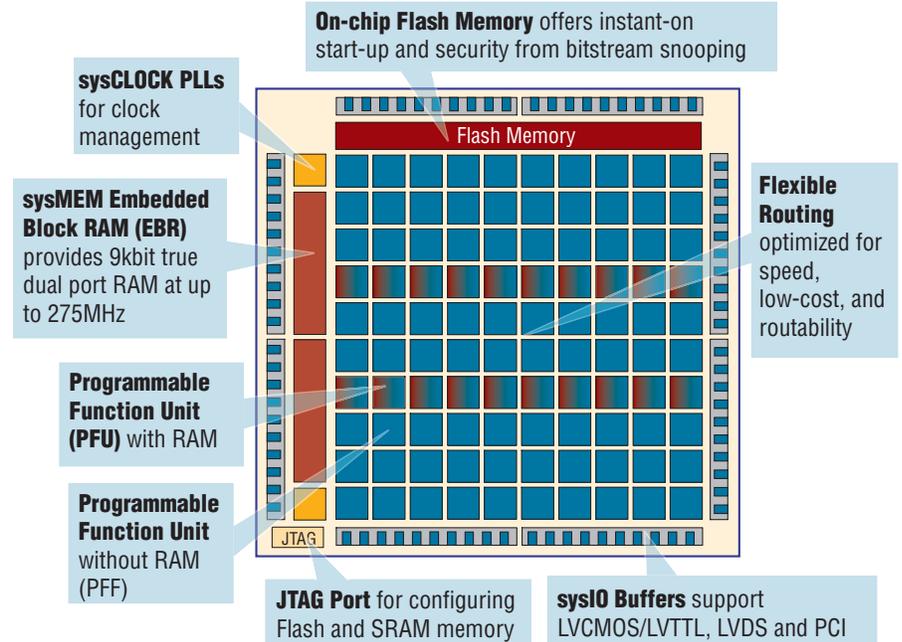
小型でRoHS準拠のパッケージオプションを用意しているMachXO PLDは、実装スペースに制約がある広範囲なアプリケーションで使用することができます。



PFUブロック図



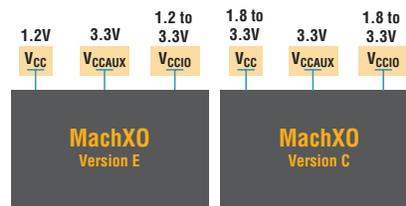
MachXOブロック図



sysMEMコンフィギュレーションオプション

Single Port	Dual Port	Pseudo-Dual Port	FIFO
8192 x 1	8192 x 1	8192 x 1	8192 x 1
4096 x 2	4096 x 2	4096 x 2	4096 x 2
2048 x 4	2048 x 4	2048 x 4	2048 x 4
1024 x 9	1024 x 9	1024 x 9	1024 x 9
512 x 18	512 x 18	512 x 18	512 x 18
256 x 36	-	256 x 36	256 x 36

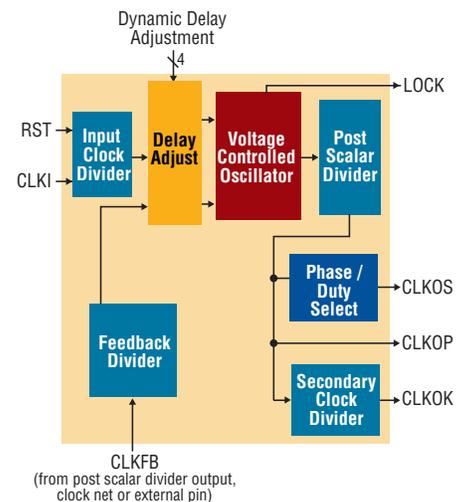
MachXO電圧オプション



sysIOバッファは高帯域幅のI/O規格に対応

- LVCMOS/LVTTL
 - 活線挿抜対応
 - プログラマブル・スルーレート
 - プログラマブル・ドライブ強度
 - プログラマブル・プルアップ、プルダウン、およびバスキーパ
 - プログラマブル・オープンドレイン
 - プログラマブル・シミュット入力
- PCI, LVDS, LVPECL, Bus-LVDS, RSDS

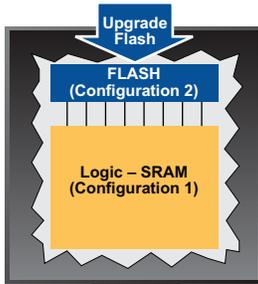
sysCLOCKブロック図



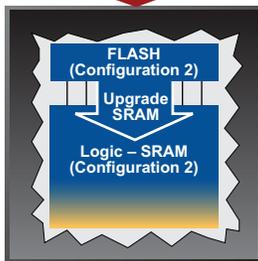
容易なフィールドアップデート

MachXO PLDはラティス独自のTransFR（トランスペアレントなフィールド再構成）テクノロジーに対応しています。TransFRテクノロジーは、システム運用を中断することなくフィールドでロジックを更新することを可能にします。

Step 1
Program Flash in background while logic functions

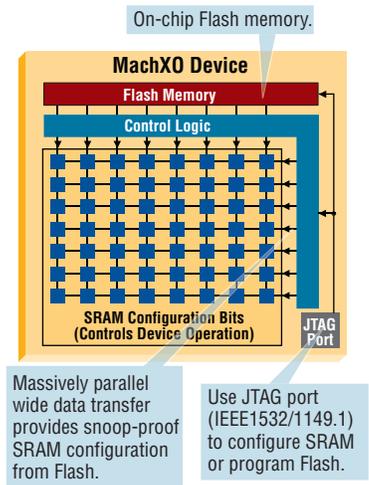


Step 2
Precisely control I/O and initiate Flash to SRAM transfer through JTAG. Alternatively, toggle sleep pin to load new configuration without cycling the power.



MachXOコンフィグレーション

MachXO PLDは、“インスタントオン”機能を提供するために、単一の低コストデバイスにフラッシュとSRAMの両テクノロジーを集積しています。パワーアップ時に、コンフィギュレーション・データは1msec以下でフラッシュからSRAMセルに転送されます。JTAGポートからSRAMとフラッシュメモリの両方をプログラムすることができます。SRAMとフラッシュのこの組み合わせは、ラティスのユニークなTransFRテクノロジーによって容易なフィールド・アップデートを可能にします。MachXO PLDにはリードバックを防ぐセキュリティ体系があります。即ち内部フラッシュを使うこと



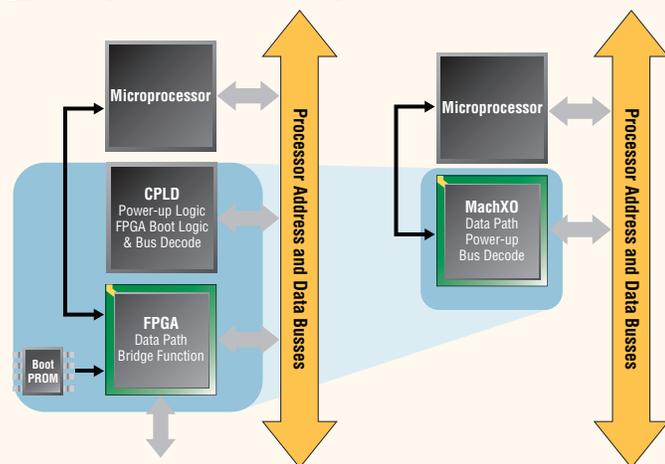
によって、ビットストリームの読み出しを排除します。

MachXOスリープモードでパワーを1/100にまで削減!

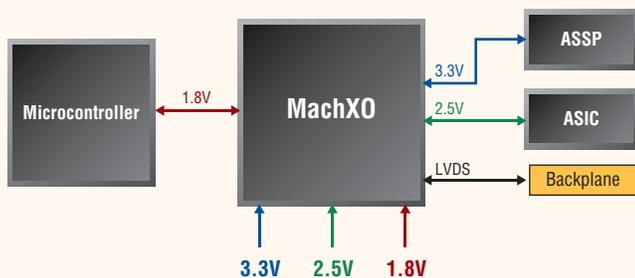
特長	標準モード	オフ	スリープモード
SLEEPNピン	高	X	低
スタティックIcc	通常<10以下	0	通常<100以下
電源供給	標準範囲	0	標準範囲
ロジック・オペレーション	ユーザ定義	使用不可能	使用不可能
I/Oオペレーション	ユーザ定義	トライステート (<1mA以下のリークage)	トライステート (<10μA以下のリークage)

MachXOアプリケーション例

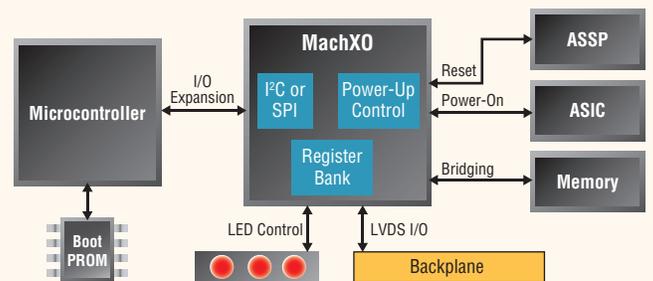
低コストのシステム・インテグレーション



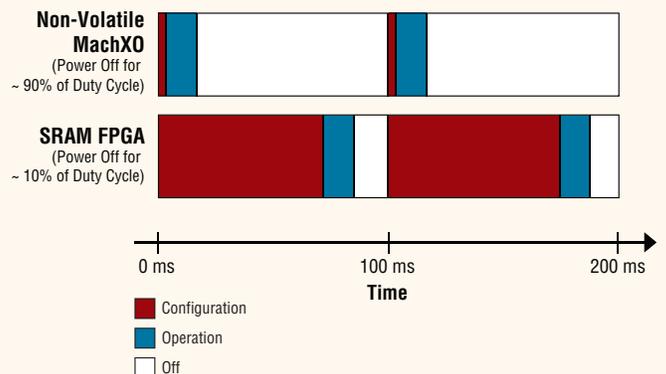
柔軟な複数の電圧レベルシフト



パワーアップと制御



低消費電力サイクリング



無償のispLEVER Starter開発ツール

ラティスのispLEVER Starter開発ツールは、MachXOアーキテクチャ及びその他のPLDファミリのための包括的な設計環境を提供します。ispLEVERツールはデザインエントリ、論理合成、マッピング、配置配線、フロアプランニング、シミュレーション、プロジェクト管理、デバイスプログラミング、およびその他の必要なすべてを含んでいます。ispLEVERには、業界リーダーであるSynopsys® 社とAldec® 社からの論理合成とシミュレーション各ツールが含まれています。

評価・開発ボード

ラティスはMachXOの性能評価、またはユーザ独自の設計開発における支援のために、完全で使いやすいプラットフォームとなる多くのボードを提供しています。

参照デザイン・ポートフォリオ

ラティスは低ロジック規模アプリケーションをターゲットにしたIPコアと参照デザインの拡張ポートフォリオを提供しています。MachXOアーキテクチャのために最適化されているこれらには、I²CやSPI、UART、およびPCIなどのよく使用されているプロトコルとインターフェイス標準を含んでいます。ラティスウェブサイトから参照デザイン、ソースコード、およびドキュメントが無償でダウンロードできます。詳しくはwww.latticesemi.com/ipをご覧ください。

デバイス選択ガイド

パラメータ	LCMXO256	LCMXO640	LCMXO1200	LCMXO2280
LUT数	256	640	1200	2280
分散RAM(Kビット)	2	6.1	6.4	7.7
内蔵ブロックRAM-EBR(Kビット)	-	-	9.2	27.6
EBRブロック	-	-	1	3
V _{cc} 電圧(V)選択	1.2Vまたは1.8/2.5/3.3V	1.2Vまたは1.8/2.5/3.3V	1.2Vまたは1.8/2.5/3.3V	1.2Vまたは1.8/2.5/3.3V
PLL数	-	-	1	2
I/Oバンク数	2	4	8	8
最大I/O数	78	159	211	271
最大LVDSペア数*	-	-	27	33
パッケージとI/Oの組み合わせ				
100ピンTQFP (14 x 14 mm)**	78	74	73	73
144ピンTQFP (20 x 20 mm)		113	113	113
100ボールcsBGA (8 x 8 mm)	78	74		
132ボールcsBGA (8 x 8 mm)		101	101	101
256ボールcaBGA (14 x 14 mm)		159	211	211
256ボールftBGA (17 x 17 mm)		159	211	211
324ボールftBGA (19 x 19 mm)				271

*外部レジスタをエミュレートすることでLVDS出力数を増加できます。

**100ピンTQFPパッケージはLCMXO640から1200へのマイグレーションが出来ません。

アプリケーションサポート(USA)

1-800-LATTICE (528-8423)
(503) 268-8001
techsupport@latticesemi.com

www.latticesemi.com.jp

Copyright © 2009 Lattice Semiconductor Corporation. Lattice Semiconductor, L (stylized) Lattice Semiconductor Corp., and Lattice (design), ispLEVER, ispVM, LatticeMico8, MachXO, sysLOCK, sysIO, sysMEM, およびTransFRはアメリカ合衆国、またその他の国におけるLattice Semiconductor Corporationの登録商標が商標のいずれかです。本カタログで用いられているその他の製品名は、識別目的のためであり、それぞれ各会社の商標であり得ます。

December 2009
Order #: 10176GJ



MachXOミニ開発キット

8ビットのLatticeMico8™ マイクロコントローラやI²C、SPI、UART、およびSRAMインターフェイスなどをごく短い時間でテストするためにMachXO Mini開発キットをご使用できます。ラティスからの無償の参照デザインを活用することで、1時間程度で貴方自身の設計を構築できます。
www.latticesemi.com/machxo-miniをご確認ください。



MachXOコントロール開発キット

温度モニタに基づくファン速度制御、供給電源モニタ、およびリセット分配などを含むボード診断機能をテストするために、パワーマネージャII POWR-1014Aと8ビット・マイクロコントローラLatticeMico8と一緒に用いているMachXOコントロール開発キットを活用できます。数分程度でこれらの機能がテストできます。またラティスから無償の参照デザインを入手することで貴方自身の設計が1時間程度で構築できます。
www.latticesemi.com/machxo-control-kit でさらに詳細をご確認ください。

