

LatticeECP3 系列

通过经验证的第三代FPGA 构造领先的系统

LatticeECP3™是一流的中档FPGA，带有高性能SERDES、功能齐全的DSP模块，并支持最先进的存储器接口，包括DDR3。与竞争对手的产品相比，它在更小的封装内提供多35%至100%的芯片资源。低功耗LatticeECP3 FPGA适用于各种应用，如无线和有线通信、视频处理、安全监控、工业网络、工业自动化、计算、存储、医疗设备和消费类应用。

LatticeECP3提供多达150K LUT逻辑和7 Mbit的存储器用于系统集成、可级联的高性能DSP模块用于信号处理、高速存储器接口，包括800 Mbps的DDR3、高达1 Gbps的LVDS性能用于ADC/DAC以及SPI4.2接口。LatticeECP3可以进一步使用经验证的3.2 Gbps低功耗SERDES构建高速系统，可用于各种协议PCI Express1.1、以太网（GbE、SGMII & XAUI）、SMPTE SDI（3G/HD/SD）、串行RapidIO 2.1、低延迟CPRI和JESD204A。

为加快LatticeECP3实现系统的设计，莱迪思还提供了大量通用和专用应用开发套件，扩展的免费参考设计以及一组经济的IP套件。

FPGA结构特性和功能

- 低功耗、高价值的FPGA结构
 - 低功耗65纳米级工艺带有4输入查找表（LUT）结构
 - 逻辑密度从17K至149K LUT
 - 高达7Mbit的嵌入式RAM（EBR）块和303Kbit的分布式RAM
- 高速嵌入式SERDES
 - 多达16个通道，每个通道的数据速率从150Mbps至3.2Gbps
 - 3.2Gbps下的功耗小于110mW/通道
 - 支持PCI Express、以太网（GbE、XAUI和SGMII）、SMPTE、串行RapidIO2.1和CPRI
- 灵活的sysIO™缓冲器

LVCMOS 33/25/18/15/12, PCI

 - SSTL 33/25/18/15 & HSTL15 & HSTL18
 - LVDS、Bus-LVDS、RSDS、MLVDS & LVPECL
 - 800Mbps DDR3
 - 高达1Gbps的LVDS
- 多种封装和用户I/O选择
 - 高达586个用户I/O引脚
 - 经验证的低成本wirebond fpBGA封装
 - 无铅/符合RoHS
- sysCLOCK™ PLL 和DLL
 - 每个器件有2个DLL、2至10个PLL



LatticeECP3 特性和优点

嵌入式SERDES

- 3.2Gbps下的工作功耗低于110mW/通道
- 内置的预加重和均衡
- 支持PCIe、以太网（GbE、XAUI & SGMII）、SMPTE、串行RapidIO、CPRI和JESD204A
- 基于quad的结构，可在一个quad中混合和匹配不同的协议
- 单通道粒度用于3G/HD/SD SDI
- 支持低延时变化的CPRI链路用于多跳式RRH应用

带有ALU的可级联DSP

- 充分可级联的slice，适用于高性能滤波器和宽算术功能
- 使用54位可级联的算术逻辑单元实现舍入和截取函数
- 乘法、累加、加法和减法
- 高达320个18x18乘法器

高速I/O

- 预工程的DDR3存储器（800Mbps）
- 高达1Gbps LVDS
- ADC/DAC、7:1 LVDS、XGMII

高级配置选项

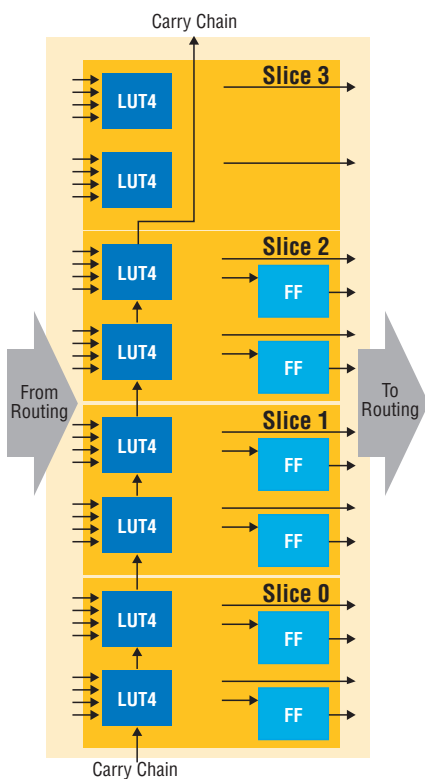
- 使用SPI引导闪存或并行突发模式闪存进行配置
- 使用128位AES保护您的设计
- 双引导提供配置的拷贝备份
- TransFR™ I/O支持系统工作的同时更新

LatticeECP3 结构

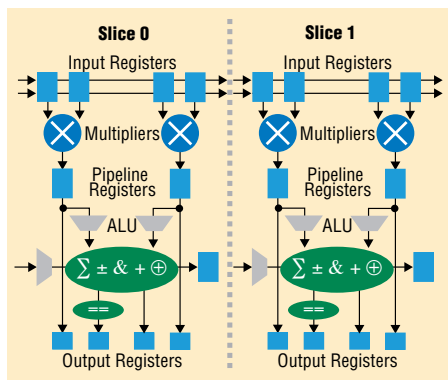
结构概述

LatticeECP3 FPGA使用了莱迪思的第三代成本优化的收发器和一个低功耗的65纳米级工艺的FPGA结构。在成功的LatticeECP2M™ FPGA系列的基础上，LatticeECP3器件提供高性能的SERDES模块、可级联的高性能sysDSP™、超大逻辑和sysMEM™嵌入式RAM、分布式存储器、sysCLOCK PLL、DDR3存储器接口以及sysIO缓冲器。LatticeECP3为广泛的无线和有线应用提供了低成本、低功耗的可编程解决方案。

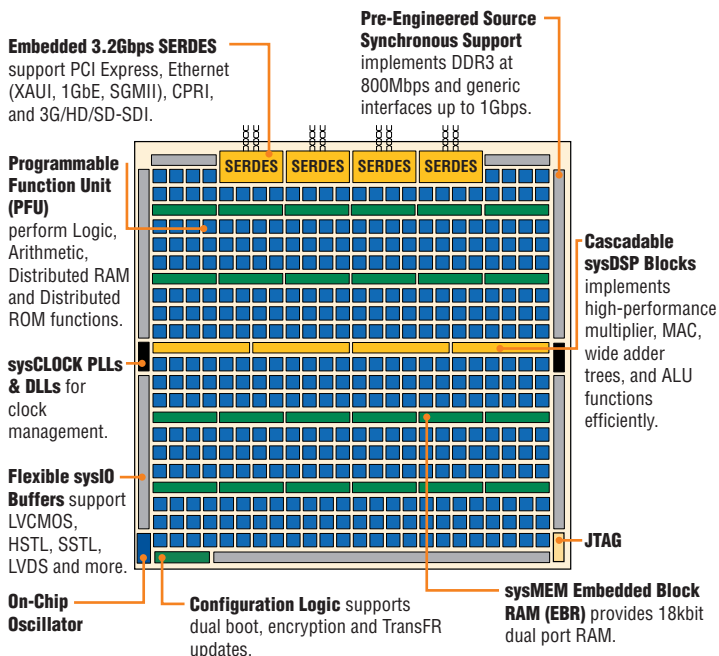
可编程功能单元（PFU）框图



sysDSP框图



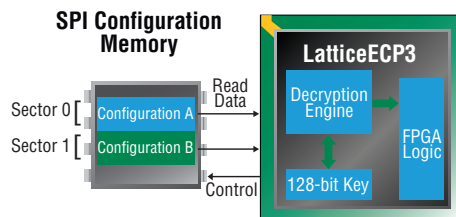
LatticeECP3框图



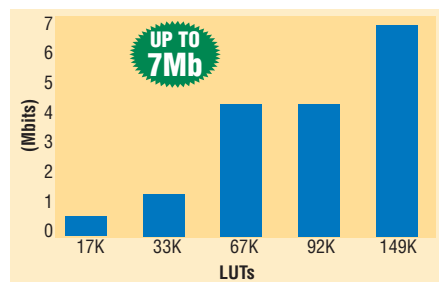
sysMEM配置选项

单口	双口	伪双口
16384 x 1	16384 x 1	16384 x 1
8192 x 2	8192 x 2	8192 x 2
4096 x 4	4096 x 4	4096 x 4
2048 x 9	2048 x 9	2048 x 9
1024 x 18	1024 x 18	1024 x 18
512 x 36	—	512 x 36

双引导和128位AES加密

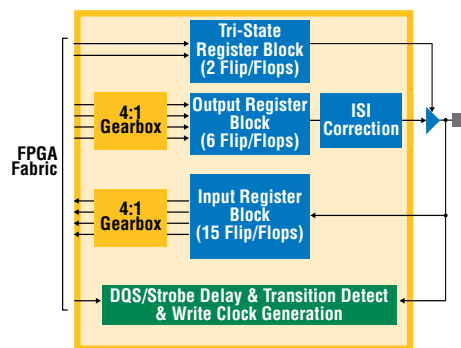


LatticeECP3 EBR SRAM (Mbit)

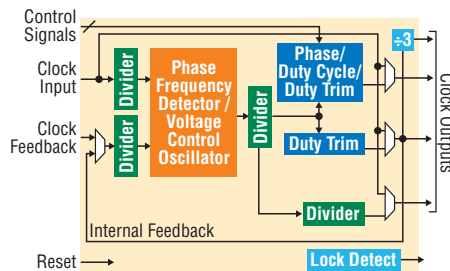


预置的源同步接口

- DDR3 (800 Mbps)
- 7:1 LVDS, ADC/DAC



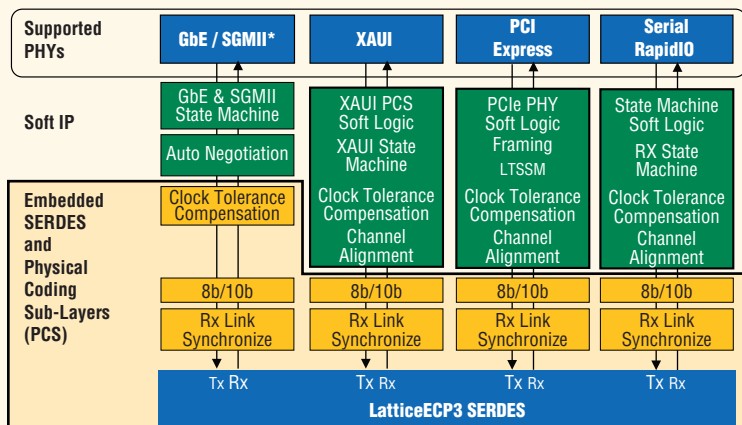
sysClock PLL框图



高价值、低功耗串行协议解决方案

LatticeECP3多协议栈

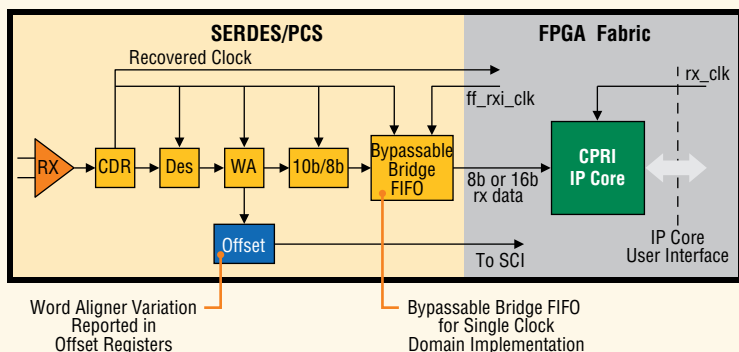
- 支持常用的以太网协议（1GbE、SGMII和XAUI），扩展支持无线协议，如：CPRI
- 支持PCI Express和串行RapidIO



* CPRI Supported By Extension

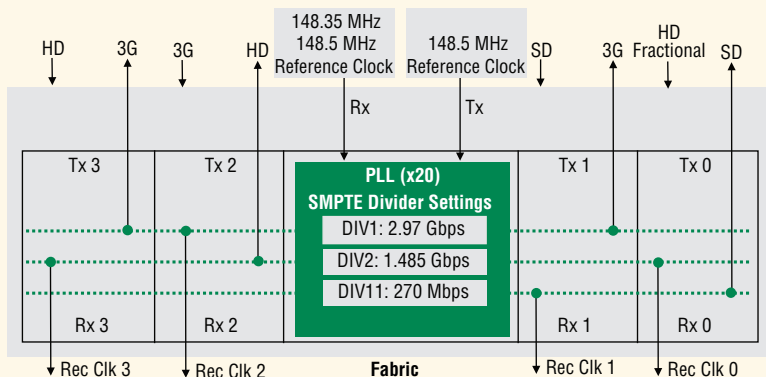
CPRI低延时选项

- 支持数据速率高达3.072Gbps的CPRI链路
- 通过实现创新的低延时变化SERDES支持多跳式RRH应用
- CPRI、JESD204A、SRIO、以太网和DSP核的库文件和适用于单芯片RF和基带实现的参考设计



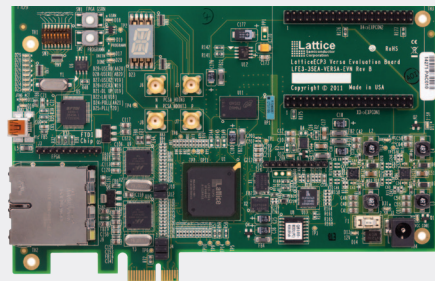
增强的SMPTE支持

- 各种速率、各种通道、任何方向的SD/HD和3G通信
 - 新的x11分频器设置
 - 新增每条通道独立的接收时钟
- 适用于SD/HD/3G的真正独立的Rx/Tx多速率支持！



评估和开发板

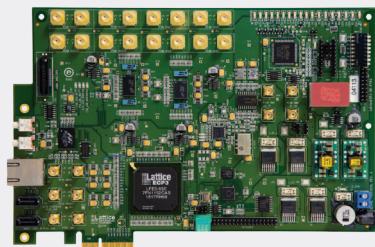
为了加快您的设计开发，莱迪思推出了几种支持LatticeECP3设计的开发板。这些开发板使您能够在实验室状态下，评估LatticeECP3器件的优点和功能。



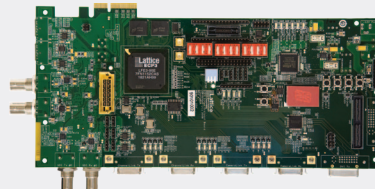
LatticeECP3 Versa评估板是业界最低成本的FPGA板，带有PCI Express和两个千兆以太网端口。它十分适用于希望利用高质量的LatticeECP3 SERDES和开发各种网络和系统设计的应用。



莱迪思HDR-60摄像机开发套件是一个基于FPGA的HDR摄像机，通过HDMI/DVI输出支持1080p60。设计无需任何外部的帧缓冲器，实现了最低的FPGA HDR摄像机元器件材料成本。功能包括自动白平衡、业界最快的自动曝光、极低的延迟和120dB的高动态范围。



LatticeECP3串行协议板提供了一个平台来评估LatticeECP3器件的多协议串行协议功能以及DDR2和DDR3存储器接口。



LatticeECP3视频协议板提供了一个平台来评估LatticeECP3器件的多速率3G/HD/SDI和7:1 LVDS功能。还提供其它的显示接口的选择。

先进的设计软件和IP使设计变得简便

Lattice Diamond设计软件

Lattice Diamond™设计软件专为成本敏感、低功耗的莱迪思FPGA结构而优化，提供了领先的设计和实现工具。Diamond是ispLEVER®的下一代替代产品，具有设计探索、易于使用、改进的设计流程和许多其他增强功能。新的和增强的特性使得用户能够更快更方便地完成设计，并且获得比以往更好的结果。

知识产权

莱迪思提供了一系列扩展的IP核（LatticeCORE™），支持方便地集成常用的功能。莱迪思还提供了IP套件，IP套件就是一组适用于相应的细分应用/市场的相关IP核且价格优惠。下表列出了部分适用于LatticeECP3系列的IP套件。除了这些之外，LatticeCORE连接合作伙伴还提供范围广泛的IP。欲了解完整的IP选择列表，请访问www.latticesemi.com/ip。

适用于LatticeECP3 FPGA的LatticeCORE IP套件

IP套件	包括的IP核	
增值功能	- DDR3/DDR2/DDR存储器控制器 - FFT编译器	- FIR滤波发生器 - 三速10/100/1G以太网MAC
PCI Express	- PCI Express终端x1 / x4 - PCI Express Root Complex Lite x1 / x4 - PCI Target 32位/64位	- PCI主控/目标器件32位/64位 - 分散聚集DMA
千兆以太网	10Gb+以太网MAC - 分散聚集DMA - SGMII和千兆以太网MAC	- 三速10/100/1G以太网MAC - XAUI
信号处理	- 高级FIR滤波器 - 卷积编码器块 - Viterbi解码器块 - 级联积分梳状滤波器 - CIC - CORDIC - 相关器 - 分布式算法FIR滤波器	- 动态块Reed Solomon解码器/编码器 - FFT编译器 - FIR滤波发生器 - 交织器/解交织器 - 数控振荡器 - Turbo解码器/编码器
视频和显示	2D FIR滤波器 - 色彩空间转换器 - 边缘检测器 - 伽玛校正	- 中值滤波 - 三速SDI PHY - 定标器

LatticeECP3 (带有SERDES、sysDSP块和源同步I/O 的Economy Plus FPGA)

参数	ECP3-17	ECP3-35	ECP3-70	ECP3-95	ECP3-150
LUT (K)	17	33	67	92	149
EBR SRAM块的数量	38	72	240	240	372
EBR块SRAM (K bit)	700	1327	4420	4420	6850
分布式RAM (K bit)	36	68	145	188	303
18x18嵌入式乘法器	24	64	128	128	320
3.2Gbps SERDES通道	4	4	12	12	16
最多可用I/O	222	310	490	490	586
PLL/DLL 数量	2+2	4+2	10+2	10+2	10+2
功耗级 ¹	-S, -L	-S, -L	-S, -L	-S, -L	-S, -L
速度级 ²	-6, -7, -8	-6, -7, -8, -9	-6, -7, -8, -9	-6, -7, -8, -9	-6, -7, -8, -9
封装和SERDES / I/O组合					
328球型 csBGA (10 x 10 mm)	2/116				
256球型 ftBGA (17 x 17 mm)	4/133	4/133			
484球型 fpBGA (23 x 23 mm)	4/222	4/295	4/295	4/295	
672球型 fpBGA (27 x 27 mm)		4/310	8/380	8/380	8/380
1156球型 fpBGA (35 x 35 mm)			12/490	12/490	16/586

1. -S = 标准功耗; -L = 低功耗

2. -9 = 高速器件

应用支持

+86-21-52989090

Techsupport-asia@latticesemi.com

www.latticesemi.com.cn



Lattice Semiconductor Corporation 2012版权所有。Lattice Semiconductor, L (设计图案) Lattice Semiconductor Corp., Lattice (设计), ispLEVER, LatticeDiamond, LatticeCORE, LatticeECP3, LatticeECP2M, LatticeMico32, sysCLOCK, sysCONFIG, sysDSP, sysIO, sysMEM和TransFR均为莱迪思半导体公司在美国和/或其它国家的子公司的注册商标或商标。本出版物中提到的其它产品名称仅作参考目的，它们可能是其各自所有公司的商标。

2012年5月

订购编号: I0198GC