

MachXO ファミリ・データシート

DS1002 Version 02.8, June 2009

DISCLAIMER

Translation of Lattice materials into languages other than English is intended as a convenience for our non-English reading customers. Although we attempt to provide accurate translations of our materials into languages other than English, Lattice does not warrant the accuracy or completeness of information that has been translated from English. Any use of a translation is at the risk of the user and Lattice expressly disclaims any warranty with respect to the information provided in translation. Customers are encouraged to review the English language version of the materials for accurate and complete information.

注；日本語版の作成にあたっては可能な限り正確を期しておりますが、原文の英語版との不一致や不適切な訳文がある場合は(特に明記する場合を除き)英語版が有効です(優先します)。特に電気的特性・仕様値については最新版の英語版を必ず参照するようにお願いします。

MachXO ファミリデータシート

イントロダクション

機能

- 不揮発性で無限に再構成が可能
 - ・インスタントオン (数ミリ秒でパワーアップ)
 - ・外部にコンフィグレーション・メモリが不要
 - ・卓越したデザイン・セキュリティ
 - ・SRAMベースのロジックをミリ秒単位で再構成
 - ・SRAMと不揮発性メモリは、MPUインターフェイスとJTAGポートを介してプログラム可能
 - ・不揮発性メモリのバックグラウンド・プログラミングをサポート
- スリープモード
 - ・静的電流を最大百分の一に低減が可能
- TransFR™ 再構成機能 (TFR)
 - ・フィールドでのロジック更新がデバイス動作中に可能
- 幅広いロジック集積度とパッケージ・オプション
 - ・256 ~ 2280 のLUT4とFF
 - ・73 ~ 271 I/Oで多くのパッケージオプション
 - ・集積度のマイグレーションをサポート
 - ・鉛フリー/RoHS適合パッケージをサポート
- 組み込みメモリ (EBR) と分散メモリ
 - ・最大27.6Kbits sysMEM™ 組み込みブロックRAM(EBR)
 - ・最大7.5Kbitの分散メモリ
 - ・専用FIFO制御ロジック
- 自由度の高い入出力バッファ
 - ・プログラマブルなsysIOバッファは広範囲のインターフェイスをサポート
 - LVCMOS 3.3/2.5/1.8/1.5/1.2
 - LVTTL
 - PCI
 - LVDS, Bus-LVDS, LVPECL, RSDS
- sysCLOCK™ PLL
 - ・1デバイスあたり最大2個のアナログPLL
 - ・クロックのてい倍、分周、および位相シフト
- システムレベル・サポート
 - ・IEEE標準1149.1バウンダリ・スキャン
 - ・オンチップ発振器
 - ・動作電圧は1.2V品と3.3V/2.5V/1.8V品を用意
 - ・IEEE1532 互換のインシステムプログラミング

表 1-1 MachXO ファミリ・セレクション・ガイド

デバイス	LCMXO256	LCMXO640	LCMXO1200	LCMXO2280
LUT サイズ	256	640	1200	2280
分散 RAM (Kbits)	2.0	6.0	6.25	7.5
EBR SRAM (Kbits)	0	0	9.2	27.6
EBR SRAMブロック数 (9k bit)	0	0	1	3
V _{CC} 電圧 (V)	1.2/1.8/2.5/3.3	1.2/1.8/2.5/3.3	1.2/1.8/2.5/3.3	1.2/1.8/2.5/3.3
PLL 数	0	0	1	2
最大I/O数	78	159	211	271
パッケージ				
100-pin TQFP (14 x 14 mm)	78	74	73	73
144-pin TQFP (20 x 20 mm)		113	113	113
100-ball csBGA (8 x 8 mm)	78	74		
132-ball csBGA (8 x 8 mm)		101	101	101
256-ball caBGA (14 x 14 mm)		159	211	211
256-ball ftBGA (17 x 17 mm)		159	211	211
324-ball ftBGA (19 x 19 mm)				271

イントロダクション

MachXOは、これまではCPLDや小規模FPGAによって対応してきたアプリケーションの要件を満たすために最適化されました。それらはグルー・ロジック、バスブリッジ、バスインターフェイス、パワーアップ制御、および制御ロジックなどです。これらデバイスは、シングルチップ上にCPLDとFPGAデバイスそれぞれの最も優れた機能を取り込んでいます。

デバイスはフレキシブルで効率的な論理実現のためにFPGAが伝統的に採用してきたルックアップテーブル(LUT)と組み込みブロックメモリ(EBR)を用います。不揮発テクノロジーを通して、デバイスはCPLDが伝統的に特長とするシングルチップ、高いセキュリティ、およびインスタントオン機能を提供します。最後に、先進のプロセステクノロジーと慎重な設計が、CPLDの特長とする高速ピン・ツー・ピン遅延性能を提供します。

ispLEVER[®]ツールはMachXOデバイスに大規模で複雑なデザインを効率よく実装することを可能にします。業界で広く採用されている論理合成ツール用にMachXOのライブラリが用意されています。ispLEVERツールは論理合成ツール出力をフロアプランニング・ツールからの制約と共に用いて、配置配線します。ispLEVERツールは、タイミング検証のために、配線からタイミング情報を抽出して、デザインにバック・アノテートします。

アーキテクチャ概要

MachXOアーキテクチャはプログラマブルI/Oセル(PIO)によって囲まれた論理ブロックのアレイを含んでいます。このファミリにおける幾つかのデバイスには、sysCLOCK PLLとsysMEM™組み込みブロックRAM(EBR)メモリブロックがあります。図2-1、2-2、および2-3に各ファミリ・デバイスのブロック図を示します。

論理ブロックはロウ（行）とカラム（列）の二次元格子状に配置されています。EBRブロックはコラムで論理アレイの左に配置されています。PIOはデバイスの周辺に位置するバンクに配置されています。PIOはフレキシブルな入出力バッファを利用するsysIOインターフェイスと呼ばれ、種々インターフェイス標準との動作をサポートします。ブロックは多くの縦方向と横方向の配線チャネルリソースに接続されます。配置配線ソフトウェア・ツールは自動的にこれらの配線リソースを割り当てます。

2種類の論理ブロック、プログラマブル・ファンクション・ユニット(PFU)、およびRAM/ROMなしのPFUユニット(PFF)があります。PFUはロジック、演算、RAM、ROM、およびレジスタ機能のためのビルディング・ブロックを含みます。PFFブロックはロジック、演算、ROM、およびレジスタ機能のためのビルディング・ブロックを含んでいます。PFUとPFFブロックは共に、複雑なデザインを迅速にかつ効率的に実装できるように柔軟性が最適化されています。論理ブロックは2次元配列でアレンジされており、1つのタイプのブロックだけが列単位で用いられます。

MachXOファミリでは、バンクの数はデバイスで異なります。異なるバンクには異なったタイプのI/Oバッファがあります。詳細は本ドキュメントの後ろのセクションを参照してください。sysMEM EBRは大きくて専用的高速メモリブロックで、サイズの大きいデバイスのみにあります。RAM、ROMまたはFIFOとしてこれらのブロックを構成できます。FIFOでは、LUT使用を最小にするためにFIFOポインタとフラグ制御のハードロジックを含んでいます。

図2-1 MachXO1200 デバイスのブロック図 (上面図)

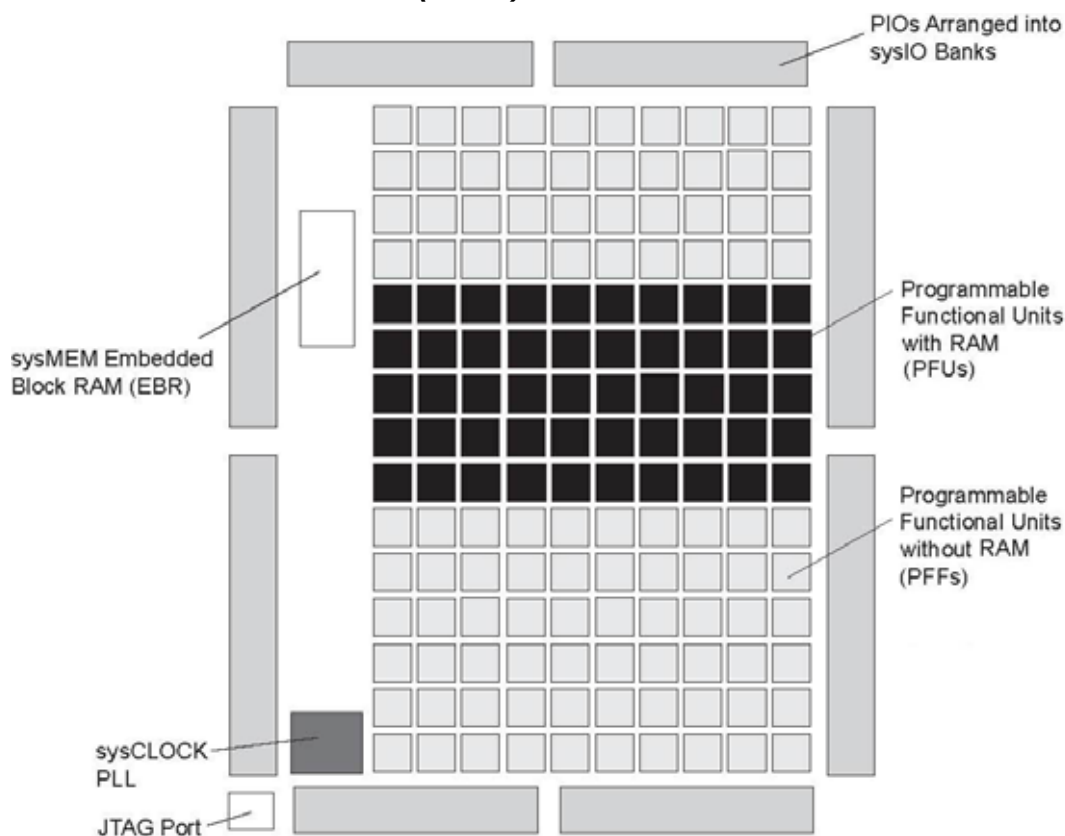


図2-2 MachXO640 デバイスのブロック図 (上面図)

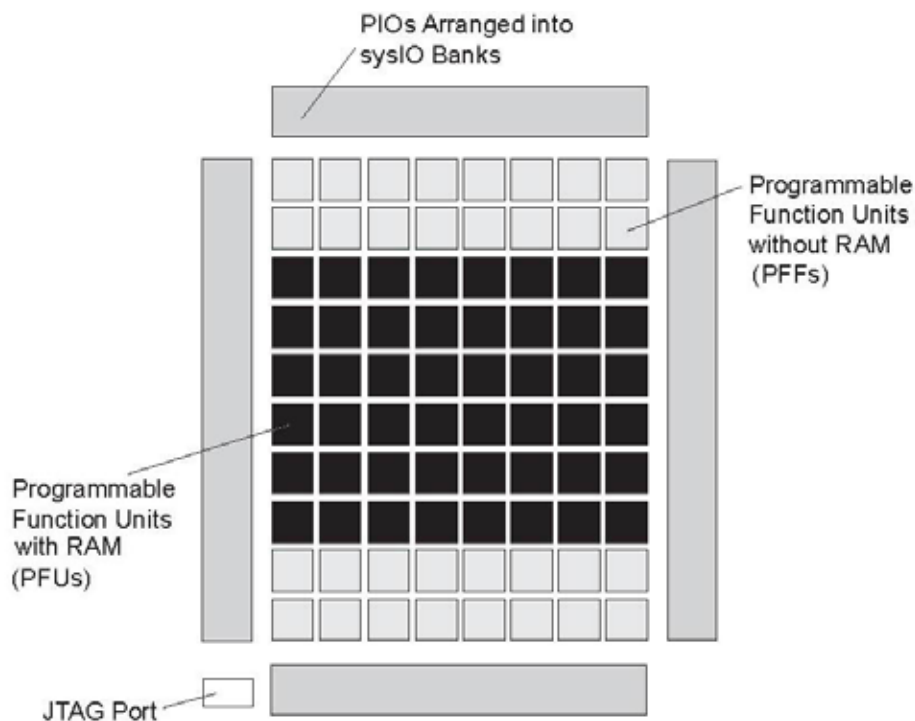
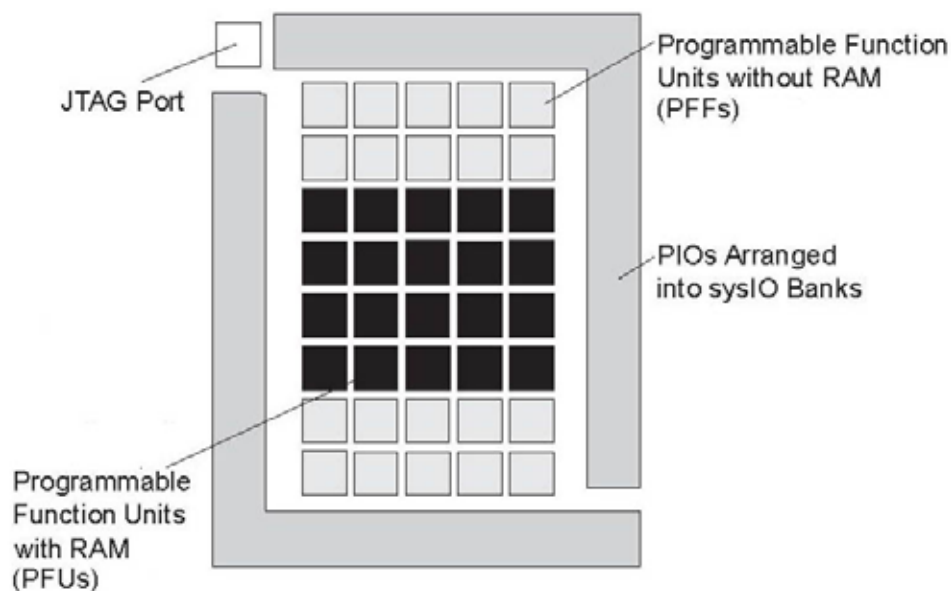


図2-3 MachXO256 デバイスのブロック図 (上面図)



MachXOアーキテクチャは、サイズの大きいデバイスで最大2個の位相ロック・ループ(PLL)ブロック sysCLOCKを提供します。これらはメモリブロックのどちらかの端に位置しています。これらのPLLには、てい倍、分周、および位相シフト機能があり、クロックの周波数と位相関係を管理するために用いられます。

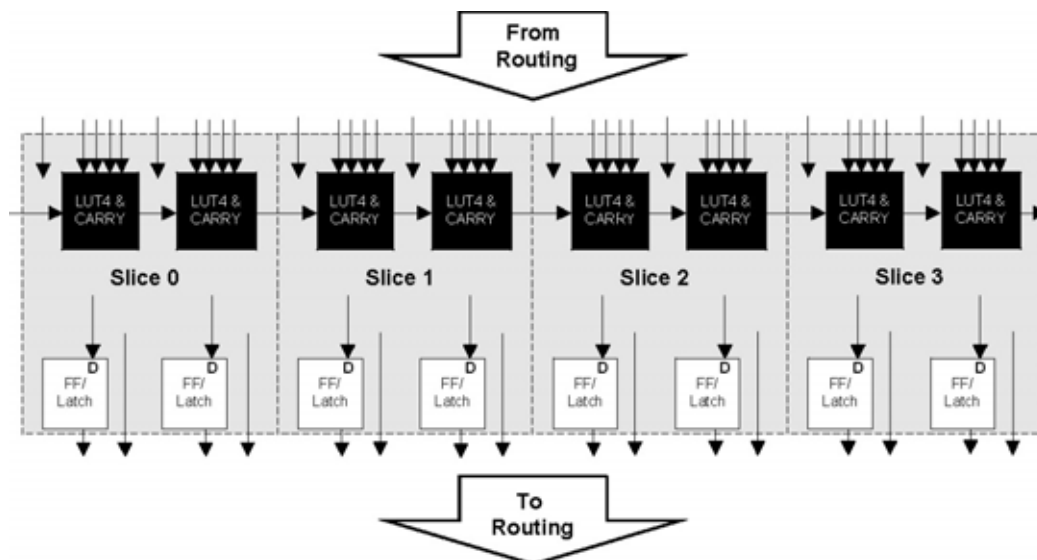
ファミリの全デバイスには、ユーザ論理へのアクセスと同様にデバイスのプログラミングとコンフィグレーションをサポートするJTAGポートがあります。MachXOデバイスは3.3V、2.5V、1.8V、および1.2V電源からの動作に用意しておりますので、システムへの容易な組込みを可能にします。

PFU ブロック

MachXOデバイスのコアはPFUとPFFブロックから成ります。PFUはロジック、演算、分散RAM、および分散ROM機能を実行するようにプログラムすることができます。PFFブロックはロジック、演算、およびROM機能を実行するようにプログラムすることができます。特に明記しない場合、データシートの残りでは、PFUとPFFブロックの両方を示すのに用語PFUを用います。

それぞれのPFUブロックは、図2-4で示されるように0~3と番号付けられた4つの相互接続されたスライスから成ります。それぞれのPFUブロックに関連する53本の入力と25本の出力があります。

図2-4 PFUダイアグラム



スライス

各スライスは、2つのレジスタ(FFかLatchモードでプログラムされる)に接続する2個のLUT4ルックアップ・テーブルよりなり、さらにLUTがLUT5や、LUT6、LUT7およびLUT8などの機能を実行するために組み合わせられるようにする関連ロジックを含んでいます。セット/リセット機能(同期か非同期でプログラムできる)、クロック選択、チップセレクト、そしてより広いRAM/ROM機能を実行するための制御ロジックがあります。図2-5はスライスの内部ロジックの概観を示します。正/負の、そしてエッジ/レベル・クロック用にスライス内のレジスタを構成することができます。

スライスには14の入力信号があります。配線からの13本の信号と、キャリ・チェーンからの1本(隣接しているスライスかPFUから)です。7本の出力があり、これらは配線への6本と(隣接しているPFUへの)キャリ・チェーンの1本です。表2-1は各スライスに関連している信号をリストアップします。

図2-5 スライス・ダイアグラム

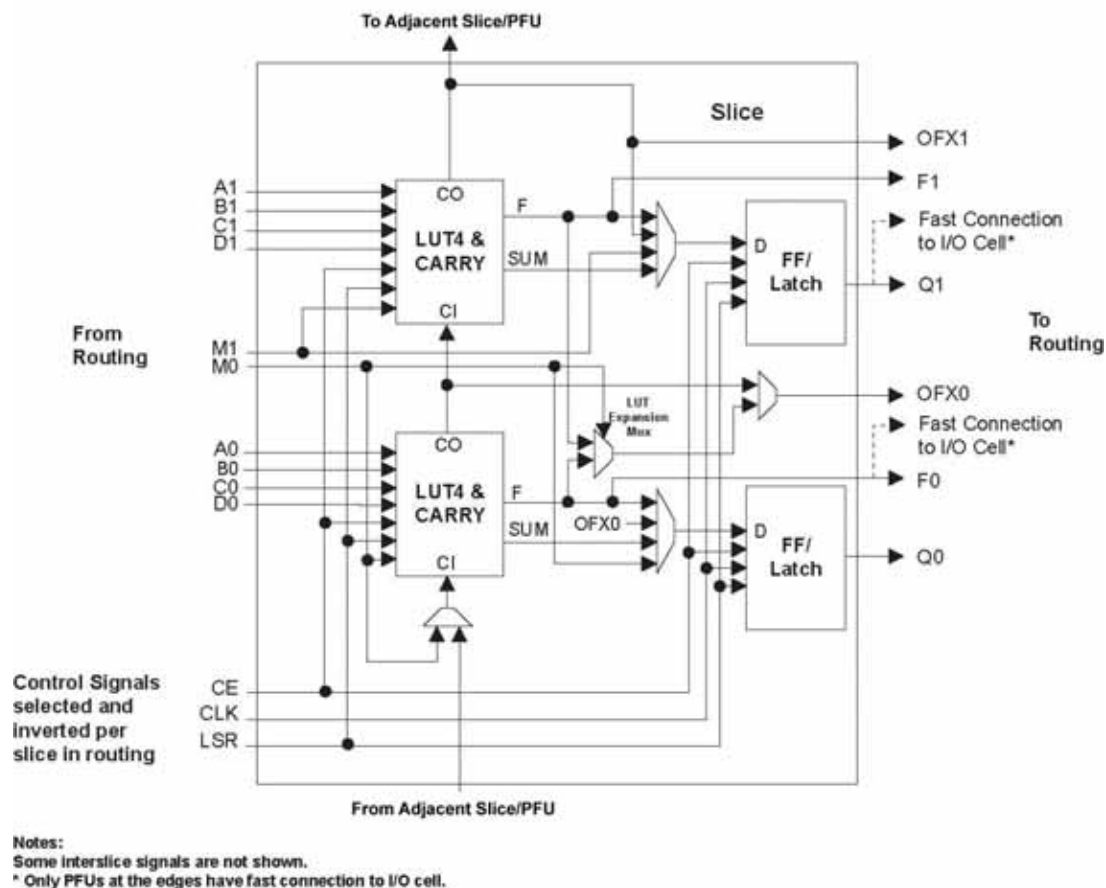


表2-1 スライス信号記述

機能	タイプ	信号名	記述
入力	データ信号	A0, B0, C0, D0	LUT4入力
入力	データ信号	A1, B1, C1, D1	LUT4入力
入力	複数用途	M0, M1	複数用途入力
入力	制御信号	CE	クロック・イネーブル
入力	制御信号	LSR	ローカル・セット/リセット
入力	制御信号	CLK	システム・クロック
入力	PFU間信号	FCIN	高速キャリ入力 ¹
出力	データ信号	F0, F1	LUT4出力レジスタ・バイパス信号
出力	データ信号	Q0, Q1	レジスタ出力
出力	データ信号	OFX0	LUT5 MUX出力
出力	データ信号	OFX1	LUT6, LUT7, LUT8 ² MUX 出力、スライスに依存
出力	PFU間信号	FCO	高速キャリ出力 ¹

1. 接続の詳細については図2-2を参照.

2. 2 PFUが必要.

動作モード

それぞれのスライスには4動作モードがあり、それはロジック、リップル、RAM、およびROMです。PFFのスライスはRAM以外の全モードができます。表2-2はモードとスライス・ブロックの機能をリストします。

表2-2 スライス・モード

	ロジック	リップル	RAM	ROM
PFU スライス	LUT 4x2 or LUT 5x1	2-bit 演算ユニット	SP 16x2	ROM16x1 x 2
PFF スライス	LUT 4x2 or LUT 5x1	2-bit 演算ユニット	N/A	ROM16x1 x 2

ロジック・モード: このモードで、各スライスにおけるLUTは、4入力の組み合わせルックアップ・テーブル(LUT4)として構成されます。LUT4は16の可能な入力組み合わせを持つことができます。このルックアップ・テーブルをプログラムすることによって、4入力があるどんなロジック機能も生成することができます。1スライスあたり2個のLUT4があるので、1スライスでLUT5を組み立てることができます。他のスライスを連結することによって、LUT6や、LUT7、LUT8などのより大きいルックアップ・テーブルを構成することができます。

リップル・モード: リップル・モードは小さな演算機能の効率的な実装ができます。リップル・モードでは、各スライスは以下の機能を実装することができます。

- 2ビット加算
- 2ビット減算
- 動的な制御での2ビット加算・減算
- 2ビット・アップカウンタ
- 2ビット・ダウンカウンタ
- リップル・モード乗算器ビルディング・ブロック
- AとB入力のコンパレータ機能
 - AはBより等しいか大きい
 - AはBに等しくない
 - AはBより等しいか小さい

2つの追加信号。Carry Generate（キャリ生成）とCarry Propagate（キャリ伝播）はこのモードでスライス単位で生成され、スライスを連結することによって高速演算機能が構成できます。

RAMモード: このモードでは、16×2ビットのメモリとしてそれぞれのLUTブロックを用いることで、分散メモリ(RAM)を構成することができます。LUTとスライスの組み合わせで、さまざまな異なったメモリを構成することができます。

ispLEVERデザインツールは種々異なるサイズのメモリ作成をサポートします。適切な場合、PFUの機能を示す分散メモリ・プリミティブを用いることで、ソフトウェアはこれらを構成します。表2-3は異なる分散メモリ(RAM)プリミティブを実装するのに必要なスライスの数を示します。図2-6は分散メモリ・プリミティブ・ブロック図を示します。デュアルポート・メモリは2つのスライスの組み合わせにかかわっており、一方のスライスはリード・ライト・ポートとして機能します。もう片方のスライスは、リードオンリ・ポートをサポートします。MachXOデバイスでRAMを用いる詳しい情報に関しては、テクニカル・ドキュメンテーション（TN1092）を参照してください。

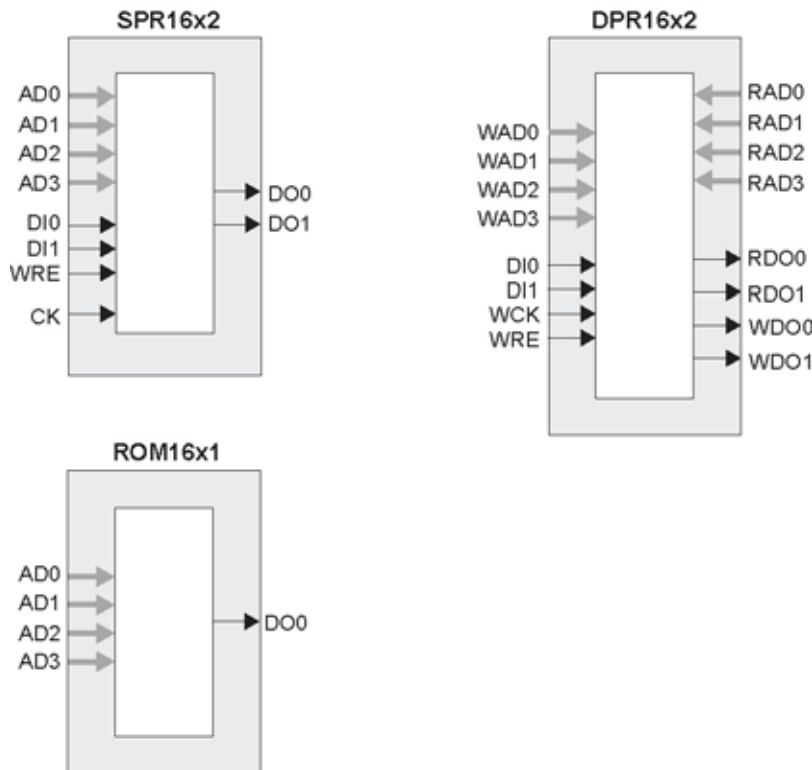
ROMモード: ROMモードはライト・ポートを除いてRAMモードと同じ原則を用います。プリロードはコンフィグレーションの間、プログラミング・インターフェイスを通して達成されます。

表2-3 分散RAMの実装に必要なスライス数の数

	SPR16x2	DPR16x2
スライス数	1	2

注: SPR = Single Port RAM, DPR = Dual Port RAM

図2-6 分散メモリ・プリミティブ



PFU動作モード

より大きい機能を形成するためにPFU内でスライスを組み合わせることができます。表2-4はこれらのモードを表にしており、PFUレベルで可能な機能を記述します。

表2-4 PFU動作モード

ロジック	リップル	RAM	ROM
LUT 4x8 or MUX 2x1 x 8	2-bit Add x 4	SPR16x2 x 4 DPR16x2 x 2	ROM16x1 x 8
LUT 5x4 or MUX 4x1 x 4	2-bit Sub x 4	SPR16x4 x 2 DPR16x4 x 1	ROM16x2 x 4
LUT 6x 2 or MUX 8x1 x 2	2-bit Counter x 4	SPR16x8 x 1	ROM16x4 x 2
LUT 7x1 or MUX 16x1 x 1	2-bit Comp x 4		ROM16x8 x 1

配線

単独信号かバス信号として関連する制御信号と共に配線するための多くのリソースがMachXOデバイスに用意されています。配線リソースはスイッチング回路、バッファ、およびメタル・インターコネクト(配線)セグメントから成ります。

PFU相互の接続は(2PFUにまたがる)x1ライン、(3PFUにまたがる)x2ライン、および(7PFUにまたがる)x6ラインで行われます。それぞれ速くて効率の良い接続を横方向と縦方向に提供します。

ispLEVERデザイン・ツールは、論理合成ツールの出力を取り込んで、デザインを配置配線します。デザインを最適化するために対話的な配線エディタが利用できますが、一般に配置配線ツールは完全に自動です。

図2-7 MachXO256とMachXO640デバイスのプライマリ・クロック

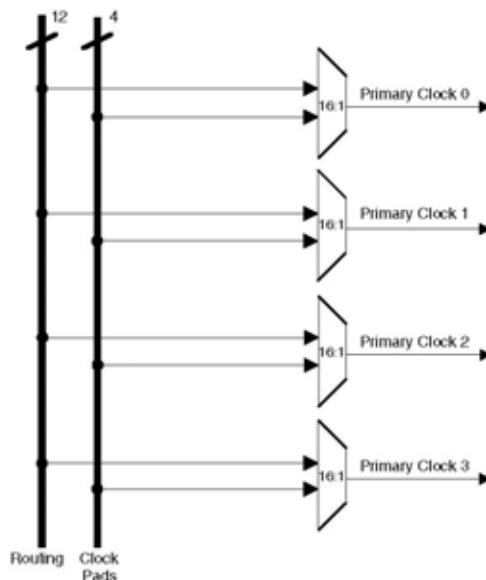
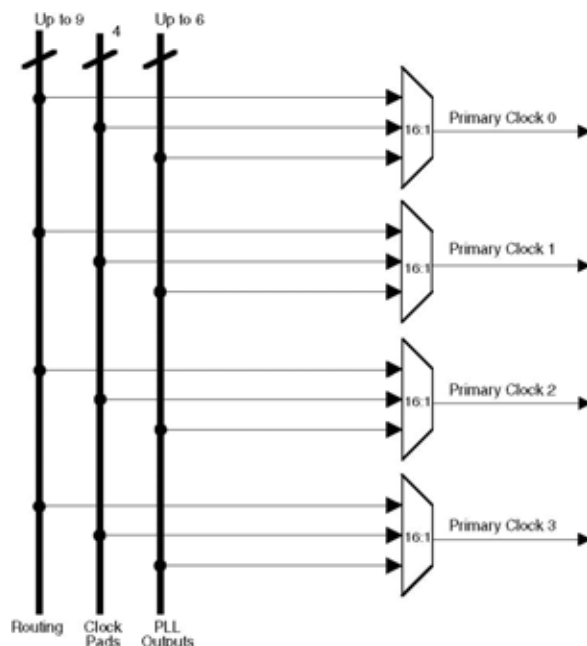


図2-8 MachXO1200とMachXO2280デバイスのプライマリ・クロック



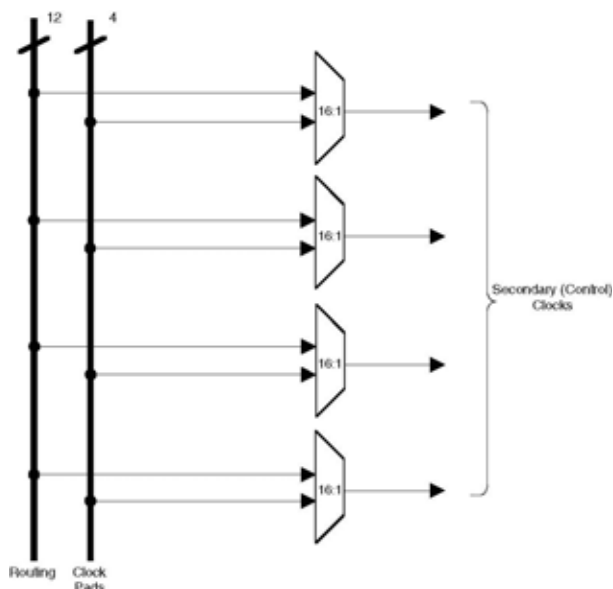
クロック/制御線分配ネットワーク

MachXOファミリ・デバイスはグローバルなクロック信号を全PFUに供給し、4本のプライマリ・クロックと4本のセカンダリ・クロックがあります。プライマリ・クロック信号は図2-7と図2-8に示されているように4

つの16:1マルチプレクサから生成されます。MachXO256とMachXO640デバイスで利用できるクロックソースは、4本のクロックピン（デュアル・ファンクション）と12本の内部配線信号です。MachXO1200とMachXO2280デバイスで利用できるクロックソースは、4本のクロックピン（デュアル・ファンクション）と、9本の内部配線信号、および最大6本のPLL出力です。

4本のセカンダリ・クロックが図2-9に示すように16:1のマルチプレクサより供給されます。ソースとしては4本はクロックピン（デュアルファンクション・ピン）から、12本は内部配線からです。

図2-9 MachXOのセカンダリ・クロック・ソース



sysCLOCK位相ロック・ループ(PLL)

MachXO1200とMachXO2280にはPLLがあります。外部ピンか配線からPLLクロック入力が供給され、入力クロック分周器に入ります。フィードバック分周器へ入力される信号としては次の4つのソースがあります。即ちCLKINTFB(内部フィードバック・ポート)、グローバル・クロックネット、ポストスカラ分周器の出力、および配線（もしくは外部ピン）からです。PLLが入力クロック信号にロックしたことを示すために、PLL_LOCK信号があります。図2-10にsysCLOCK PLLダイアグラムを示します。

PLLのフィードバックか入力経路に遅延をプログラムすることによって、デバイスのセットアップとホールド時間を改良することができますが、これによって入力クロックに対し出力クロックを進めるかまたは遅らせるためです。この遅延は、コンフィグレーションの間プログラムするか、またはダイナミックに調整することができます。ダイナミックなモードでは、PLLは調整の後にロックを失い、 t_{LOCK} パラメータが満たされるまで再ロックしないかもしれません。さらに、位相とデューティサイクル・ブロックで、ユーザはCLKOS出力の位相とデューティ比を調整できます。

sysCLOCK PLLはクロック周波数を合成する機能があります。各PLLには、それに関連する4つの分周器があり、それらは入力クロック分周器、フィードバック分周器、ポスト・スケーラ分周器とセカンダリ・クロック分周器です。入力クロック分周器は入力クロック信号を分周し、他方フィードバック分周器は1倍することに等価です。ポスト・スケーラ分周器によりVCOがクロック出力より高い周波数で動作することを可能にし、その結果周波数範囲を増大させます。セカンダリ分周器は、より低い周波数出力を引き出すのに用いられます。

図2-11は利用できるPLLマクロを示します。表2-5はPLLブロックの信号記述を与えます。

図2-10 PLL ダイアグラム

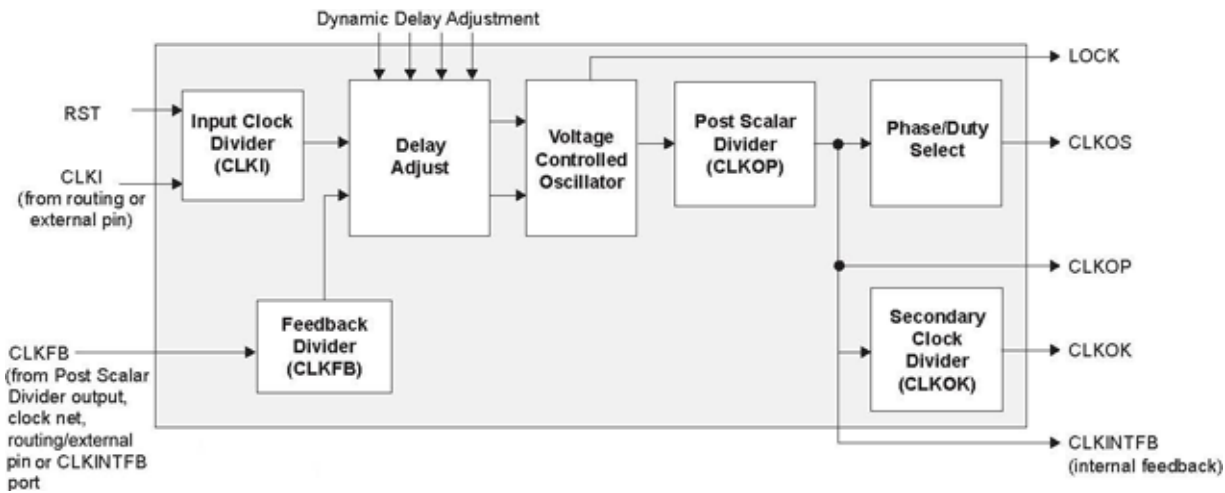


図2-11 PLL プリミティブ

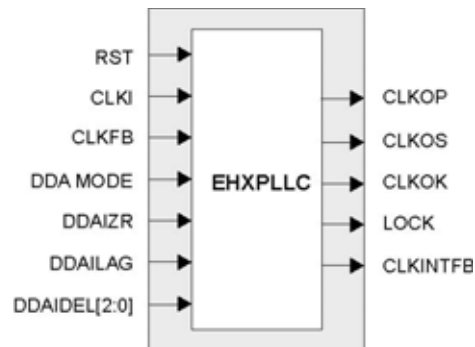


表2-5 PLL 信号記述

信号	I/O	記述
CLKI	I	クロック入力。外部ピンもしくは配線から
CLKFB	I	PLLフィードバック入力。PLL出力、クロックネット、配線/外部ピン、またはCLKINTFBポートの内部フィードバックから
RST	I	“1” でクロック分周器をリセット
CLKOS	O	PLL出力クロック。クロックツリーへ（位相シフト、デューティ比可変）
CLKOP	O	PLL出力クロック。クロックツリーへ（位相シフトなし）
CLKOK	O	PLL出力。セカンダリ・クロック・ドライバを介してクロックツリーへ
LOCK	O	“1” でPLLがCLKIにロックを示す
CLKINTFB	O	内部フィードバック・ソース。CLKTREE前のCLKOP分周出力
DDAMODE	I	ダイナミック遅延イネーブル。“1” ピン制御（動的）, “0”: フューズ制御（静的）
DDAIZR	I	ダイナミック遅延ゼロ。“1”: 遅延 = 0, “0”: 遅延 = on
DDAILAG	I	ダイナミック遅延進み・遅れ。“1”: 遅れ（Lag）, “0”: 進み（Lead）
DDAIDEL[2:0]	I	ダイナミック遅延入力

PLLの詳しい情報に関しては、テクニカル・ドキュメンテーション（TN1089）を参照してください。

sysMEMメモリ

MachXOファミリのMachXO1200とMachXO2280デバイスはsysMEM組み込みブロックRAM(EBR)を搭載しています。EBRは専用の入出力レジスタがある9kビットのRAMから成ります。

sysMEMメモリ・ブロック

sysMEMブロックはシングルポート、デュアルポート、疑似デュアルポート、またはFIFOメモリを実装することができます。表2-6に示されるようにさまざまな深さと幅で各ブロックを用いることができます。

表2-6 sysMEMブロック・コンフィグレーション

メモリ・モード	構成
シングルポート	8,192 x 1 4,096 x 2 2,048 x 4 1,024 x 9 512 x 18 256 x 36
真のデュアルポート	8,192 x 1 4,096 x 2 2,048 x 4 1,024 x 9 512 x 18
疑似デュアルポート	8,192 x 1 4,096 x 2 2,048 x 4 1,024 x 9 512 x 18 256 x 36
FIFO	8,192 x 1 4,096 x 2 2,048 x 4 1,024 x 9 512 x 18 256 x 36

バス・サイズ・マッチング

多ポート・メモリ・モードのすべてがそれぞれの異なるポート幅をサポートします。RAMビットはWord0のLSBからMSBへ、Word1のLSBからMSBへというように配置されます。ワード長とワード数はポートごとに異なりますが、このマッピング体系は各ポートに適用されます。

RAMの初期化とROM動作

望む場合、デバイス・コンフィグレーションの際に、RAMの内容をプリロードすることができます。チップ・コンフィグレーション・サイクルの間、RAMブロックをプリロードし、書き込み制御をディセーブル（不許可）することで、sysMEMブロックはまた、ROMとして利用することができます。

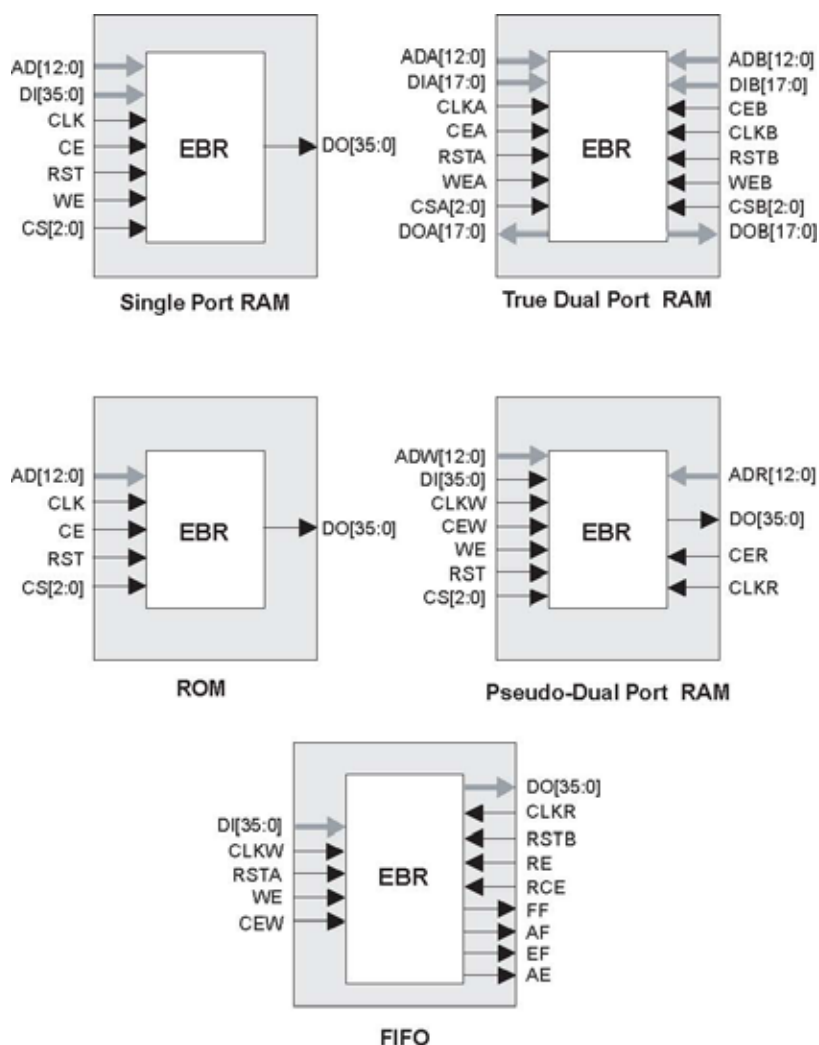
メモリの連結

EBR sysMEMブロックを用いることで、より大きくて、より深いRAMブロックを作成することができます。通常、ラティス・デザインツールは特定の設計への入力に基づいて透過的に（暗黙に）メモリを連結します。

シングル/デュアル/疑似デュアルポート/FIFOモード

図2-14は4つの基本的なメモリ・コンフィグレーションとそれらの入力/出力名を示します。全てのsysMEM RAMモードで、ポートへの入力データとアドレスにはメモリ・アレイの入力レジスタがあります。メモリの出力データへのレジスタはオプションです。

図2-12 sysMEM EBRプリミティブ



EBRメモリはシングルポートかデュアルポート動作のための書き込みの振舞いとして3つの形態をサポートします。

1. **標準**；出力データはリード・サイクルの間だけ現れます。ライト・サイクルの間、現在のアドレスのデータは出力に現れません。
2. **ライトスルー**；ライト・サイクルの間、入力データのコピーが同じポートの出力に現れます。このモードはどのデータ幅にも使用できます。
3. **リード・ビフォー・ライト**；新しいデータが書かれときに、そのアドレスの古い内容が出力に現れます。このモードではデータバス幅が9/18/36ビットである必要があります。

FIFOコンフィグレーション

FIFOには、Data-in、CEW、WE、およびCLKW信号よりなるライトポートがあります。ほかにData、RCE、RE、およびCLKR信号よりなるリードポートもあります。FIFOは内部的にAlmost Full、Full、Almost Empty、およびEmpty Flagを生成します。FullとAlmost FullフラグはCLKWでレジスタされ、EmptyとAlmost EmptyフラグはCLKRでレジスタされます。これらフラグのプログラム値の範囲を表2-7に示します。

表2-7 プログラマブルFIFOフラグの範囲

フラグ名	プログラム可能範囲
Full (FF)	1 ~ 2 ^N -1
Almost Full (AF)	1 ~ Full-1
Almost Empty (AE)	1 ~ Full-1
Empty (EF)	0

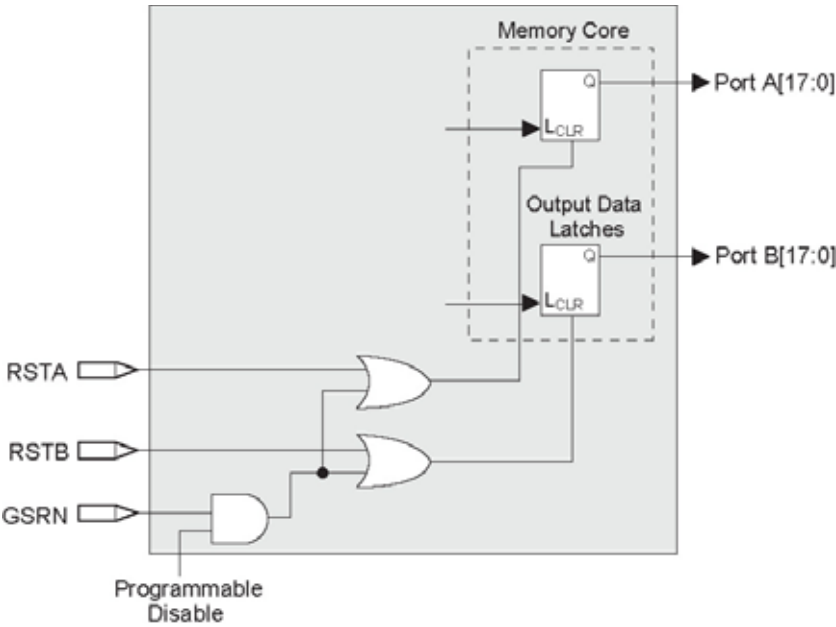
Nはアドレスビット幅

FIFOステート・マシンはリセット信号RSTAとRSTBという2つのタイプをサポートします。RSTA信号はグローバル・リセットで、リード/ライト・ポインタをリセットし、FIFOフラグをリセット状態にすることでFIFOを初期化します。RSTB信号は、リード・ポインタをリセットするために用いられます。このリセットの目的は、FIFO内にあるデータを再送することです。これらのアプリケーションでは、パケットがFIFOにいつ書かれ、またいつ読み出されたかを注意深くトラッキングすることが、重要です。

メモリア・リセット

EBRのメモリ・アレイはA出力とB出力ポートのラッチを利用します。これらのラッチを非同期か同期でリセットすることができます。RSTAとRSTBはローカルな信号で、出力ラッチをリセットし、それぞれPort AとPort Bに関連します。Global Reset(GSRN)信号は両ポートをリセットします。両ポートのための出力データ・ラッチと関連するリセットが図2-13で示されます。

図2-13 メモリア・リセット

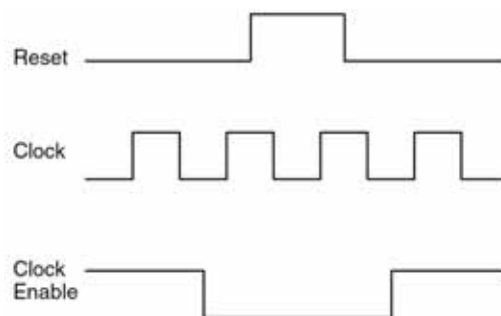


sysMEM EBRブロックの詳しい情報に関しては、テクニカル・ドキュメンテーション（TN1092）を参照してください。

EBR 非同期リセット

図2-18に示すように、クロックイネーブルがリセットのアサート前とネゲート後にクロック1周期（以上）Low（非アクティブ）の場合にのみ、EBRの非同期リセットもしくはGSR（使用されていれば）は与えることができます。EBRへのGSR入力は常に非同期です。

図2-14 EBR非同期リセットのタイミング図 (GSRを含む)



もし全てのクロックイネーブルが有効のままの場合、非同期リセットもしくはGSRはリード/ライト・クロック入力安定状態になった後、最小 $1/f_{MAX}$ (EBRクロック)の期間、加えられなければなりません。またリセットのリリースタイミングは、次のアクティブなリード/ライト・クロックエッジに対して、同期リセットとしてのセットアップ時間を満たすようにしなければなりません。

EBR初期値がコンフィグレーション時にプリロードされる場合、GSR入力がディセーブルされるか、或いはデバイスのウェイクアップ時にI/Oの解放される前にGSRがリリースされるようにしなければなりません。

これらの要件は全てのEBR RAM、ROM、及びFIFOに適用されます。EBR FIFOモードでは、GSRは常時アクティブで図2-14のようにWEとREはクロックイネーブルのように動作します。リセットタイミング要件はRE入力に対するPRPreset入力、およびWEとRE入力に対するRST入力に適用されます。RSTとRPRresetは常にEBRの非同期入力です。

EBRで同期リセットのみが用いられ、またEBRのGSR入力もディセーブルされていればリセットに関する制約はありません。

PIOグループ

MachXOファミリ・デバイスのPIOセルには2種類のPIOグループがあり、それらは6PIOセルのグループと4PIOセルのグループよりなります。前者は左右バンクにあり、後者は上下のバンクにあり、それぞれのPIOはsysIOバッファとパッドに接続されています。

全デバイスで、隣接しているPIOを2つ一緒に使用して、コンプリメンタリな出力ドライバペアを構成できます。ペアは” T” と” C” とラベルされ、2つのPIOを識別します。

MachXO1200とMachXO2280デバイスはさらに次のIO機能をサポートします。即ちすべてのPIOペアは差動レシーバにできます。左右辺バンクの半分のPIOはLVDSの送信ペアまたは受信ペアに構成できます。さらに、上辺バンクのPIOはPCIをサポートします。

図2-15 4つのプログラマブルIOセルよりなるグループ

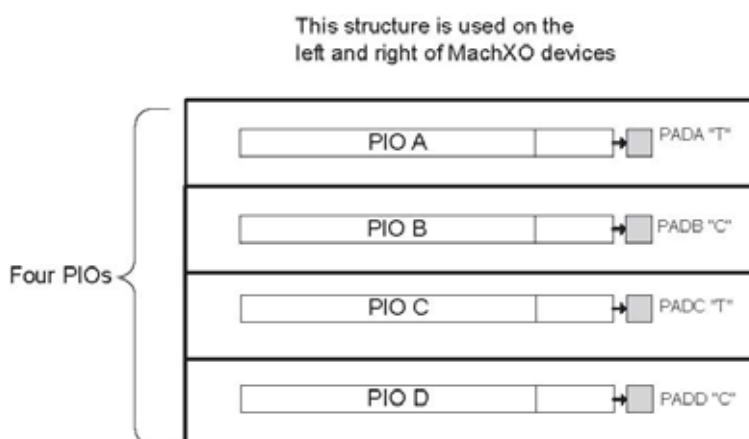
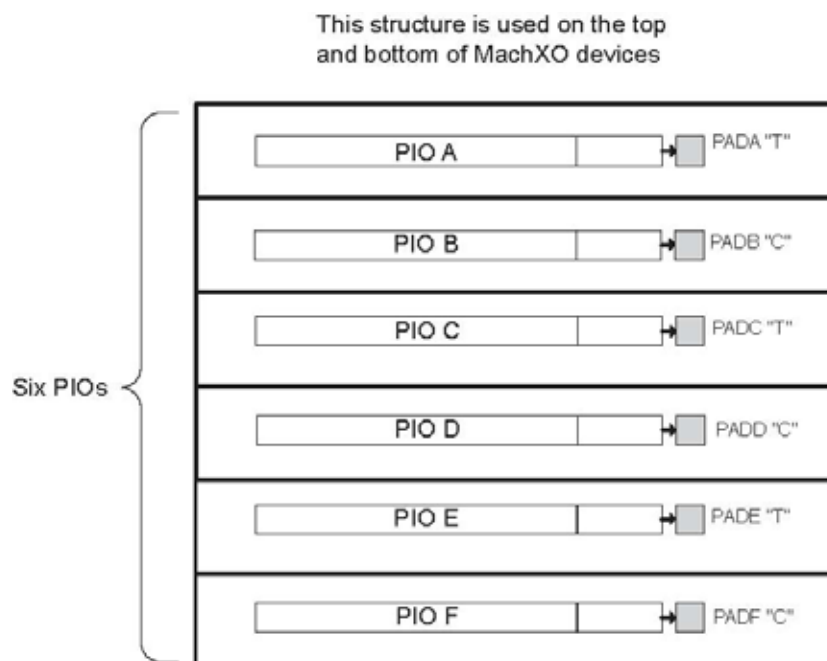


図2-16 6つのプログラマブルIOセルよりなるグループ



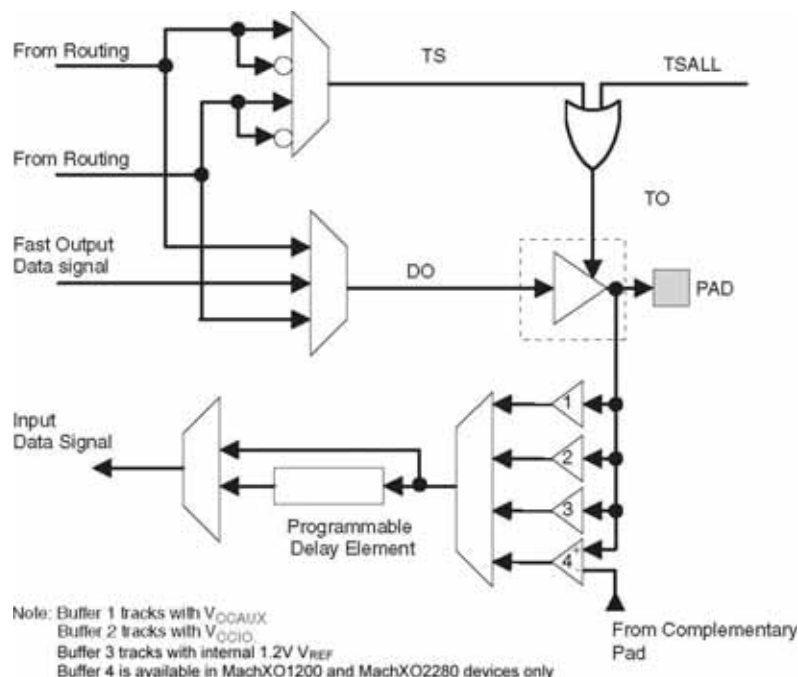
PIO

PIOブロックはsysIOバッファと内部のPFUアレイブロック間のインターフェイスを提供します。これらのブロックは、出力データをPFUアレイから、高速データ信号を隣接PFUからを受け取ります。出力データと高速出力データ信号は多重化され、sysIOバッファを介してI/Oピンに一つの信号として提供されます。図2-17はMachXOのPIO論理を示しています。

トライステート制御信号は、出力データ信号とその反転したものからマルチプレクスされて生成されます。また、専用パッドからのグローバル信号(TSALL)でsysIOバッファをトライステート制御することができます。

PIOはピンからsysIOバッファを介して入力信号を受け取り、デバイスのコアに提供します。さらに、正のホールドタイム要件を避けるために必要なプログラマブル素子があり、設計ツールで利用できます。

図2-17 MachXO PIOブロック図



sysIOバッファ

それぞれのI/OはsysIOバッファと呼ばれるフレキシブルなバッファに関連しています。これらのバッファは、デバイスの周囲にバンクと呼ばれる8つのグループで配置されます。sysIOバッファは、ユーザはLVCMOS、LVTTTL、BLVDS、LVDS、およびLVPECLを含む、今日のシステムで見られる広範な標準の実装を可能にします。

sysIOバッファ・バンク

MachXOデバイスでは、シングルエンド出力バッファとレシオ入力バッファ(LVTTTL、LVCMOS、およびPCI)は、 V_{CCIO} を用いて電源が与えられます。バンク V_{CCIO} 電源に加えて、MachXOデバイスには V_{CC} コア・ロジック電源があり、また V_{CCAUX} は全ての差動バッファと参照電圧ありのバッファに電力を供給します。

MachXO256とMachXO640デバイスには、全バンクにシングルエンド入力バッファとコンプリメンタリ出力のあるシングルエンド出力バッファがあります。

MachXO1200とMachXO2280デバイスは次に示す2つのタイプのsysIOバッファ・ペアを含んでいます。

1. 上・下辺のsysIOバッファ・ペア

デバイスの上下辺バンクにおけるsysIOバッファ・ペアは、2シングルエンド出力ドライバと2組のシングルエンド入力バッファ(レシオ型又は絶対電圧レベル型)から成ります。これらデバイスの上下辺バンクのI/Oペアは差動入力バッファに対応します。上辺バンクにはPCIクランプもあります。PCIクランプは V_{CC} 、 V_{CCAUX} 、および V_{CCIO} が有効レベルになり、デバイスがコンフィグレーションされた後に有効になります。ペアとなる2個のパッドは“True”と“Comp”として記述されます。Trueパッドが差動入力バッファの正側(信号)に関連していて、Comp(コンプリメンタリ)パッドが差動の入力バッファの反転側(信号)に関連しています。

2. 左・右辺のsysIOバッファ・ペア

デバイスの左右辺バンクにおけるsysIOバッファ・ペアは、2シングルエンド出力ドライバと2組のシングルエンド入力バッファ(レシオ型および絶対電圧レベル型)から成ります。これらデバイスでは、出力ペアを差動にでき、また参照電圧有りのバッファ入力ペアも差動に構成できます。ペアとなる2個のパッドは“True”と“Comp”として記述されます。Trueパッドが差動I/Oの正側(信号)に関連していて、Comp(コンプリメンタリ)パッドが差動のI/Oの反転側(信号)に関連しています。

典型的な電源投入時のI/Oの振る舞い

内部のパワーオン・リセット(以下POR)信号は、 V_{CC} や V_{CCAUX} が所定のレベルに達すると解除されます。PORが解除された後、FPGAコアロジックが動作を開始します。アプリケーションにとって非常に重要な全I/Oバンクの出力ポートのレベルを適切に制御するために、 V_{CCIO} と入力ポートのレベルが有効になっていることを確実にすることは、設計者の責任で行う必要があります。ブランクデバイスのI/Oピンのデフォルト構成は V_{CCIO} に弱いプルアップのあるトライステートです。I/Oピンは V_{CC} と V_{CCAUX} 、および V_{CCIO} が全て規定電圧レベルに達してユーザ設定に移行するまではこの状態を保持します。

V_{CC} と V_{CCAUX} はFPGAコア・ファブリックに、また V_{CCIO} はI/Oバッファに電源を供給します。常に一貫して予測できるI/Oの振る舞いを確保しつつも、システム設計を簡易化するためには、FPGAコア・ファブリックよりも先にI/Oバッファに電源が供給されることを推奨します。即ち、 V_{CCIO} を V_{CC} や V_{CCAUX} よりも早く供給すること、或いは同時に供給するべきです。

サポートされる標準

MachXO sysIOバッファは、シングルエンドと差動の標準を共にサポートします。シングルエンド標準はさらにLVCMOS、LVTTL、および他の標準に細分することができます。バッファはLVTTL、LVCMOS1.2/1.5/1.8/2.5/3.3V標準をサポートします。LVCMOSとLVTTLモードでは、バッファには、ドライブ強度、バス・メンテナンス(弱いプルアップ、弱いプルダウン、またはバスキープ・ラッチ)、およびオープン・ドレインとして個別に構成可能なオプションがあります。

BLVDS及びLVPECL出力エミュレーションがすべてのデバイスでサポートされています。MachXO1200とMachXO2280は、左右辺バンクでI/Oの約50%がオンチップLVDS出力バッファをサポートします。MachXO1200とMachXO2280デバイスでは、LVDS、BLVDS、およびLVPECL用の差動レシーバが全バンクでサポートされます。MachXO1200とMachXO2280デバイスの上辺のバンクではPCIがサポートされます。表2-8にMachXOファミリ各デバイスのI/O特性をまとめます。

表2-9と表2-10は、MachXOデバイスでサポートされるI/O標準を、それらの電源電圧と参照電圧と共に示します。sysIOバッファを利用する種々標準のサポートの詳細については、テクニカル・インフォメーション(TN1091)を参照してください。

表2-8 デバイスごとのI/Oサポート

	MachXO256	MachXO640	MachXO1200	MachXO2280
I/Oバンク数	2	4	8	8
入力バッファタイプ	シングルエンド(全I/Oバンク)	シングルエンド(全I/Oバンク)	シングルエンド(全I/Oバンク) 差動レシーバ(全I/Oバンク)	シングルエンド(全I/Oバンク) 差動レシーバ(全I/Oバンク)
出力バッファタイプ	コンプリメンタリ出力があるシングルエンド・バッファ(全I/Oバンク)	コンプリメンタリ出力があるシングルエンド・バッファ(全I/Oバンク)	コンプリメンタリ出力があるシングルエンド・バッファ(全I/Oバンク) 真のLVDS出力がある差動バッファ(左右辺の50%)	コンプリメンタリ出力があるシングルエンド・バッファ(全I/Oバンク) 真のLVDS出力がある差動バッファ(左右辺の50%)
差動出力のエミュレーション機能	全I/Oバンク	全I/Oバンク	全I/Oバンク	全I/Oバンク
PCIサポート	なし	なし	上辺のみ	上辺のみ

表2-9 サポートされる入力標準

入力標準	V _{CCIO} (Typ.)				
	3.3V	2.5V	1.8V	1.5V	1.2V
シングルエンド・インターフェイス					
LVTTL	✓	✓	✓	✓	✓
LVC MOS33	✓	✓	✓	✓	✓
LVC MOS25	✓	✓	✓	✓	✓
LVC MOS18			✓		
LVC MOS15				✓	
LVC MOS12	✓	✓	✓	✓	✓
PCI ¹	✓				
差動インターフェイス					
BLVDS ² , LVDS ² , LVPECL ² , RSDS ²	✓	✓	✓	✓	✓

1. MachXO1200とMachXO2280デバイスの上辺バンクのみ

2. MachXO1200とMachXO2280デバイスのみ

表2-10 サポートされる出力標準

出力標準	ドライブ	V _{CCIO} (公称値)
シングルエンド・インターフェイス		
LVTTL	4mA, 8mA, 12mA, 16mA	3.3
LVC MOS33	4mA, 8mA, 12mA, 14mA	3.3
LVC MOS25	4mA, 8mA, 12mA, 14mA	2.5
LVC MOS18	4mA, 8mA, 12mA, 14mA	1.8
LVC MOS15	4mA, 8mA	1.5
LVC MOS12	2mA, 6mA	1.2
LVC MOS33, オープンドレイン	4mA, 8mA, 12mA 14mA	—
LVC MOS25, オープンドレイン	4mA, 8mA, 12mA 14mA	—

LVC MOS18, オープンドレイン	4mA, 8mA, 12mA 14mA	—
LVC MOS15, オープンドレイン	4mA, 8mA	—
LVC MOS12, オープンドレイン	2mA, 6mA	—
PCI33 ³	N/A	3.3
差動インターフェイス		
LVDS ^{1, 2}	N/A	2.5
BLVDS, RSDS ²	N/A	2.5
LVPECL ²	N/A	3.3

1, MachXO1200とMachXO2280デバイスにのみ専用LVDSバッファがある

2, 全デバイスで外部抵抗によりエミュレート可能

3, MachXO1200とMachXO2280デバイスの上辺バンクのみ

sysIOバッファ・バンク

このファミリのバンク数はデバイスによって異なります。より大きい2デバイス、MachXO1200およびMachXO2280は、8つのバンク(1辺あたり2バンク)に囲まれています。MachXO640には、4つのバンク(1辺あたり1つのバンク)があります。このファミリの最も小さいメンバ(MachXO256)には、2つのバンクしかありません。

それぞれのsysIOバッファ・バンクは複数のI/O標準をサポートすることができます。各バンクには、他のバンクから完全に独立させることができるバンク毎のI/O供給電圧(V_{CCIO})があります。図2-18、2-19、2-20、および図2-21はすべてのデバイス用のsysIOバンクとそれらの関連する供給電源を示しています。

図2-18 MachXO2280バンク構成

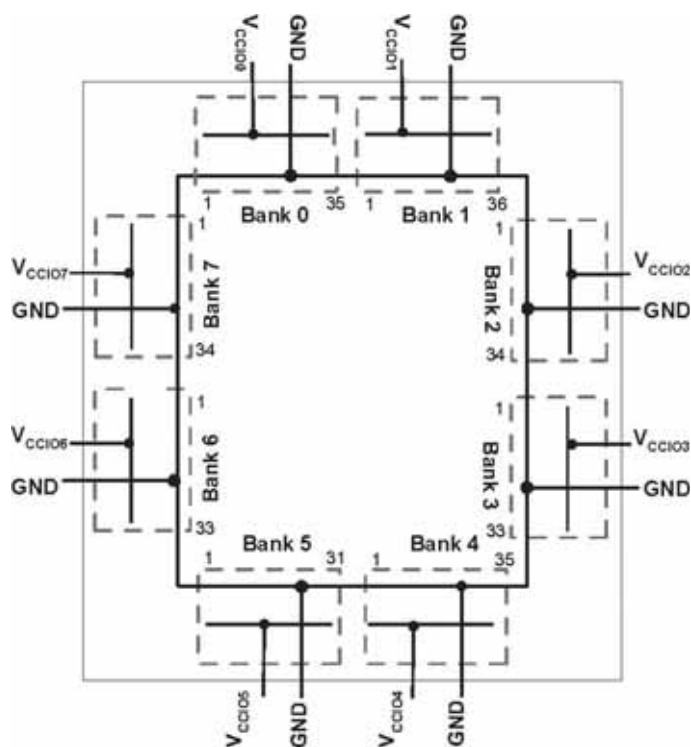


図2-19 MachXO1200バンク構成

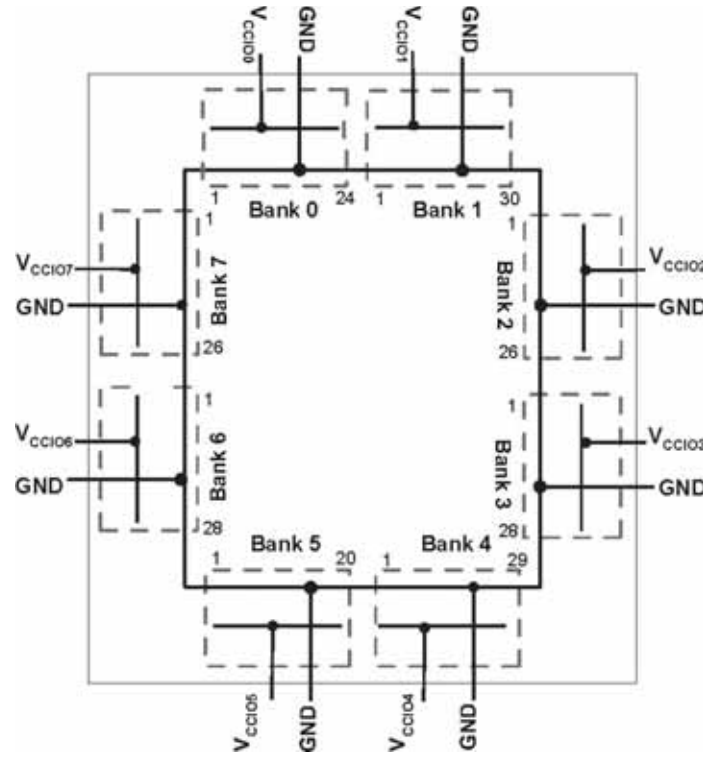


図2-20 MachXO640バンク構成

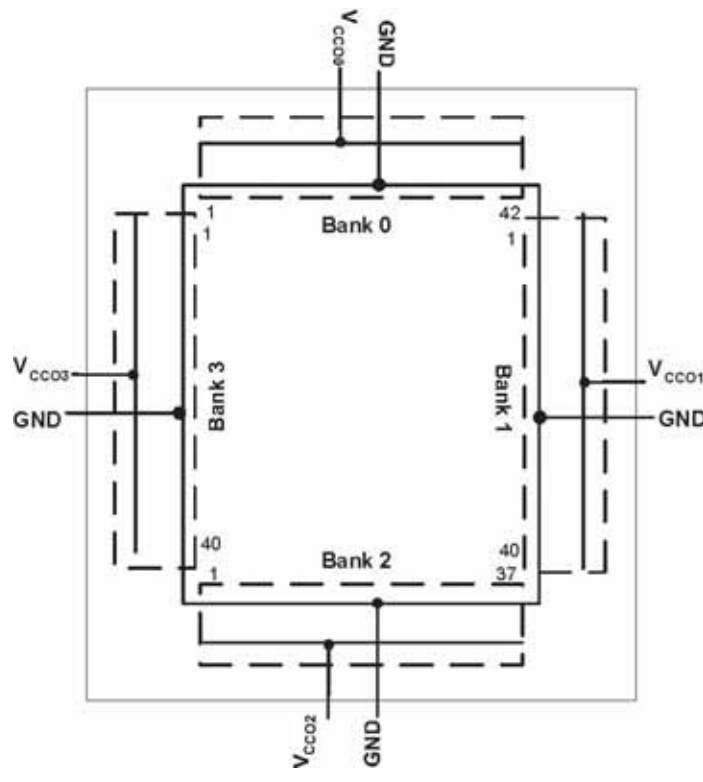
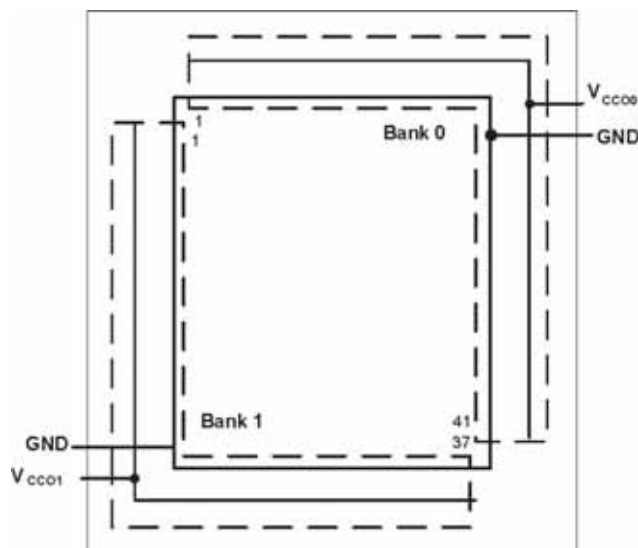


図2-21 MachXO256バンク構成



ホット・ソケットティング(活線挿抜)

パワーアップやパワーダウンの間、予測できる振舞いを確実にするようにMachXOデバイスは入念に設計されました。I/Oピンへのリークは仕様値内に制御されますので、システムの一部とのインテグレーションが容易にできます。これによりMachXOは複数電源やホットスワップ対応のアプリケーションに理想的です。

スリープモード

MachXO” C” デバイス(V_{CC}=1.8/2.5/3.3V)には、システム休止期間の待機時電流を、劇的に減少させることができるスリープモードがあります。スリープモードへの移行（オン、オフ）はSLEEPNピンによって制御されます。

スリープモードの間、FPGA論理は非動作状態であり、レジスタの状態やEBRの内容は維持されません。またI/Oはトライステートになります。デバイスがプログラミング中やコンフィグレーション動作の間、スリープモードに入らないようにする必要があります。スリープモード時は、電源は通常動作範囲を維持しておくことができるため、外部で電源を切り替える必要がありません。表2-9はノーマル時、オフ時、およびスリープモードの特性を比較しています。

表2-11 ノーマル、オフ、およびスリープモードの特性

特性項目	ノーマル時	オフ時	スリープモード
SLEEPNピン	High	-	Low
スタティック電流I _{CC}	Typical <10mA	0	Typical <100uA
I/Oリーク電流	< 10uA	< 1mA	< 10uA
供給電源V _{CC} /V _{CCIO} /V _{CCAUX}	通常範囲	0	通常範囲
ロジック動作	ユーザ定義	非動作	非動作
I/O動作	ユーザ定義	トライステート	トライステート
JTAGとプログラミング回路	動作	非動作	非動作
EBRの内容、レジスタ値	維持	維持しない	維持しない

SLEEPNピンの特性

SLEEPNピンは、デバイスの V_{CC} 電源に対するLVCMOS入力規格の電圧レベルで動作します。また、本ピンは誤ったトリガ入力を防ぐために、シュミットトリガ回路とグリッチフィルタと共に、10 μ Aの電流が流れる程度に弱くプルアップされています。スリープモードを意図しない場合に通常動作を確実にするため、本ピンを外部抵抗で V_{CC} にプルアップすることを推奨します。

デバイスは、通常SLEEPNが有効なLowレベルにされた数百ns後にスリープモードに入ります。通常モードへの復帰時はスリープモード・タイミング表で規定されるように動作を再開します。このデータシートのACとDC仕様部が詳細なタイミング・ダイアグラムを示します。

オシレータ

全MachXOデバイスが内部CMOSオシレータを持っています。オシレータはクロックツリーへの上として利用できます。発振周波数は内部ロジックで分周できます。本オシレータをオン・オフをプログラムする専用の制御ビットがあります。オシレータの周波数範囲は18MHzから26MHzです。

コンフィグレーションとテスト

以下のセクションはMachXOファミリデバイスのコンフィグレーションとテスト機能について説明します。

IEEEの1149.1準拠のバウンダリ・スキャン・テストビリティ

すべてのMachXOデバイスには、IEEE1149.1準拠のテスト・アクセス・ポート(TAP)を通してアクセスされるバウンダリ・スキャン・セルがあります。これは、すべての重要なロジック・ノードにアクセスすることができシリアル・スキャン・パスを通して、デバイスが搭載される回路基板の機能的なテストを可能にします。内部レジスタはリンクされており、テストデータがシフトインされて直接テスト・ノードにロードされるか、または検証のためにテストデータをキャプチャしてシフトアウトすることができます。テスト・アクセス・ポートはTDI、TDO、TCK、およびTMSの専用I/Oから成ります。テスト・アクセス・ポートは動作電源として V_{CCIO} を共用しますが (MachXO256: V_{CCIO1} ; MachXO640: V_{CCIO2} ; MachXO1200とMachXO2280: V_{CCIO5})、LVCMOS3.3/2.5/1.8/1.5/1.2の標準で動作することができます。

デバイス・コンフィグレーション

すべてのMachXOデバイスがデバイス・コンフィグレーションとプログラミングに用いることができるテストアクセスポートを含んでいます。

MachXOの不揮発性メモリは以下の2つの異なるモードでプログラムすることができます。

- ・IEEE1149.1ポートを介してのIEEE1532モード。このモードで、デバイスはオフラインで、I/OはBSCANレジスタによって制御されます。
- ・IEEE1149.1ポートを介してのバックグランド・モード。これは、再プログラミングが行われている間、デバイスはユーザ・モードでの動作が継続可能です。

SRAMコンフィグレーション・メモリは、次の3つの異なる方法で構成することができます。

- ・パワーアップ時にオンチップ不揮発性メモリにより
- ・IEEE1149.1ポートを介してリフレッシュコマンドを発行して
- ・IEEE1149.1ポートを介してIEEE1532モードで

図2-22はMachXOデバイスで利用できる異なるプログラミング・ポートとモードを表記しています。パワーアップ時に、SRAMはIEEE1532プロトコルによりIEEE1149.1シリアルTAPポートを通してコンフィグレーションする準備ができています。

リーブアローン(Leave Alone) I/O

IEEE1532モードを用いて不揮発性メモリのプログラミング、SRAMのコンフィグレーション、あるいはリフレッシュコマンドを発行するとき、ユーザはI/OをLow、High、トライステート、或いは現在の値に保持することのいずれかを指定できます。これは動作を継続したまま再プログラムをするようなシステムを実装するために、素晴らしい柔軟性を提供します。

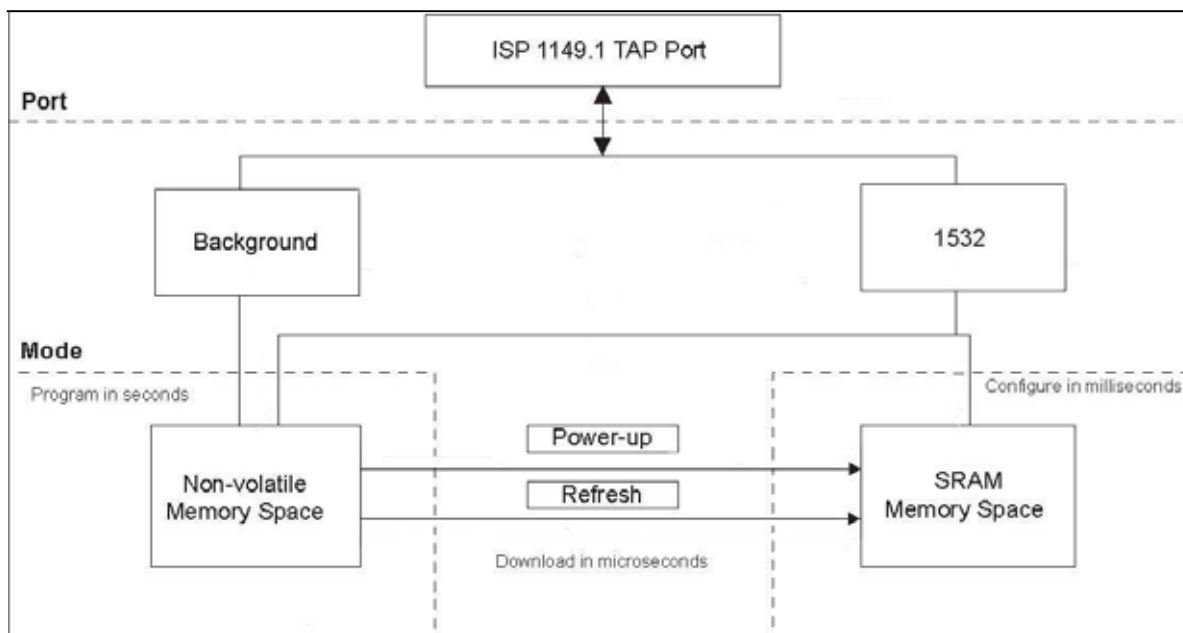
TransFR™ (Transparent Field Reconfiguration)

TransFR(TFR)はラティスのユニークなテクノロジーで、ispVMからのコマンド一つで、フィールドでのロジック更新を、システム停止することなく可能にする機能です。詳細はテクニカルノートTN1087 (Minimizing System Interruption During Configuration Using TransFR) を参照して下さい。

セキュリティ

MachXOデバイスはセキュリティ・ビットを持っており、これが設定されるとSRAMコンフィグレーションと不揮発性メモリ空間のリードバックを防げます。いったん設定されると、セキュリティ・ビットをクリアする唯一の方法はメモリ・スペースを消去することです。デバイス・コンフィグレーションの詳細な情報に関しては、テクニカル・ドキュメンテーション(TN1086)を参照してください。

図2-22 MachXO コンフィグレーションとプログラミング



ロジック集積度の移行 (マイグレーション)

同じパッケージで異なるロジック集積度のデバイスが同じピン配置であることを保証するようにMachXOファミリは設計されています。さらにアーキテクチャは、小さいロジック集積度のデバイスからより大きいロジック集積度のデバイスに設計のマイグレーションを行うときに、高い成功率を確実にします。また多くの場合、高密度デバイスの低い使用効率の設計を、小さいロジック集積度のデバイスにターゲットを移行させることも可能です。しかしながら、最終的なリソース使用効率の正確な詳細は、それぞれのケースで成功の確からしさに影響を与えるでしょう。

MachXO ファミリ・データシート

DCおよびスイッチング特性

絶対最大定格^{1 2 3}

	LCMXO E(1.2V)	LCMXO C(1.8V/2.5V/3.3V)
電源電圧 V_{CC}	-0.5 ~ 1.32V	-0.5 ~ 3.75V
電源電圧 V_{CCAUX}	-0.5 ~ 3.75V	-0.5 ~ 3.75V
出力電源電圧 V_{CCIO}	-0.5 ~ 3.75V	-0.5 ~ 3.75V
加えられるI/Oトライステート電圧 ⁴	-0.5 ~ 3.75V	-0.5 ~ 3.75V
加えられる入力専用ピン電圧 ⁴	-0.5 ~ 3.75V	-0.5 ~ 4.25V
保存温度(周囲)	-65 ~ 150°C	-65 ~ 150°C
ジャンクション温度(T_j)	+125°C	+125°C

1 “絶対最大定格”で記載された以上のストレスはデバイスに永久的な損傷を引き起こすかもしれません。これら条件下で、或いはこれら仕様項目の推奨動作条件セクションで示される以外のいかなる他の条件下で、デバイスの機能的な動作を暗示するものではありません。

2 ラティス”Thermal Management”（熱管理）ドキュメントに従うことが必要です。

3 全ての電圧はGND基準です

4 -2V ~ (V_{IHMAX} + 2)Vまでのオーバシュートとアンダシュートは <20nsの期間は許容されます。

推奨動作条件¹

シンボル	パラメータ	Min.	Max.	単位
V_{CC}	1.2Vデバイスのコア電源電圧	1.14	1.26	V
	1.8V/2.5V/3.3Vデバイスのコア電源電圧	1.71	3.465	V
V_{CCAUX} ³	補助(Auxiliary)電源電圧	3.135	3.465	V
V_{CCIO} ²	I/Oドライバ電源電圧	1.14	3.465	V
t_{JCOM}	ジャンクション温度、コマーシャル品	0	85	°C
t_{JIND}	ジャンクション温度、インダストリアル品	-40	100	°C
$t_{JFLASHCOM}$	ジャンクション温度、フラッシュ・プログラミング、コマーシャル品	0	85	°C
$t_{JFLASHIND}$	ジャンクション温度、フラッシュ・プログラミング、インダストリアル品	-40	100	°C

1 同じ電圧値の電源は同一ソースに接続すること。例えば V_{CCIO} と V_{CC} が共に2.5Vの場合や、3.3Vの V_{CCIO} は V_{CCAUX} と同じ電源に、或いはLCMXO “E”デバイスでは1.2Vの V_{CCIO} は V_{CC} と同じ電源に接続のこと

2 後の表におけるI/O標準毎の推奨電圧を参照のこと

3 V_{CCAUX} が2.5Vに達する前に V_{CC} が規定最小値以上になっていること

MachXO256, MachXO640 ホット・ソケットティング(活線挿抜)仕様^{1 2 3}

シンボル	パラメータ	条件	Min.	Typ.	Max	単位
I_{DK}	入力、I/Oのリーク電流	$0 \leq V_{IN} \leq V_{IH} (MAX)$	-	-	+/-1000	uA

1 V_{CC} 、 V_{CCAUX} 及び V_{CCIO} のシーケンスは順不同。ただし、いずれも単調増加・降下レートであることが必要

2 $0 \leq V_{CC} \leq V_{CC} (MAX)$ 、または $0 \leq V_{CCIO} \leq V_{CCIO} (MAX)$ 、 $0 \leq V_{CCAUX} \leq V_{CCAUX} (MAX)$ 、

3 I_{DK} は I_{PU} 、 I_{PW} 、または I_{BH} に加算される

MachXO1200, MachXO2280 ホット・ソケットティング(活線挿抜)仕様^{1 2 3 4}

シンボル	パラメータ	条件	Min.	Typ.	Max	単位
非LVDSの汎用sysIO						
I _{DK}	入力またはI/Oのリーク電流	$0 \leq V_{IN} \leq V_{IH} (MAX)$	—	—	+/-1000	uA
LVDSの汎用sysIO						
I _{DK}	入力またはI/Oのリーク電流	$V_{IN} \leq V_{CCIO}$	—	—	+/-1000	uA
		$V_{IN} > V_{CCIO}$	—	35	—	mA

1 V_{CC}、V_{CCAUX} 及び V_{CCIO} のシーケンスは順不同。ただし、いずれも単調増加・降下レートであることが必要

2 $0 \leq V_{CC} \leq V_{CC} (MAX)$ 、または $0 \leq V_{CCIO} \leq V_{CCIO} (MAX)$ 、 $0 \leq V_{CCAUX} \leq V_{CCAUX} (MAX)$ 、

3 I_{DK} は I_{PU}、I_{PW}、または I_{BH} に加算される

4 LVCMOSとLVTTLにて測定した値に基づく

DC電氣的特性

推奨動作条件にわたって

シンボル	パラメータ	条件	Min.	Typ.	Max.	単位
I _{IL} , I _{IH} ^{1 4 5}	入力、I/Oのリーク電流	$0 \leq V_{IN} \leq (V_{CCIO} - 0.2V)$	—	—	10	uA
		$(V_{CCIO} - 0.2V) < V_{IN} \leq 3.6V$	—	—	40	uA
I _{PU}	I/Oアクティブ・プルアップ電流	$0 \leq V_{IN} \leq 0.7 V_{CCIO}$	-30	—	-150	uA
I _{PD}	I/Oアクティブ・プルダウン電流	$V_{IL} (MAX) \leq V_{IN} \leq V_{IH} (MAX)$	30	—	150	uA
I _{BHLS}	バスホールドLow維持電流	$V_{IN} = V_{IL} (MAX)$	30	—	—	uA
I _{BHHS}	バスホールドHigh維持電流	$V_{IN} = 0.7V_{CCIO}$	-30	—	—	uA
I _{BHLO}	バスホールドLowオーバドライブ電流	$0 \leq V_{IN} \leq V_{IH} (MAX)$	—	—	150	uA
I _{BHLH}	バスホールドHighオーバドライブ電流	$0 \leq V_{IN} \leq V_{IH} (MAX)$	—	—	-150	uA
V _{BHT} ³	バスホールド・トリップ・ポイント	$0 \leq V_{IN} \leq V_{IH} (MAX)$	V _{IL} (MAX)	—	V _{IH} (MIN)	V
C1	I/O容量 ²	V _{CCIO} = 3.3V, 2.5V, 1.8V, 1.5V, 1.2V, V _{CC} = TYP., V _{IO} = 0 to V _{IH} (MAX)	—	8	—	pf
C2	専用入力の容量 ²	V _{CCIO} = 3.3V, 2.5V, 1.8V, 1.5V, 1.2V, V _{CC} = TYP., V _{IO} = 0 to V _{IH} (MAX)	—	8	—	pf

1. 入力やI/Oのリーク電流は、出力ドライバをトライステートにし、ピンは入力として、またはI/Oとして構成して測定される。出力ドライバがアクティブな状態では測定されない。バスメンテナンス回路はディセーブルされる。

2. TA 25℃、f = 1.0MHz

3. 本ドキュメント内sysIOシングルエンドDC電氣的特性仕様の表にあるV_{IL}とV_{IH}を参照のこと

4. SLEEPNピンには適用されない

5. V_{IH}がV_{CCIO}より高い場合、HiからLoの遷移時に、標準で30ns以下の期間、ピークで6mAの過渡電流が流れ得る。MachXO1200とMachXO2280の真のLVDS出力ピンでは、V_{IH}はV_{CCIO}に等しいか高くならない必要がある。

供給電流(スリープモード時)¹²

シンボル	パラメータ	デバイス	Typ. ³	MAX	単位
I _{CC}	コア電源電流	LCMXO256C	12	25	uA
		LCMXO640C	12	25	uA
		LCMXO1200C	12	25	uA
		LCMXO2280C	12	25	uA
I _{CCAUX}	補助(Auxiliary)電源電流	LCMXO256C	1	15	uA
		LCMXO640C	1	25	uA
		LCMXO1200C	1	45	uA
		LCMXO2280C	1	85	uA
I _{CCIO}	バンク電源電流 ⁴	全LCMXO "C"デバイス	2	30	uA

1 全入力はLVCMOSに構成されてV_{CCIO}またはGNDに固定されていると仮定。

2 周波数 0MHz.

3 T_A = 25°C、電源電圧は公称値

4 バンク当り

供給電流(スタンバイ時)¹²³⁴

推奨動作条件にわたって

シンボル	パラメータ	デバイス	Typ. ⁵	単位
I _{CC}	コア電源電流	LCMXO256C	7	mA
		LCMXO640C	9	mA
		LCMXO1200C	14	mA
		LCMXO2280C	20	mA
		LCMXO256E	4	mA
		LCMXO640E	6	mA
		LCMXO1200E	10	mA
		LCMXO2280E	12	mA
I _{CCAUX}	補助(Auxiliary)電源電流 V _{CCAUX} = 3.3V	LCMXO256E/C	5	mA
		LCMXO640E/C	7	mA
		LCMXO1200E/C	12	mA
		LCMXO2280E/C	13	mA
I _{CCIO}	バンク電源電流 ⁶	全デバイス	2	mA

1 供給電流についてのさらなる情報については、付加的技術情報の詳細を参照のこと

2 全出力はトライステート、全入力はLVCMOSに構成されてV_{CCIO}またはGNDに固定されていると仮定

3 周波数 0MHz.

4 ユーザパターンはブランク

5 T_A = 25°C、電源電圧は公称値

6 バンク当り。V_{CCIO}=2.5V, ブルアップ・ダウン抵抗を含まない

初期化供給電流^{1 2 3 4}

推奨動作条件にわたって

シンボル	パラメータ	デバイス	Typ. ⁵	単位
I _{CC}	コア電源電流	LCMXO256C	13	mA
		LCMXO640C	17	mA
		LCMXO1200C	21	mA
		LCMXO2280C	23	mA
		LCMXO256E	10	mA
		LCMXO640E	14	mA
		LCMXO1200E	18	mA
		LCMXO2280E	20	mA
I _{CCAUX}	補助(Auxiliary)電源電流 V _{CCAUX} = 3.3V	LCMXO256E/C	10	mA
		LCMXO640E/C	13	mA
		LCMXO1200E/C	24	mA
		LCMXO2280E/C	25	mA
I _{CCIO}	バンク電源電流 ⁶	全デバイス	2	mA

1 供給電流についてのさらなる情報については、付加的技術情報の詳細を参照のこと

2 全I/OはV_{CCIO}またはGNDに固定されていると仮定

3 周波数 0MHz.

4 一般的ユーザパターン

5 T_A = 25°C、電源電圧は公称値6 バンク当り。V_{CCIO} = 2.5V, プルアップ・ダウン抵抗を含まない

フラッシュメモリ・プログラミング時、消去時供給電流^{1 2 3 4}

推奨動作条件にわたって

シンボル	パラメータ	デバイス	Typ. ⁵	単位
I _{CC}	コア電源電流	LCMXO256C	9	mA
		LCMXO640C	11	mA
		LCMXO1200C	16	mA
		LCMXO2280C	22	mA
		LCMXO256E	6	mA
		LCMXO640E	8	mA
		LCMXO1200E	12	mA
		LCMXO2280E	14	mA
I _{CCAUX}	補助(Auxiliary)電源電流 V _{CCAUX} = 3.3V	LCMXO256E/C	8	mA
		LCMXO640E/C	10	mA
		LCMXO1200E/C	15	mA
		LCMXO2280E/C	16	mA
I _{CCJ}	V _{CCJ} 電源電流 ⁶	全デバイス	2	mA

1 供給電流についてのさらなる情報については、付加的技術情報の詳細を参照のこと

2 全入力はV_{CCIO}またはGNDに固定されていると仮定

3 一般的なユーザパターン

4 JTAGプログラムは25MHz

5 T_A = 25°C、電源電圧は公称値6 バンク当り。V_{CCIO} = 2.5V, プルアップ・ダウン抵抗を含まない

sysIO推奨動作条件

標準	V _{CCIO}		
	Min.	Typ.	Max.
LVC MOS 3.3	3.135	3.3	3.465
LVC MOS 2.5	2.375	2.5	2.625
LVC MOS 1.8	1.71	1.8	1.89
LVC MOS 1.5	1.425	1.5	1.575
LVC MOS 1.2	1.14	1.2	1.26
LVTTL	3.135	3.3	3.465
PCI ³	3.135	3.3	3.465
LVDS ^{1,2}	2.375	2.5	2.625
LVPECL ¹	3.135	3.3	3.465
BLVDS ¹	2.375	2.5	2.625
RSDS ¹ ,	2.375	2.5	2.625

1. デバイスに対する入力。出力は外部抵抗を加えて実装する
2. MachXO 1200とMachXO 2280は専用LVDSバッファあり
3. MachXO 1200とMachXO 2280の上辺のバンクのみ

シングルエンドsysIO DC電气的特性

入出力標準	V_{IL}		V_{IH}		V_{OL} Max. (V)	V_{OH} Min. (V)	I_{OL}^1 (mA)	I_{OH}^1 (mA)
	Min. (V)	Max. (V)	Min. (V)	Max. (V)				
LVCMOS 3.3	-0.3	0.8	2.0	3.6	0.4	$V_{CCIO} - 0.4$	16, 12, 8, 4	-14, -12, -8, -4
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
LVTTTL	-0.3	0.8	2.0	3.6	0.4	2.4	16	-16
					0.4	$V_{CCIO} - 0.4$	12, 8, 4	-12, -8, -4
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
LVCMOS 2.5	-0.3	0.7	1.7	3.6	0.4	$V_{CCIO} - 0.4$	16, 12, 8, 4	-14, -12, -8, -4
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
LVCMOS 1.8	-0.3	$0.35V_{CCIO}$	$0.65V_{CCIO}$	3.6	0.4	$V_{CCIO} - 0.4$	16, 12, 8, 4	-14, -12, -8, -4
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
LVCMOS 1.5	-0.3	$0.35V_{CCIO}$	$0.65V_{CCIO}$	3.6	0.4	$V_{CCIO} - 0.4$	8, 4	-8, -4
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
LVCMOS 1.2 ("C" Version)	-0.3	0.42	0.78	3.6	0.4	$V_{CCIO} - 0.4$	6, 2	-6, -2
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
LVCMOS 1.2 ("E" Version)	-0.3	$0.35V_{CCIO}$	$0.65V_{CCIO}$	3.6	0.4	$V_{CCIO} - 0.4$	6, 2	-6, -2
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
PCI	-0.3	$0.3V_{CCIO}$	$0.5V_{CCIO}$	3.6	$0.1V_{CCIO}$	$0.9V_{CCIO}$	1.5	-0.5

1. ロジック信号接続表で示されるように、I/OによってGND接続の間、あるいはI/Oバンクの端の最後のGNDとI/Oバンク間を流れる平均DC電流は、 $n \times 8\text{mA}$ を超えないものとします。ここでnはバンクGND接続か、バンクの最後のGNDとバンク端の間のI/O数です。

(The average DC current drawn by I/Os between GND connections, or between the last GND in an I/O bank and the end of an I/O bank, as shown in the logic signal connections table shall not exceed $n \times 8\text{mA}$. Where n is the number of I/Os between bank GND connections or between the last GND in a bank and the end of a bank.)

差動sysIO電氣的特性

LVDS

推奨動作条件にわたって

パラメータ シンボル	パラメータ記述	テスト条件	Min.	Typ.	Max.	単位
V_{INP}, V_{INM}	入力電圧		0	—	2.4	V
V_{THD}	差動の入力スレッシュホールド		+/-100	—	—	mV
V_{CM}	入力コモンモード電圧	$100\text{mV} \leq V_{THD}$	$V_{THD}/2$	1.2	1.8	V
		$200\text{mV} \leq V_{THD}$	$V_{THD}/2$	1.2	1.9	V
		$350\text{mV} \leq V_{THD}$	$V_{THD}/2$	1.2	2.0	V
I_{IN}	入力電流	パワーオン	—	—	+/-10	uA
V_{OH}	V_{OP} か V_{OM} の出力High電圧	$R_T = 100\ \Omega$	—	1.38	1.60	V
V_{OL}	V_{OP} か V_{OM} の出力Low電圧	$R_T = 100\ \Omega$	0.9V	1.03	—	V
V_{OD}	出力差動電圧	$(V_{OP} - V_{OM}), R_T = 100\ \Omega$	250	350	450	mV
ΔV_{OD}	HighとLow間の V_{OD} の変化		—	—	50	mV
V_{OS}	出力電圧オフセット	$(V_{OP} - V_{OM})/2, R_T = 100\ \Omega$	1.125	1.25	1.375	V
ΔV_{OS}	HとLの間の V_{OS} の変化		—	—	50	mV
I_{OSD}	出力短絡電流	$V_{OD} = 0V$ 、ドライバ出力をショート	—	—	6	mA

LVDSエミュレーション

MachXOの一部デバイスは真のLVDSをサポートしますが、さらにエミュレートによってもLVDS出力をサポートし、これをLVDS25Eと呼びます。コンプリメンタリなLVCMOS出力を外部抵抗とともに用いることで出力をエミュレートし、全デバイスで使用可能です。図3-1で示すのは標準的な構成例で、抵抗は1%偏差の業界標準値です。

一部のデバイスには差動LVDS入力バッファがあります。

図3-1 外部抵抗を使用したLVDSの例 (LVDS25E)

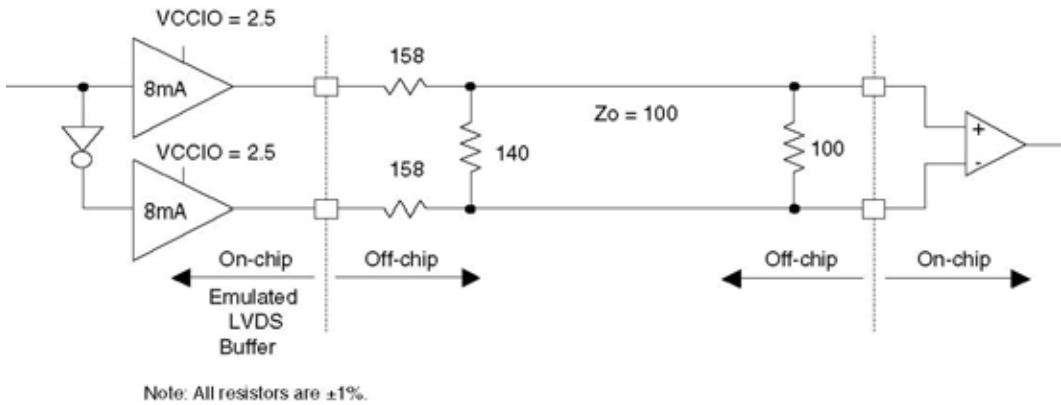


表3-1 LVDS25Eの直流条件

推奨動作条件にわたって

パラメータ	記述	標準値	単位
Z_{OUT}	出力インピーダンス	20	Ω
R_S	ドライバ直列抵抗	294	Ω
R_P	ドライバ並列抵抗	121	Ω
R_T	レシーバ終端	100	Ω
V_{OH}	出力High電圧	1.43	V
V_{OL}	出力Low電圧	1.07	V
V_{OD}	出力差動電圧	0.35	V
V_{CM}	出力コモンモード電圧	1.25	V
Z_{BACK}	バック・インピーダンス	100	Ω
I_{DC}	直流出力電流	3.66	mA

BLVDS

MachXOデバイスは、BLVDS標準をサポートします。この出力は、ドライバ出力間の平行外部抵抗と共にコンプリメンタリなLVCMOS出力を用いることでエミュレートされます。入力の一部のデバイスではLVDS差動入力バッファを用いてサポートされます。BLVDSはマルチドロップで双方向のマルチポイント差動シグナリングが必要な時に用いられることを意図しています。図3-2で示される構成は、双方向のマルチポイント差動信号のための1つの可能なソリューションです。

図3-2 BLVDS マルチポイント出力の例

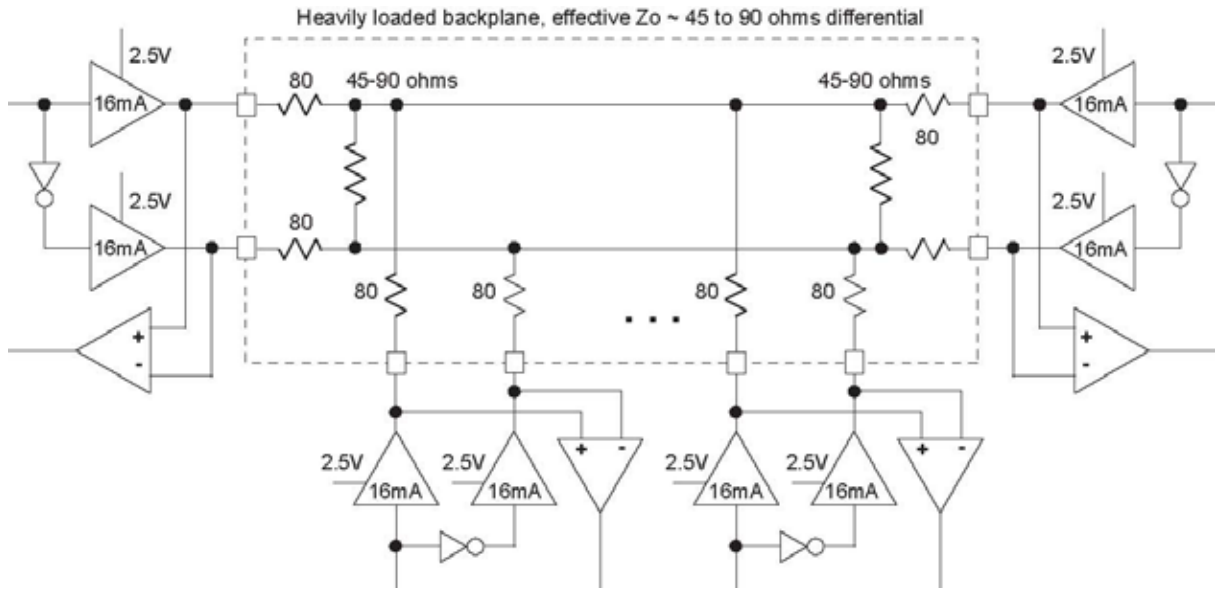


表3-2 BLVDS 直流条件¹

推奨動作条件にわたって

パラメータ	記述	Typical		単位
		Zo = 45	Zo = 90	
ZOUT	出力インピーダンス	100	100	Ω
RTLEFT	左端の終端	45	90	Ω
RTRIGHT	右端の終端	45	90	Ω
VOH	出力High電圧	1.375	1.48	V
VOL	出力Low電圧	1.125	1.02	V
VOD	出力差動電圧	0.25	0.46	V
VCM	出力コモンモード電圧	1.25	1.25	V
IDC	DC出力電流	11.2	10.2	mA

1. 入力バッファに関しては、LVDS表を参照してください

LVPECL

MachXOデバイスは、差動LVPECL標準をサポートします。出力標準は、ドライバ出力間の平行外部抵抗と共にコンプリメンタリなLVCMOS出力を用いることで、全デバイスでエミュレートできます。入力の一部のデバイスではLVDS差動入力バッファを用いてサポートされます。図3-3で示される構成は、ポイント・ツー・ポイント信号のための1つの可能なソリューションです。

図3-3 差動LVPECL

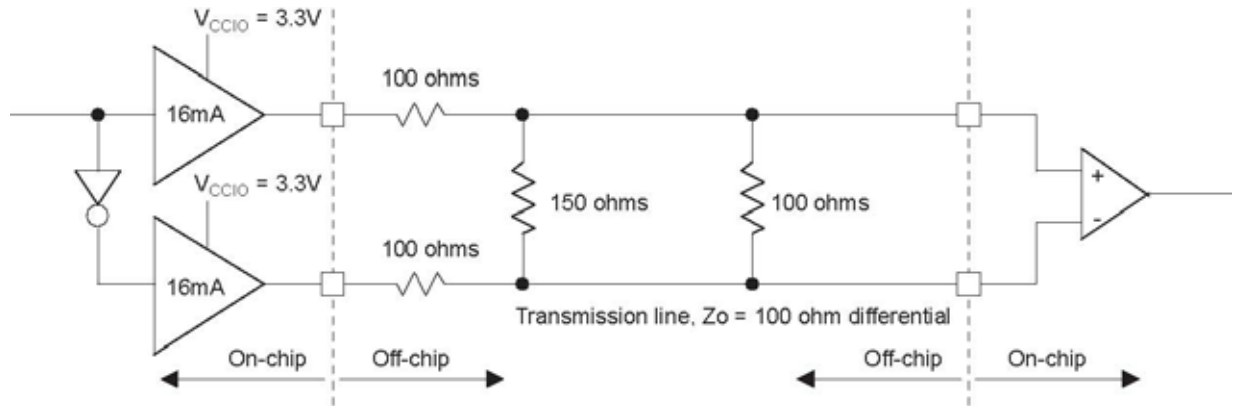


表3-3 LVPECL 直流条件¹

推奨動作条件にわたって

パラメータ	記述	Typical	単位
Z _{OUT}	出力インピーダンス	100	Ω
R _P	ドライバの平行抵抗	150	Ω
R _T	レシーバ終端	100	Ω
V _{OH}	出力High電圧	2.03	V
V _{OL}	出力Low電圧	1.27	V
V _{OD}	出力差動電圧	0.76	V
V _{CM}	出力コモンモード電圧	1.65	V
Z _{BACK}	バック・インピーダンス	85.7	Ω
I _{DC}	DC出力電流	12.7	mA

1. 入力バッファに関しては、LVDS表を参照してください。

RSDS

LatticeECP/ECデバイスは、差動RSDS標準をサポートします。出力標準は、ドライバ出力間の平行外部抵抗と共にコンプリメンタリなLVCMOS出力を用いることでエミュレートされます。入力の一部のデバイスではLVDS差動入力バッファを用いてサポートされます。図3-4に示された構成は、RSDS標準の実装のための1つの可能なソリューションです。RSDS動作には推奨抵抗値でLVDS25Eモードを用いてください。図3-4における抵抗値は1%偏差の業界標準値です。

図3-4 RSDS (Reduced Swing Differential Standard)

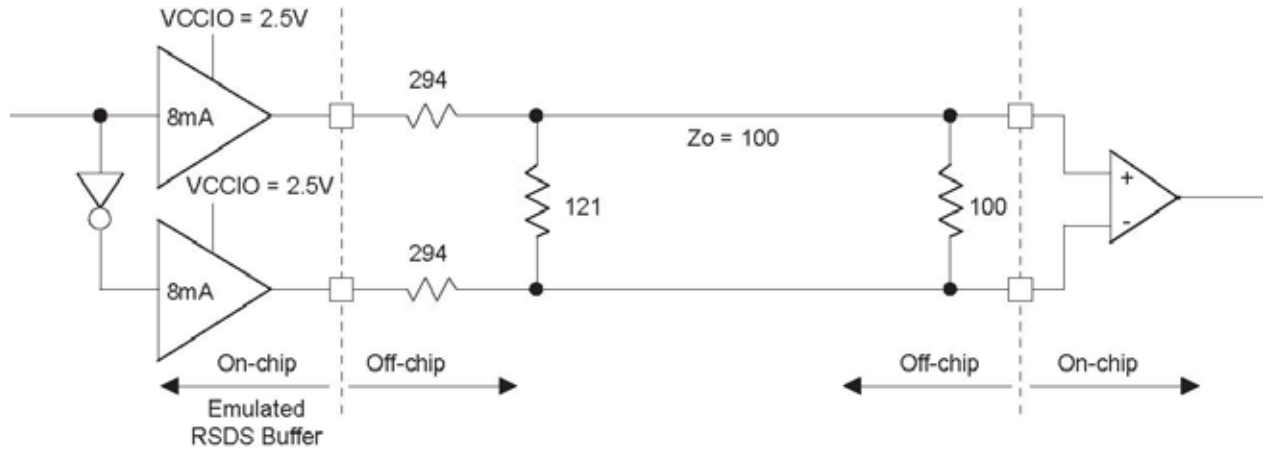


表3-4 RSDS DC条件

パラメータ	記述	Typical	単位
Z _{OUT}	出力インピーダンス	20	Ω
R _S	ドライバ・シリーズ抵抗	294	Ω
R _P	ドライバ・パラレル抵抗	121	Ω
R _T	レシーバ終端	100	Ω
V _{OH}	出力High電圧	1.35	V
V _{OL}	出力Low電圧	1.15	V
V _{OD}	出力差動電圧	0.20	V
V _{CM}	出力コモンモード電圧	1.25	V
Z _{BACK}	バック・インピーダンス	101.5	Ω
I _{DC}	DC出力電流	3.66	mA

典型的なビルディング・ブロック機能パフォーマンス¹

ピン・ピン間のパフォーマンス(LVCMOS25 12mAドライブ)

機能	-5 タイミング	単位
基本機能		
16ビット・デコーダ	6.7	ns
4:1 MUX	4.5	ns
16:1 MUX	5.1	ns

レジスタ・レジスタ間パフォーマンス

機能	-5 タイミング	単位
基本機能		
16:1 MUX	487	MHz
16ビット加算器	292	MHz
16ビット・カウンタ	388	MHz
64ビット・カウンタ	200	MHz
エンベデッド・メモリ機能 (1200と2280デバイスのみ)		
256×36 シングルポートRAM	284	MHz
512×18 真のデュアルポートRAM	284	MHz
分散メモリ機能		
16×2 シングルポートRAM	434	MHz
64×2 シングルポートRAM	320	MHz
128×4 シングルポートRAM	261	MHz
32×2 擬似デュアルポートRAM	314	MHz
64×4 擬似デュアルポートRAM	271	MHz

本数値はispLEVER開発ツールを用いて算出されたもので、設計とツールのバージョンにより正確な値は異なることがある。ツールが用いる内部パラメータはキャラクタライズされたものであるが、全てのデバイスについてテストされたものではない。

Rev.A 0.19

ディレーティング・ロジック・タイミング

データシートの以下のセクションとispLEVERデザインツールに提供されるロジック・タイミングは、動作範囲内での最悪値です。ベストケース・プロセスの公称温度と電圧における実際の遅延は、表で与えられた値よりはるかに良い場合があります。ispLEVERデザインツールは特定の温度と電圧でのロジック・タイミング値を与えることができます。

MachXO 外部スイッチング特性¹

推奨動作条件にわたって

パラメータ	記 述	デバイス	-5		-4		-3		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
汎用I/Oピン・パラメータ(PLLなしでグローバル・クロックを用いる) ¹									
t _{PD}	1LUT（最良ケース）の伝播遅延時間	LCMXO256	—	3.5	—	4.2	—	4.9	ns
		LCMXO640	—	3.5	—	4.2	—	4.0	ns
		LCMXO1200	—	3.6	—	4.4	—	5.1	ns
		LCMXO2280	—	3.6	—	4.4	—	5.1	ns
t _{CO}	クロック対出力（最良ケース）、PFU から	LCMXO256	—	4.0	—	4.8	—	5.6	ns
		LCMXO640	—	4.0	—	4.8	—	5.7	ns
		LCMXO1200	—	4.3	—	5.2	—	6.1	ns
		LCMXO2280	—	4.3	—	5.2	—	6.1	ns
t _{SU}	クロック対データ・セットアップ、PFU へ	LCMXO256	1.3	—	1.6	—	1.8	—	ns
		LCMXO640	1.1	—	1.3	—	1.5	—	ns
		LCMXO1200	1.1	—	1.3	—	1.6	—	ns
		LCMXO2280	1.1	—	1.3	—	1.5	—	ns
t _H	クロック対データ・ホールド、PFU へ	LCMXO256	-0.3	—	-0.3	—	-0.3	—	ns
		LCMXO640	-0.1	—	-0.1	—	-0.1	—	ns
		LCMXO1200	0.0	—	0.0	—	0.0	—	ns
		LCMXO2280	-0.4	—	-0.4	—	-0.4	—	ns
f _{MAX_IO}	I/OとPFUレジスタのクロック周波数	LCMXO256	—	600	—	550	—	500	MHz
		LCMXO640	—	600	—	550	—	500	MHz
		LCMXO1200	—	600	—	550	—	500	MHz
		LCMXO2280	—	600	—	550	—	500	MHz
t _{SKEW_PRI}	I/Oバンク内のプライマリ・クロックスキュー	LCMXO256	—	200	—	220	—	240	ps
		LCMXO640	—	200	—	220	—	240	ps
		LCMXO1200	—	200	—	220	—	240	ps
		LCMXO2280	—	200	—	220	—	240	ps

1. 一般のタイミング値はLVCMOS2.5V、12mAに基づく
Rev.A 0.19

MachXO内部タイミング・パラメータ¹

推奨動作条件にわたって

パラメータ	記述	-5		-4		-3		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
PFU/PFFロジック・モード・タイミング								
t _{LUT4_PFU}	LUT4遅延(A〜D入力からF出力)	—	0.28	—	0.34	—	0.39	ns
t _{LUT6_PFU}	LUT6遅延(A〜D入力からOFX出力)	—	0.44	—	0.53	—	0.62	ns
t _{LSR_PFU}	セット/リセット対PFU出力	—	0.90	—	1.08	—	1.26	ns
t _{SUM_PFU}	入力セットアップ時間、クロック対Mux(M0、M1)	0.10	—	0.13	—	0.15	—	ns
t _{HM_PFU}	入力ホールド時間、クロック対Mux(M0、M1)	-0.05	—	-0.06	—	-0.07	—	ns
t _{SUD_PFU}	入力セットアップ時間、クロック対D入力	0.13	—	0.16	—	0.18	—	ns
t _{HD_PFU}	ホールド時間、クロック対D入力	-0.03	—	-0.03	-	-0.04	—	ns
t _{CK2Q_PFU}	クロック対Q遅延、D-タイプ・レジスタ	—	0.40	—	0.48	—	0.56	ns
t _{LE2Q_PFU}	クロック対Q遅延、ラッチ	—	0.53	—	0.64	—	0.74	ns
t _{LD2Q_PFU}	D対Qスループット遅延、ラッチ・イネーブル時	—	0.55	—	0.66	—	0.77	ns
PFUメモリ・モード・タイミング								
t _{CORAM_PFU}	クロック対出力	—	0.40	—	0.48	—	0.56	ns
t _{SUDATA_PFU}	データ・セットアップ時間	-0.18	—	-0.22	—	-0.25	—	ns
t _{HDATA_PFU}	データ・ホールド時間	0.28	—	0.34	—	0.39	—	ns
t _{SUADDR_PFU}	アドレス・セットアップ時間	-0.46	—	-0.56	—	-0.65	—	ns
t _{HADDR_PFU}	アドレス・ホールド時間	0.71	—	0.85	—	0.99	—	ns
t _{SUWREN_PFU}	リード/ライト・イネーブル・セットアップ時間	-0.22	—	-0.26	—	-0.30	—	ns
t _{HWREN_PFU}	リード/ライト・イネーブル・ホールド時間	0.33	—	0.40	—	0.47	—	ns
PIO 入力/出力バッファ・タイミング								
t _{IN_PIO}	入力バッファ遅延	—	0.75	—	0.90	—	1.06	ns
t _{OUT_PIO}	出力バッファ遅延	—	1.29	—	1.54	—	1.80	ns
EBRタイミング								
t _{CO_EBR}	クロック対出力、アドレスまたはデータから	—	2.24	—	2.69	—	3.14	ns
t _{COO_EBR}	クロック対出力、EBR出力レジスタから	—	0.54	—	0.64	—	0.75	ns
t _{SUDATA_EBR}	セットアップ、データ対EBRメモリ	-0.26	—	-0.31	—	-0.37	—	ns
t _{HDATA_EBR}	ホールド、データ対EBRメモリ	0.41	—	0.49	—	0.57	—	ns
t _{SUADDR_EBR}	セットアップ、アドレス対EBRメモリ	-0.26	—	-0.31	—	-0.37	—	ns
t _{HADDR_EBR}	ホールド、アドレス対EBRメモリ	0.41	—	0.49	—	0.57	—	ns
t _{SUWREN_EBR}	ライト/リード・イネーブル・セットアップ、対EBR	-0.17	—	-0.20	—	-0.23	—	ns
t _{HWREN_EBR}	ライト/リード・イネーブルホールド、対EBR	0.26	—	0.31	—	0.36	—	ns
t _{SUCE_EBR}	クロック・イネーブル・セットアップ、対EBR出力レジスタ	0.19	—	0.23	—	0.27	—	ns
t _{HCE_EBR}	クロック・イネーブル・ホールド、対EBR出力レジスタ	-0.13	—	-0.16	—	-0.18	—	ns
t _{RSTO_EBR}	出力遅延時間、リセットからEBR出力レジスタ	—	1.03	—	1.23	—	1.44	ns
PLLパラメータ								
t _{RSTREC}	リセット・リカバリ、対クロックの立ち上がり	—	1.00	—	1.00	—	1.00	ns
t _{RSTSU}	リセット信号セットアップ時間	1.00	—	1.00	—	1.00	—	ns

¹ 内部パラメータはキャラクタライズされているが、全デバイスはテストしていない
Rev.A 0.19

MachXOファミリ タイミングの加算値¹²³

推奨動作条件にわたって

バッファ・タイプ	記述	-5	-4	-3	単位
入力加算値					
LVDS25 ⁴	LVDS	0.44	0.53	0.61	ns
BLVDS25 ⁴	BLVDS	0.44	0.53	0.61	ns
LVPECL33 ⁴	LVPECL	0.42	0.50	0.59	ns
LVTTL33	LVTTL	0.01	0.01	0.01	ns
LVC MOS33	LVC MOS 3.3	0.01	0.01	0.01	ns
LVC MOS25	LVC MOS 2.5	0.00	0.00	0.00	ns
LVC MOS18	LVC MOS 1.8	0.07	0.08	0.10	ns
LVC MOS15	LVC MOS 1.5	0.14	0.17	0.19	ns
LVC MOS12	LVC MOS 1.2	0.40	0.48	0.56	ns
PCI33 ⁴	PCI	0.01	0.02	0.01	ns
出力加算値					
LVDS25E	LVDS 2.5 E	-0.13	-0.15	-0.18	ns
LVDS25 ⁴	LVDS 2.5	-0.21	-0.26	-0.30	ns
BLVDS25	BLVDS 2.5	-0.03	-0.03	-0.04	ns
LVPECL33	LVPECL 3.3	0.04	0.04	0.05	ns
LVTTL33_4mA	LVTTL 4mA ドライブ	0.04	0.04	0.05	ns
LVTTL33_8mA	LVTTL 8mA ドライブ	0.06	0.07	0.08	ns
LVTTL33_12mA	LVTTL 12mA ドライブ	-0.01	-0.01	-0.01	ns
LVTTL33_16mA	LVTTL 16mA ドライブ	0.50	0.60	0.70	ns
LVC MOS33_4mA	LVC MOS 3.3 4mA ドライブ	0.04	0.04	0.05	ns
LVC MOS33_8mA	LVC MOS 3.3 8mA ドライブ	0.06	0.07	0.08	ns
LVC MOS33_12mA	LVC MOS 3.3 12mA ドライブ	-0.01	-0.01	-0.01	ns
LVC MOS33_16mA	LVC MOS 3.3 16mA ドライブ	0.50	0.60	0.70	ns
LVC MOS25_4mA	LVC MOS 2.5 4mA ドライブ	0.05	0.06	0.07	ns
LVC MOS25_8mA	LVC MOS 2.5 8mA ドライブ	0.10	0.12	0.13	ns
LVC MOS25_12mA	LVC MOS 2.5 12mA ドライブ	0.00	0.00	0.00	ns
LVC MOS25_16mA	LVC MOS 2.5 16mA ドライブ	0.34	0.40	0.47	ns
LVC MOS18_4mA	LVC MOS 1.8 4mA ドライブ	0.11	0.13	0.15	ns
LVC MOS18_8mA	LVC MOS 1.8 8mA ドライブ	0.05	0.06	0.06	ns
LVC MOS18_12mA	LVC MOS 1.8 12mA ドライブ	-0.06	-0.07	-0.08	ns
LVC MOS18_16mA	LVC MOS 1.8 16mA ドライブ	0.06	0.07	0.09	ns
LVC MOS15_4mA	LVC MOS 1.5 4mA ドライブ	0.15	0.19	0.22	ns
LVC MOS15_8mA	LVC MOS 1.5 8mA ドライブ	0.05	0.06	0.07	ns
LVC MOS12_2mA	LVC MOS 1.2 2mA ドライブ	0.26	0.31	0.36	ns
LVC MOS12_6mA	LVC MOS 1.2 6mA ドライブ	0.05	0.06	0.07	ns
PCI33 ⁴	PCI33	1.85	2.22	2.59	ns

1 タイミング加算値はキャラクタライズされているが全デバイスはテストしていない

2 LVC MOS タイミングは“スイッチングテスト条件”の項に示される負荷条件で測定

3 その他インターフェイスタイプは適切な仕様に従って測定

4 本I/O標準はLCMXO1200とLCMXO2280デバイスのみ

Rev.A 0.19

sysCLOCK PLLタイミング

推奨動作条件にわたって

パラメータ	記 述	条件	Min.	Max.	単位
f_{IN}	入力クロック周波数(CLKI、CLKFB)		25	420	MHz
f_{OUT}	出力クロック周波数(CLKOP、CLKOS)		25	420	MHz
f_{OUT2}	K分周器出力周波数(CLKOK)		0.195	210	MHz
f_{VCO}	PLL VCO周波数		420	840	MHz
f_{PFD}	位相検出器入力周波数		25	—	MHz
AC特性					
t_{DT}	出力クロック・デューティサイクル	選択されるデフォルト・デューティ比 ³	45	55	%
t_{PH}^4	出力位相精度		—	0.05	UI
t_{OPJIT}^1	出力クロック周期ジッタ	$f_{OUT} \geq 100\text{MHz}$	—	+/- 120	ps
		$f_{OUT} < 100\text{MHz}$	—	0.02	UIPP
t_{SK}	入力クロック対出力クロック・スキュー	分周比 = 整数	—	+/- 200	ps
t_W	出力クロック・パルス幅	90%または10%で ³	1	—	ns
t_{LOCK}^2	PLLロックイン時間		—	150	us
t_{PA}	プログラマブル遅延ユニット		100	400	ps
t_{IPJIT}	入力クロック周期ジッタ		—	+/- 200	ps
t_{FBKDLY}	外部フィードバック遅延		—	10	ns
t_{HI}	入力クロックHigh時間	90% ~ 90%	0.5	—	ns
t_{LO}	入力クロックLow時間	10% ~ 10%	0.5	—	ns
t_{RST}	RST パルス幅		10	—	ns

1. ジッタサンプル数は 10,000, プライマリ出力をクリーンな基準クロックで取り込んだ場合

2. PLLリセットとダイナミックな遅延調整では、出力クロックは t_{LOCK} の後に有効

3. LVDS バッファを使用

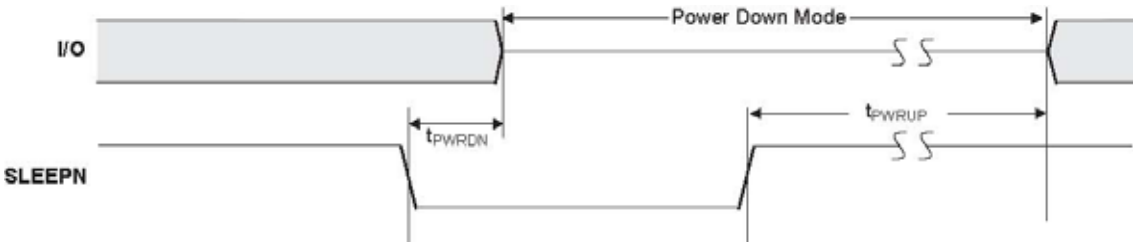
4. CLKOSをCLKOP出力に対して比較

(Rev.A 0.19)

MachXO “C” スリープモード・タイミング

パラメータ	記述		Min	Typ.	Max	単位
tPWRDN	SLEEPN Low からパワーダウン		—	—	400	ns
tPWRUP	SLEEPN High からパワーアップ	LCMXO256	—	—	400	us
		LCMXO640	—	—	600	us
		LCMXO1200	—	—	800	us
		LCMXO2280	—	—	1000	us
tWSLEEPN	SLEEPN パルス幅	全デバイス	—	—	400	ns
tWAWAKE	SLEEPN パルス・リジエクション	全デバイス	100	—	—	ns

Rev.A 0.19



フラッシュ・ダウンロード時間

シンボル	パラメータ		Min.	Typ.	Max.	単位
tFEFRESH	V _{CC} かV _{CCAUX} の最低電圧値 (遅い方) からデバイスがアクティブ	LCMXO256	—	—	0.4	ms
		LCMXO640	—	—	0.6	ms
		LCMXO1200	—	—	0.8	ms
		LCMXO2280	—	—	1.0	ms

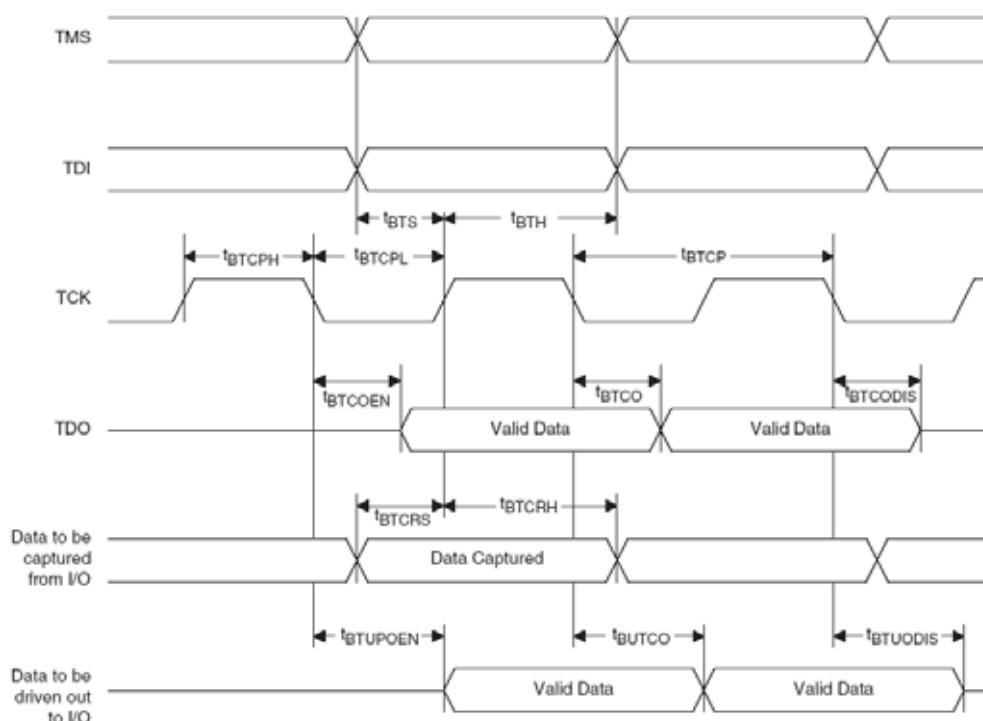
JTAGポート・タイミング仕様

推奨動作条件にわたって

シンボル	パラメータ	Min.	Max.	単位
f_{MAX}	TCKクロック周波数	—	25	MHz
t_{BTCP}	TCK [BSCAN] クロックパルス幅	40	—	ns
t_{BTCPH}	TCK [BSCAN] クロックパルス幅、High	20	—	ns
t_{BTCPL}	TCK [BSCAN] クロックパルス幅、Low	20	—	ns
t_{BTS}	TCK [BSCAN] セットアップ時間	8	—	ns
t_{BTH}	TCK [BSCAN] ホールド時間	10	—	ns
t_{BTRF}	TCK [BSCAN] 立ち上がり/立ち下がり時間	50	—	mV/ns
t_{BTCO}	TAPコントローラ、クロック立ち下がりエッジから有効出力	—	10	ns
t_{BTCODIS}	TAPコントローラ、クロック立ち下がりエッジから有効ディセーブル	—	10	ns
t_{BTCOEN}	TAPコントローラ、クロック立ち下がりエッジから有効イネーブル	—	10	ns
t_{BTCRS}	BSCANテスト・キャプチャ・レジスタ、セットアップ時間	8	—	ns
t_{BTCRH}	BSCANテスト・キャプチャ・レジスタ、ホールド時間	25	—	ns
t_{BUTCO}	BSCANテスト・アップデート・レジスタ、クロック立ち下がりエッジから有効出力	—	25	ns
t_{BTUODIS}	BSCANテスト・アップデート・レジスタ、クロック立ち下がりエッジから有効ディセーブル	—	25	ns
t_{BTUPOEN}	BSCANテスト・アップデート・レジスタ、クロック立ち下がりエッジから有効イネーブル	—	25	ns

Rev.A 0.19

図3-5 JTAGタイミング図



スイッチング・テスト条件

図3-6はACテストに用いられる出力テスト負荷を示します。抵抗、キャパシタンス、電圧、および他のテスト条件の特定の値は表3-4で示されます。

図3-6 出力テスト負荷、LVTTTLおよびLVCMOS標準

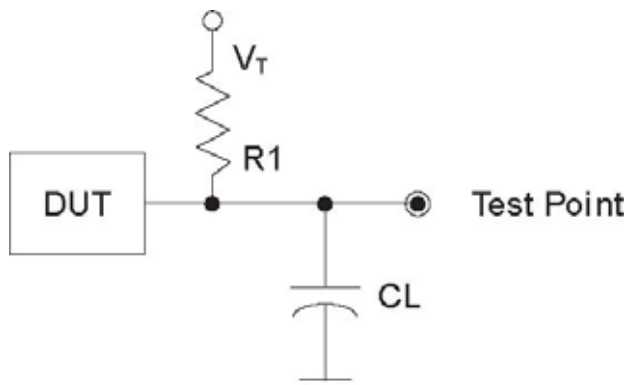


表3-5 テストフィクスチャの必要なコンポーネント、非終端インターフェイス

テスト条件	R ₁	C _L	タイミング Ref.	V _T
LVTTTL 及び他の LVCMOS 設定 (L -> H, H -> L)	∞	0pF	LVTTTL, LVCMOS 3.3 = 1.5V	—
			LVCMOS 2.5 = V _{CCIO} /2	—
			LVCMOS 1.8 = V _{CCIO} /2	—
			LVCMOS 1.5 = V _{CCIO} /2	—
			LVCMOS 1.2 = V _{CCIO} /2	—
LVTTTLとLVCMOS 3.3 (Z -> H)	188	0pF	1.5	V _{OL}
LVTTTLとLVCMOS 3.3 (Z -> L)				V _{OH}
その他LVCMOS (Z -> H)			V _{CCIO} /2	V _{OL}
その他LVCMOS (Z -> L)			V _{CCIO} /2	V _{OH}
LVTTTL + LVCMOS (H -> Z)			V _{OH} - 0.15	V _{OL}
LVTTTL + LVCMOS (L -> Z)			V _{OL} - 0.15	V _{OH}

注: 他の全てのインターフェイス用の出力テスト条件はそれぞれの標準で決定される

熱管理

どのようなFPGA設計でも健全な手法として熱管理が推奨されます。システムの熱特性を評価するために、ラティスは全てのデータシートで最大許容ジャンクション温度を規定しています。設計者はデバイスとパッケージが自身の設計でジャンクション温度の限度を超えないことを確実にするために熱解析を完遂する必要があります。特定のデバイスとパッケージの組み合わせについての熱抵抗値を知るには"Thermal Management"ドキュメントをご参照下さい。

追加情報

熱管理に関する追加情報については以下のドキュメントを参照して下さい。

- Thermal Management document
- TN1090 - Power Estimation and Management for MachXO Devices
- Power Calculator tool included with the Lattice ispLEVER design tool, or as a standalone download from www.latticesemi.com/software

MachXO ファミリ・データシート

ピンアウト情報(一部)

信号記述

信号名	I/O	記述
汎用		
P[Edge] [Row/Column Number*]_[A/B]	I/O	[Edge]はパッドがあるデバイスの辺(エッジ)を示します。有効なエッジ名はL(左)、B(下)、R(右)、T(上)です。 [Row/Column Number]はデバイスのそのPICがあるPFU Row(列)かColumn(行)を示します。EdgeがTかBのときは、Row番号のみを明示する必要があります。EdgeがLかRのときは、Column番号のみを明示する必要があります。 [A/B]はパッドが接続されているPIC内のPIOを示します。 これらユーザ・プログラマブルなピンのいくつかは特別な機能ピンと共有されます。専用ピンとして用いられない時は、ユーザロジックのためのI/Oとしてこれらのピンをプログラムすることができます。 コンフィグレーションの間、内部プルアップ抵抗がイネーブルされた状態で、ユーザ・プログラマブルI/Oはトライステートにされます。また、どれかのピンが使用されていない(または、パッケージ・ピンにボンディングされていない)場合、コンフィグレーションの後に内部プルアップ抵抗がイネーブルされた状態で、それはトライステートにされます。
GSRN	I	グローバル・リセット信号(Lowアクティブ)。本機能を使用しない場合、本ピンはI/Oピンとして使用可能です。
TSALL	I	グローバル出力イネーブル信号入力。Hiの時、全出力はトライステート。本機能を使用しない場合、本ピンはI/Oピンとして使用可能です。
NC	—	非接続(NC)
GND	—	グラウンド。専用ピン
V _{CC}	—	コア・ロジックのための電源ピン。専用ピン
V _{CCAUX}	—	補助(Auxiliary)電源供給ピン。それは全ての差動と基準電圧を参照する入力バッファを動かします。専用ピン
V _{CCIOx}	—	I/Oバンクx用の電源供給ピン。専用ピン
SLEEPN ¹	I	ロー・アクティブ。このピンがHighに保持されるとき、デバイスは通常動作します。Lowにドライブされるとき、デバイスは規定時間後にスリープモードに入ります。本ピンは内部で弱くプルアップされていますが、本機能を使用しない場合、外部でV _{CC} にプルアップすることを推奨します。
PLLとクロック機能(PLLかクロック・ピンとして使用しない場合は、ユーザ・プログラマブルI/Oピンとして用いられます)		
[LOC][0]_PLL[T, C]_IN	—	基準クロック(PLL)入力パッド: [LOC]は位置を意味しULM(Upper PLL)かLLM(Lower PLL)。T = true and C = complement
[LOC][0]_PLL[T, C]_FB	—	オプションのフィードバック(PLL)入力パッド: [LOC]は位置を意味しULM(Upper PLL)かLLM(Lower PLL)。T = true and C = complement
PCLK[n]_[1:0]	—	プライマリ・クロック・パッド: 各辺あたりn個。
テストとプログラミング (専用ピン)		
TMS	I	テストモード選択入力。1149.1ステート・マシンを制御するために用いられる。
TCK	I	テストクロック入力ピン。1149.1ステート・マシンのクロックとして用いられます。
TDI	I	テストデータ・ピン。1149.1ステート・マシンを用いて、デバイスヘデータをロードするために使用されます。
TDO	O	テストデータ出力ピン。1149.1によってデータをデバイスからシフトアウトするために用いられます。

*1 MachXO "C"デバイスのみに適用。"E"デバイスではNC。

個々デバイスのピン・信号配置については英語版データシートを参照して下さい。

日本語版改訂履歴

Ver.	ページ	更 新 内 容
2.3	-	新規発行
2.8J	1-1	表1-1 256-ball caBGA 追加
	2-13	“EBR非同期リセット” 節追加
	3-6	表中BLVDSとRSDS行を分離
	3-7	表中LVCMOS1.2を2行に変更
	3-18	スリープモード・タイミング表を更新
	3-19	図3-5 JTAGポートタイミング図追加
	3-20	“熱管理” 節を追加（英語版は4-36ページ）