



LatticeECP2/M ファミリ・データシート

DS1006J Version 03.9, Jan. 2012

© 2012 Lattice Semiconductor Corp. All Lattice trademarks, registered trademarks, patents, and disclaimers are as listed at www.latticesemi.com/legal. All other brand or product names are trademarks or registered trademarks of their respective holders. The specifications and information herein are subject to change without notice.

DISCLAIMER: Translation of Lattice materials into languages other than English is intended as a convenience for our non-English reading customers. Although we attempt to provide accurate translations of our materials into languages other than English, Lattice does not warrant the accuracy or completeness of information that has been translated from English. Any use of a translation is at the risk of the user and Lattice expressly disclaims any warranty with respect to the information provided in translation. Customers are encouraged to review the English language version of the materials for accurate and complete information.

注 ; 日本語版の作成にあたっては可能な限り正確を期しておりますが、原文の英語版と不一致・不適切な訳文がある場合は(特に明記する場合を除き)英語版が優先します。特に電気的特性・仕様値については最新版の英語版を併せて参照するようにお願いします。

LatticeECP2/Mファミリデータシート

イントロダクション

機能

- 幅広いロジック規模とパッケージのオプション
 - 6K~95KのLUT
 - 90~616のI/O
- 組み込みSERDES (LatticeECP2M/Sのみ)
 - データレートは250Mbps~3.125Gbps
 - デバイスあたり最大16チャンネル
 - PCI Express、イーサネット(1GbE, SGMII)、OBSAI、CPRI、及びシリアルRapidIO対応可
- sysDSP™ブロック
 - 3~42ブロックで高性能の乗算・積和演算
 - 各ブロックがサポートする構成
 - 1個の36×36乗算器、4個の18×18乗算器、8個の9×9乗算器
- 自由度の高いメモリ・リソース
 - 18Kbit sysMEM 組み込みブロックRAM(EBR)
 - トータルで56Kbit~5,308Kbit
 - シングル/擬似デュアル/デュアル・ポート
 - バイトイネーブル・モード対応
 - 12K~202Kbitの分散メモリ(RAM)
 - シングル/擬似デュアル・ポート
- sysCLOCK アナログPLLとDLL (デジタルPLL)
 - 1デバイスあたり2個のGPLLと最大6個のSPLL
 - クロックのてい倍、分周、位相シフト・調整
 - ダイナミック遅延調整など
 - 1デバイスあたり2個の汎用DLL
- 作り込まれたソースシンクロナスI/O
 - DDRレジスタを各I/Oセル内に配置
 - 専用ギアリング (変速) ロジック
 - ソースシンクロナス規格サポート
 - SPI4.2, SFI4(DDRモード), XGMII
 - 高速ADC/DACデバイス
 - 専用DDR1・DDR2メモリサポート
 - DDR1/DDR2 400 (200MHz)
 - 専用DQSサポート
- 自由度の高い入出力バッファ
 - LVTTTLとLVCMOS 3.3/2.5/1.8/1.5/1.2
 - SSTL 3/2/18クラスI, II
 - HSTL 15クラスI, HSTL18クラスI, II
 - PCIと差動HSTL, SSTL
 - LVDS, RSDS, Bus-LVDS, MLVDS, LVPECL
- 自由度の高いデバイス・コンフィギュレーション
 - 1149.1バウンダリ・スキャンに適合
 - I/Oコンフィグポートは専用バンク
 - SPIブート・フラッシュ・インターフェイス
 - デュアルブート・イメージをサポート
 - TransFR™I/Oで容易なフィールドでの更新
 - オプションのソフトウェア検出ハードマクロ
- オプションのビットストリームの暗号化 (“Sシリーズ”のみ)
- システムレベル・サポート
 - ispTRACY / Reveal (ロジアナ機能)
 - 汎用用途のオンチップ・オシレータ
 - 1.2V供給電源

表 1-1 LatticeECP2ファミリ・セレクションガイド (“Sシリーズ”を含む)

デバイス	ECP2-6	ECP2-12	ECP2-20	ECP2-35	ECP2-50	ECP2-70
LUT サイズ (K)	6	12	21	32	48	68
分散 RAM (Kbits)	12	24	42	64	96	136
EBR SRAM (Kbits)	55	221	276	332	387	1032
EBR SRAMブロック数	3	12	15	18	21	60
sysDSP ブロック	3	6	7	8	18	22
18x18 乗算器	12	24	28	32	72	88
GPLL/SPLL/DLL 数	2 / 0 / 2	2 / 0 / 2	2 / 0 / 2	2 / 0 / 2	2 / 2 / 2	2 / 4 / 2
最大I/O数	190	297	402	450	500	583
パッケージとI/O数						
144-pin TQFP (20 x 20 mm)	90	93				
208-pin PQFP (28 x 28 mm)		131	131			
256-ball fpBGA (17 x 17 mm)	190	193	193			
484-ball fpBGA (23 x 23 mm)		297	331	331	339	
672-ball fpBGA (27 x 27 mm)			402	450	500	500

900-ball fpBGA (31 x 31 mm)						583
-----------------------------	--	--	--	--	--	-----

表 1-2 LatticeECP2Mファミリ・セレクション・ガイド (“Sシリーズ”を含む)

デバイス	ECP2M20	ECP2M35	ECP2M50	ECP2M70	ECP2M100
LUT サイズ (K)	19	34	48	67	95
分散 RAM (Kbits)	66	114	225	246	288
EBR SRAM (Kbits)	1217	2101	4147	4534	5308
EBR SRAMブロック数	41	71	101	145	202
sysDSP ブロック	6	8	22	24	42
18x18 乗算器	24	32	88	96	168
GPLL/SPLL/DLL 数	2 / 6 / 2	2 / 6 / 2	2 / 6 / 2	2 / 6 / 2	2 / 6 / 2
最大I/O数	304	410	410	436	520
パッケージごとのSERDESチャネル数とI/O数					
256-pin fpBGA (17 x 17 mm)	4 / 140	4 / 140			
484-pin fpBGA (23 x 23 mm)	4 / 304	4 / 303	4 / 270		
672-ball fpBGA (27 x 27 mm)		4 / 410	8 / 372		
900-ball fpBGA (31 x 31 mm)			8 / 410	16 / 416	16 / 416
1152-ball fpBGA (35 x 35 mm)				16 / 436	16 / 520

イントロダクション

FPGAデバイスのLatticeECP2/Mファミリは高性能の機能を提供するために最適化され、先進のDSPブロックや、高速SERDES（LatticeECP2Mファミリのみ）、および高速のソースシンクロナス・インターフェイスを経済的なFPGAファブリックに集積しています。

LatticeECP2/MのFPGAファブリックは、最初から高性能でかつ低価格を念頭に最適化されました。LatticeECP2/Mデバイスに集積されているのはLUTベースのロジック、組み込み/分散メモリ、PLL、DLL、作り込まれたソースシンクロナスI/Oサポート回路、強化されたsysDSPブロック、および暗号化（“S”バージョンのみ）とデュアルブート機能を含むコンフィグレーション・サポート機能です。

LatticeECP2Mファミリデバイスは物理コーディング・サブレイヤ（PCS）を持つ高速SERDESを特徴としています。PCSブロックを持ち、高い受信ジッタ耐性と低い送信ジッタのSERDESは、PCI Express、イーサネット(1GbEとSGMII)、OBSAI、およびCPRIを含む広く採用されている一連のデータ通信プロトコルをサポートするために構成することができます。送信プリエンファシスと受信等化設定によって、SERDESをチップ間伝送や小フォームファクタ・バックプレーンのアプリケーションに適するようになります。

ラティスのLattice Diamond[®]デザインツールはLatticeECP2/MファミリFPGAデバイスにデザインを効率良く実装することが可能です。広く普及している論理合成ツール用のライブラリをサポートしています。Diamondはデザインを配置配線するために、論理合成ツール出力をフロア・プランニング・ツールからの制約と共に用います。Diamondツールは、タイミング検証のために、配線からタイミング情報を抽出して、デザインにバック・アノテートします。

ラティスは予め設計された多くのIP(Intellectual Property)モジュールをLatticeECP2/Mファミリのために提供します。標準化されたブロックとしてこれらのIPを用いることによって、設計者は自らの設計独自な部分に集中することができ、生産性を上げることができます。

LatticeECP2/Mファミリデータシート

アーキテクチャ

アーキテクチャ概要

LatticeECP2/MアーキテクチャはプログラマブルI/Oセル(PIC)によって囲まれた論理ブロックのアレイを含んでいます。図2-1のECP2-6について示す論理ブロックの間にあるのは、sysMEM™組み込みブロックRAM(EBR)とsysDSP™信号処理ブロックの列です。LatticeECP2Mファミリはデバイスの各コーナーの一つ以上にSERDESクワッドを集積しています。図2-2に1クワッドがあるECP2M20のブロック図を示します。

2種類の論理ブロックがあり、プログラマブル・ファンクション・ユニット(PFU)、およびRAM/ROMなしのPFUユニット(PFF)です。PFUはロジック、演算、RAM、ROM、およびレジスタ機能のためのビルディング・ブロックを含みます。PFFブロックはロジック、演算、およびROM機能のためのビルディング・ブロックを含んでいます。PFUとPFFブロックは共に、複雑なデザインを迅速にかつ効率的に実装できるように柔軟性が最適化されています。論理ブロックは2次元配列でアレンジされており、1つのタイプのブロックだけが列単位で用いられます。

LatticeECP2Mデバイスは最大16チャンネルの組み込み3.125Gbps SERDES(シリアライザ/デシリアライザ)を備えています。各SERDESチャンネルは独立した8b/10bエンコード/デコード、極性調整、そしてエラスティック・バッファなどのロジックをそれぞれ含んでいます。物理コーディング・サブレイヤ(PCS)ブロックを伴う4チャンネルのSERDESグループで一つのクワッドを形成します。SERDESクワッド/PCSの機能は、デバイス・コンフィグレーション時に設定されるメモリセルにより、デバイス動作中にレジスタにアクセスすることによって制御することができます。SERDESクライアント・インターフェイス(SCI)と呼ぶソフトIPを介して、全クワッド内のレジスタをプログラムすることができます。これらのクワッド(最大4)はデバイスのコーナーに位置しています。

各PICブロックはそれぞれのsysIOインターフェイスで2PIO(PIOペア)を取り囲みます。LatticeECP2/MのsysIOバッファは8バンクにアレンジされており、I/O規格の実装を可能にします。また、プログラミング用インターフェイス信号には個別のバンクが割り当てられています。デバイスの左右のエッジにあるPIOペアは送受信LVDSペアとして構成することができます。PICはまた、DDR2メモリインターフェイスを含む高速同期インターフェイスのSPI4.2などを実装する為のサポートロジックが作り込まれています。

これ以外のブロックとしては、PLL、DLL、コンフィグレーション機能などがあります。LatticeECP2/Mアーキテクチャにはデバイスあたり2つの汎用(General)PLL(GPLL)、最大4つの標準(Standard)PLL(SPLL)があります。さらにLatticeECP2/Mファミリにはデバイスあたり2つのDLLがあります。GPLLとDLLブロックは最も底辺にあるEBR列の端にペアになって配置されており、DLLが外側に位置します。SPLLブロックは他方のEBR/DSP列の端にあります。

コンフィグレーション・ブロックはビットストリームの復号化や、トランスペアレント・アップデート、デュアルブートなどの機能をサポートしますが、このEBR列のデバイス中央よりに配置されています。デバイスのシリアル/パラレル・コンフィグレーションをサポートするsysCONFIG™ポートはLatticeECP2/Mファミリの全デバイスが備えており、バンク4と5の間のコーナーにあります。

加えてファミリの全デバイスはJTAGポートを持っています。オンチップオシレータを備えます。LatticeECP2/Mはコア部供給電圧として1.2Vを用います。

図2-1 LatticeECP2-6の簡略なブロック図(トップレベル)

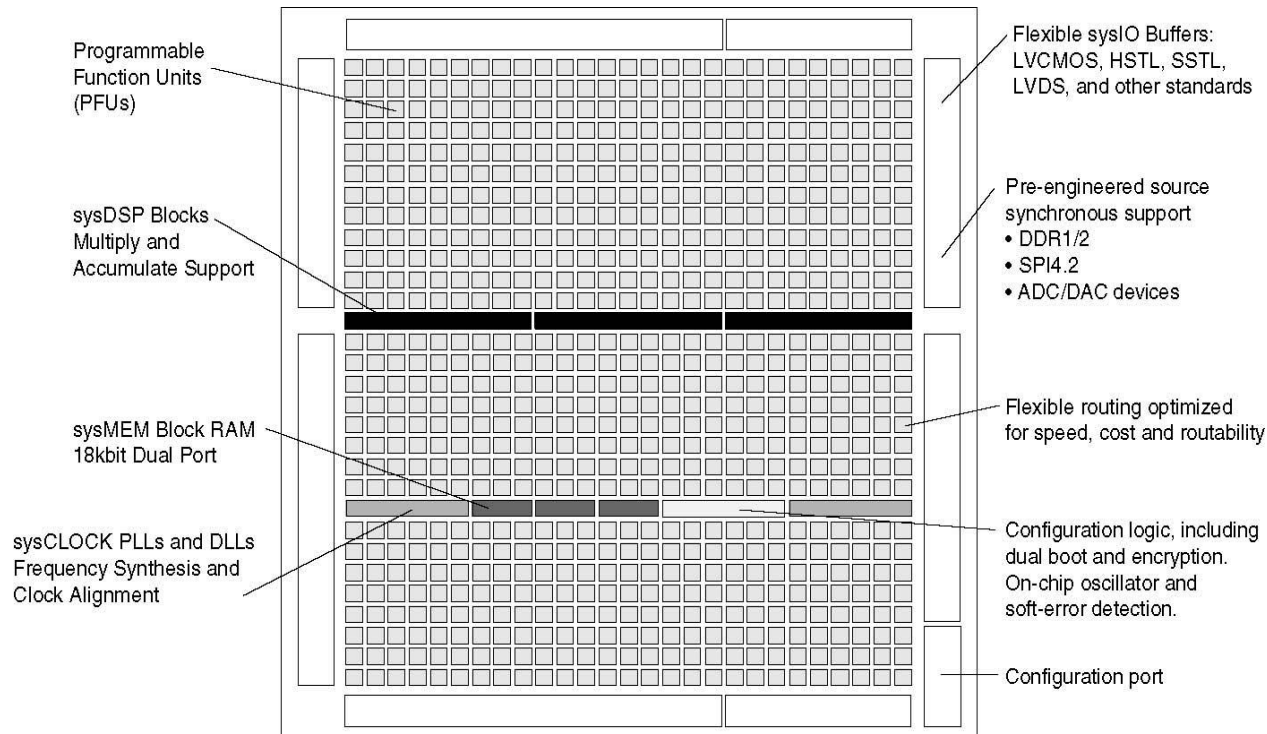
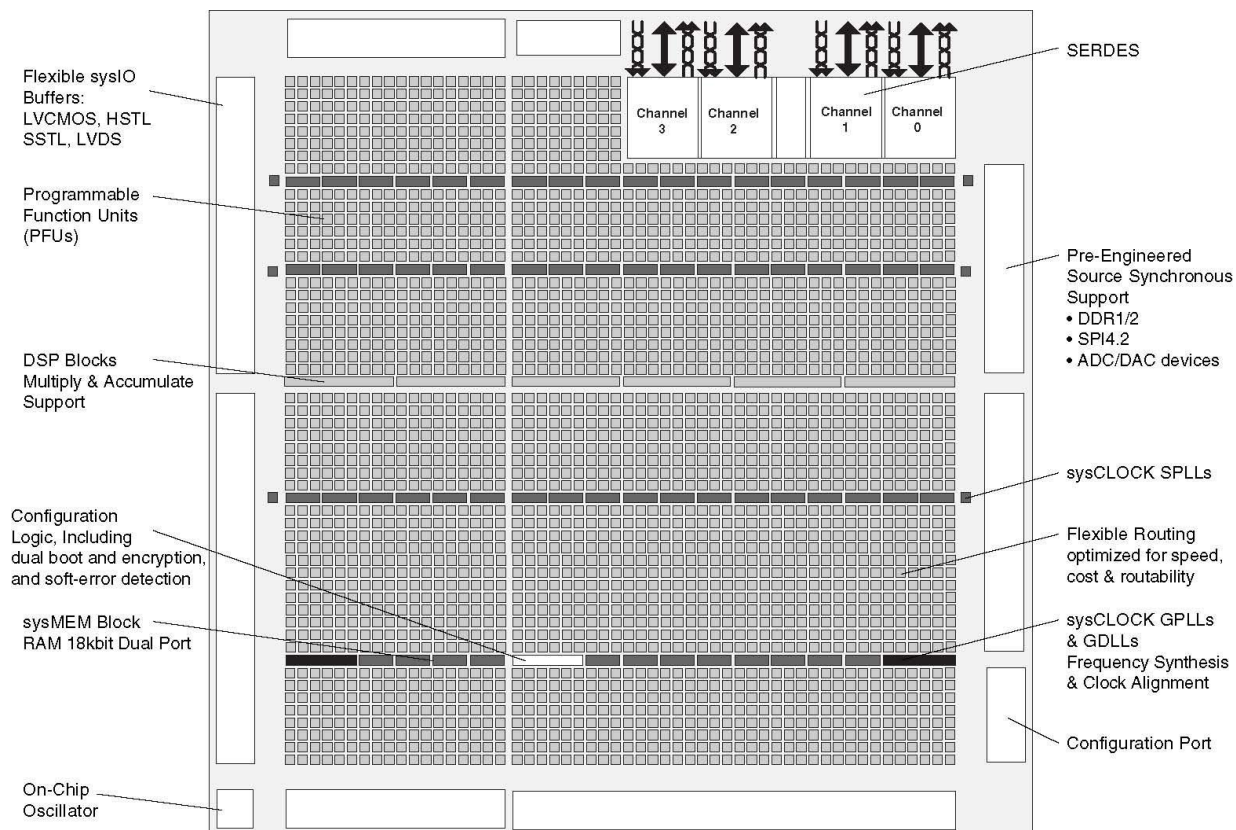


図2-2 LatticeECP2M20の簡略なブロック図(トップレベル)

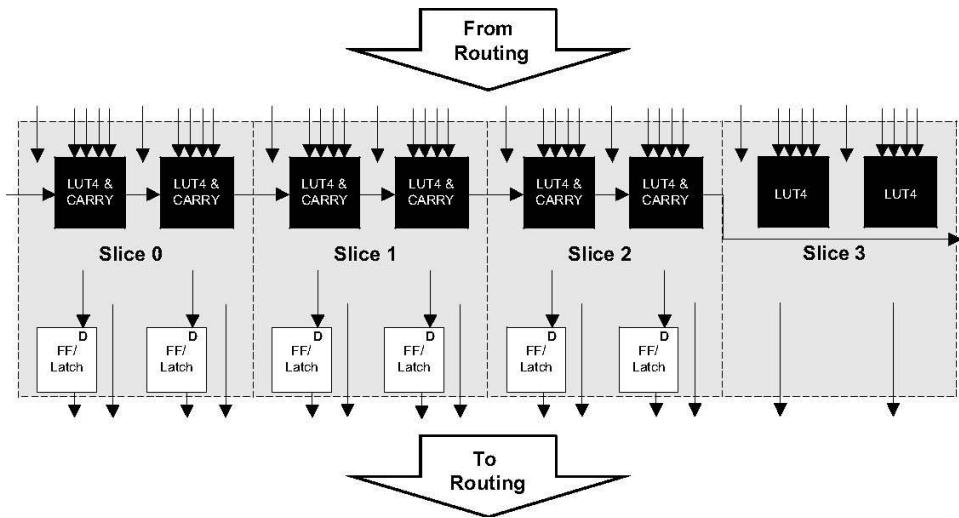


PFUブロック

LatticeECP2/Mデバイスのコアは2種類のPFUブロックから成り、これらはPFUとPFFと呼ばれます。PFUはロジック、演算、分散RAM、および分散ROM機能を実行するようにプログラムすることができます。PFFブロックはロジック、演算、およびROM機能を実行するようにプログラムすることができます。特に明記する場合を除いて、データシートの残りでは、PFUとPFFブロックの両方を示すのに用語PFUを用います。

それぞれのPFUブロックは、図2-3で示されるように0～3と番号付けられた4つの相互接続されたスライスから成ります。PFUブロックに出入りするすべての相互接続は配線（領域）から来ています。それぞれのPFUブロックに関連する50本の入力と23本の出力があります。

図2-3 PFUダイアグラム



スライス

スライス0とスライス2には、2つのレジスタと、これに接続される2個のLUT4（4入力ルックアップ・テーブル）よりなりませんが、スライス3にはLUT4のみがあります。前者はPFUの場合に分散メモリに構成できますが、PFFでは構成できません。表2-1はPFFとPFU両ブロック内のスライスの動作モードと機能を示します。各PFUにはLUTを組み合わせるLUT5や、LUT6、LUT7またはLUT8などの機能を実行できるようにする関連ロジックを含んでいます。また、セット/リセット機能(同期か非同期としてプログラム)、クロック選択、チップセレクト、そしてRAM/ROM機能を実行するための制御ロジックがあります。図2-4はスライスの内部ロジックの概要を示します。スライス内のレジスタ用クロックは、立ち上がり/立ち下がりエッジ、或いは正または負レベルを有効とするように構成できます。

表2-1 スライスごとのリソースとモード

スライス	PFUブロック		PFFブロック	
	リソース	モード	リソース	モード
スライス0	LUT4とレジスタ各2	ロジック、リップル、RAM、ROM	LUT4とレジスタ各2	ロジック、リップル、ROM
スライス1	LUT4とレジスタ各2	ロジック、リップル、ROM	LUT4とレジスタ各2	ロジック、リップル、ROM
スライス2	LUT4とレジスタ各2	ロジック、リップル、RAM、ROM	LUT4とレジスタ各2	ロジック、リップル、ROM
スライス3	LUT4が2	ロジック、ROM	LUT4が2	ロジック、リップル、ROM

スライス0/1/2には14の入力信号があります。配線からの13本の信号と、キャリ・チェーンからの1本(隣接しているスライスかPFUから)です。7本の出力があります。配線への6本と(隣接しているPFUへの)キャリ・チェーンの1本です。スライス3には配線からの13信号入力と配線への4信号出力があります。表2-2はスライス

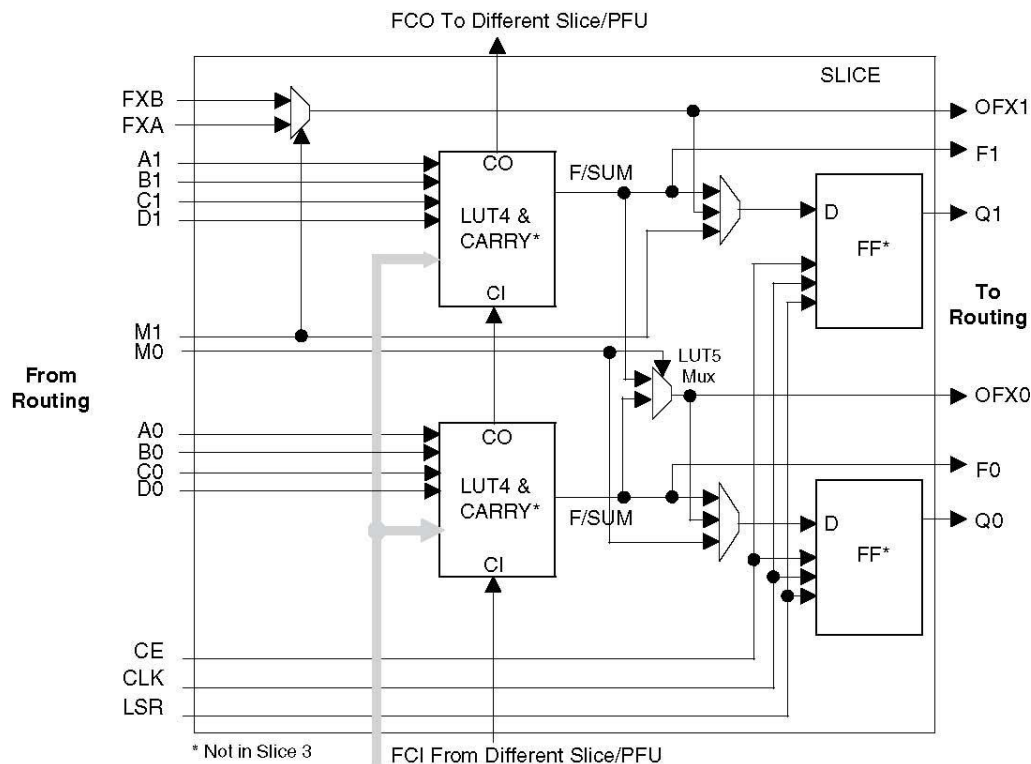
0から2に関連する信号をリストアップします。

表2-2 スライス信号記述

機能	タイプ	信号名	記述
入力	データ信号	A0, B0, C0, D0	LUT4入力
入力	データ信号	A1, B1, C1, D1	LUT4入力
入力	複数用途	M0	複数用途入力
入力	複数用途	M1	複数用途入力
入力	制御信号	CE	クロック・イネーブル
入力	制御信号	LSR	ローカル・セット/リセット
入力	制御信号	CLK	システム・クロック
入力	PFU間信号	FCI	高速キャリ入力 ¹
入力	スライス間信号	FXA	LUT6、LUT7を構成するための中間信号
入力	スライス間信号	FXB	LUT6、LUT7を構成するための中間信号
出力	データ信号	F0, F1	LUT4出力レジスタ・バイパス信号
出力	データ信号	Q0, Q1	レジスタ出力
出力	データ信号	OFX0	LUT5 MUX出力
出力	データ信号	OFX1	LUT6, LUT7, LUT8 ² MUX 出力、スライスに依存
出力	PFU間信号	FCO	各PFUのスライス2からの高速キャリ・チェーン出力 ¹

1. 接続の詳細については図2-4を参照.
2. 2 PFUが必要.

図2-4 スライス・ダイアグラム



For Slices 0 and 2, memory control signals are generated from Slice 1 as follows:

WCK is CLK

WRE is from LSR

DI[3:2] for Slice 2 and DI[1:0] for Slice 0 data

WAD [A:D] is a 4bit address from slice 1 LUT input

動作モード

それぞれのスライスには4動作モードがあり、それらはロジック、リップル、RAM、およびROMです。

ロジック・モード

このモードで、各スライスにおけるLUTは、4入力の組み合わせセルックアップ・テーブルとして構成されます。LUT4は16の可能な入力組み合わせを持つことができます。このルックアップ・テーブルをプログラムすることによって、4入力があるどのようなロジック機能も生成することができます。1スライスあたり2個のLUT4があるので、1スライスでLUT5を組み立てることができます。他のスライスを連結することによって、LUT6や、LUT7、LUT8などのより大きいルックアップ・テーブルを構成することができます。LUT8では4スライス以上が必要であることに留意してください。

リップルモード

リップルモードは小さな演算機能の効率的な実装ができます。リップルモードでは、各スライスは以下の機能を実装することができます。

- 2ビット加算
- 2ビット減算
- 動的な制御での2ビット加算・減算
- 2ビット・アップ/ダウンカウンタ
- 非同期クリア付きアップ/ダウン・カウンタ
- プリロード（同期）付きアップ/ダウン・カウンタ
- リップル・モード乗算器ビルディング・ブロック
- 乗算器サポート
- AとB入力のコンパレータ機能
 - AはBより等しいか大きい
 - AはBに等しくない
 - AはBより等しいか小さい

リップ利ボードには高速キャリチェイン手法を使用して演算を行うオプション的な構成が含まれます。この構成（CCU2モードとも呼ばれる）では2本の信号、キャリ生成（Carry Generate）とキャリ伝播（Carry Propagate）はこのモードでスライス単位で生成され、スライスを連結することによって高速演算機能が構成できます。

RAMモード

このモードでは、16×1ビットのメモリとしてスライス0とスライス2のLUTブロックを用いることで、16x4ビットの分散シングルポートRAM(SCR)を構成することができます。スライス1はメモリアドレスと制御信号のために使用されます。16×2ビット疑似デュアルポートRAMは、スライス一つををリードライトポートとして用い、もう一つのスライスをリードオンリポートとして使用して生成されます。

ラティス・デザインツールは種々異なるサイズのメモリ作成をサポートします。適切な場合、PFUの能力を示す分散メモリ・プリミティブを用いることで、ソフトウェアはこれらを構成します。表2-3は異なる分散メモリ(RAM)プリミティブを実装するのに必要なスライスの数を示します。LatticeECP2/MデバイスでRAMを用いる詳しい情報に関しては、テクニカルノートTN1104（Memory Usage Guide）を参照してください。

表2-3 分散RAMの実装に必要なスライスの数

	SPR16x4	PDPR16x4
スライス数	3	3

注: SPR = Single Port RAM, PDPR = Pseudo Dual Port RAM

ROMモード

ROMモードはLUTロジックによりますので、スライス0から3が用いられます。プリロードはコンフィグレーションの間、プログラミング・インターフェイスを通して達成されます。

配線

単独信号かバス信号として関連する制御信号と共に配線するための多くのリソースがLatticeECP2/Mデバイスに用意されています。配線リソースはスイッチング回路、バッファ、およびメタル・インターコネクト(配線)セグメントから成ります。

PFU相互の接続は(2PFUにまたがる)x1ライン、(3PFUにまたがる)x2ライン、および(7PFUにまたがる)x6ラインで行われます。x1とx2接続は速くて効率の良い接続を横方向と縦方向に提供します。x2とx6リソースはバッファリングされ、PFU間に短い接続と長い接続配線を可能にします。

LatticeECP2/Mファミリはコンパクトな設計を実現する配線アーキテクチャを持っています。Diamondデザイン・ツールは、論理合成ツールの出力を取り込んで、デザインを配置配線します。デザインを最適化するために対話的な配線エディタが利用できますが、一般に配置配線ツールは完全に自動です。

sysCLOCK位相同期ロープ(GPLL/SPLL)

sysCLOCK PLLはクロック周波数を合成する機能を提供します。LatticeECP2/Mファミリの全デバイスがフル機能PLLであるGPLL (汎用PLL) を2つ搭載しています。さらに、より大きい規模のデバイスのいくつかには、GPLL機能のサブセットを持つ2~4つのSPLL (標準PLL) があります。

GPLL (General PLL)

GPLLのアーキテクチャを図2-5に示します。GPLLの機能記述は以下の通りです。

CLKIはPLLの基準周波数入力で外部ピンか配線から加えられます。CLKIは入力クロック分周器ブロックへ与えます。CLKFBはフィードバック信号で、CLKOPあるいはユーザクロック・ピン/ロジックから与えられます。この信号はフィードバック分周器へ与えられます。フィードバック分周器は、基準周波数を n 倍するために用いられます。

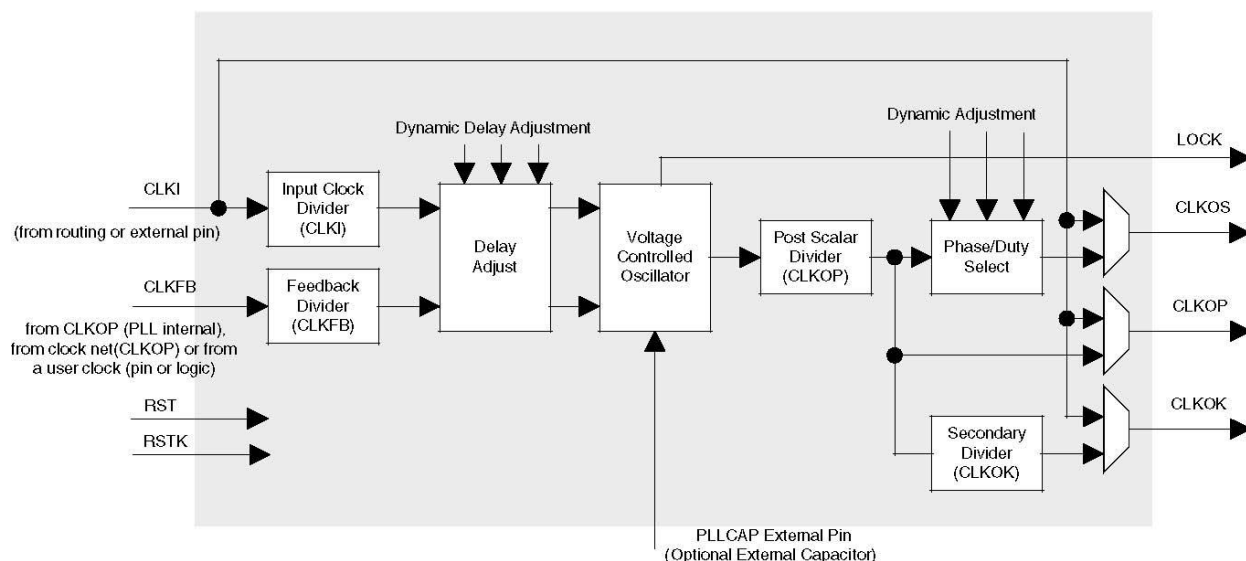
遅延調整ブロックは基準信号やフィードバック信号の遅延を調整します。遅延調整ブロックはコンフィグレーション時にプログラムするか、またはダイナミックに調整することができます。デバイスのセットアップ時間、ホールド時間、またクロック対出力遅延(t_{co})は、PLLのフィードバックや基準入力パスに遅延を挿入することによって改善することができます。これは即ち入力クロックに対して出力クロックを進めるか、または遅らせます。

遅延調整ブロックに続いて、入力信号とフィードバック信号がVCOブロックに入ります。このブロックでは、入力とフィードバック信号の位相差が、発振器の周波数を制御するために用いられます。LOCK信号は、VCOが入力クロック信号にロックした事を示すために生成されます。ダイナミックモードでは遅延調整の後にロックがはずれ、 t_{lock} パラメータ値が満たされるまでPLLは再ロックしない可能性があります。LatticeECP2/Mはオプションとしてデバイスの左右辺に2本の専用ピンがあり、VCO用に外部コンデンサを接続できます。これにより、PLLはより低い周波数で動作でき、いづれもGPLLかSPLLの一方のみで用いることができる共用の端子です。

VCO出力はポストスケーラ分周器に入ります。ポストスケーラ分周器によりVCOはクロック出力(CLKOP)より高い周波数で動作し、結果として周波数範囲が広がります。セカンダリ分周器により、CLKOP信号からさらに低い周波数の出力(CLKOK)を得ます。位相/デューティ比選択ブロックは、CLKOP信号の位相とデューティ比を調整して、CLKOS信号を生成します。位相/デューティ比設定はコンフィグ時にプログラムするか、またはダイナミックに調整することができます。

ポストスケーラ分周器からの第一の出力CLKOPは、従属接続された分周器からの出力(CLKOK)、および位相/デューティ比選択出力(CLKOS)と共に、クロック分配ネットワークに供給できます。

図2-5 GPLL (汎用PLL) ダイアグラム



SPLL (Standard PLL)

ファミリのなかで規模の大きいデバイスには2~4個の標準PLL(SPLL)があります。SPLLはGPLLに対して遅延調整機能がない以外は機能的に全く同等です。パラメータ仕様としては異なります。詳しい情報に関しては、テクニカルノートTN1103 (sysCLOCK PLL/DLL Design User Guide) を参照してください。表2-4はGPLLとSPLLの信号記述を与えます。

表2-4 PLL信号記述

信号	I/O	記述
CLKI	I	クロック入力。外部ピンもしくは配線から
CLKFB	I	PLLフィードバック入力。CLKOP(PLL内部)、クロックネット(CLKOP)、またはユーザクロック（外部ピンかロジック）から。
RST	I	“1” でPLLカウンタ、VCO、チャージポンプ、M分周器をリセット
RSTK	I	“1” でK分周器をリセット
CLKOS	O	PLL出力クロック。クロックツリーへ（位相シフト、デューティ比可変）
CLKOP	O	PLL出力クロック。クロックツリーへ（位相シフトなし）
CLKOK	O	PLL出力。第二のクロック分周器を介してクロックツリーへ
LOCK	O	“1” でPLLがCLKIにロックを示す
DDAMODE ¹	I	ダイナミック遅延イネーブル。“1” ピン制御（動的）, “0”: フューズ制御（静的）
DDAIZR ¹	I	ダイナミック遅延ゼロ。“1”: 遅延 = 0, “0”: 遅延 = on
DDAILAG ¹	I	ダイナミック遅延動的遅延。“1”: 進み（Lead）、“0”:遅れ（Lag）
DDAIDEL[2:0] ¹	I	ダイナミック遅延入力
DPA MODES	I	DPA（ダイナミック位相調整・デューティサイクル選択）モード
DPHASE[3:0]	I	DPA位相調整入力
DDDUTY[3:0]	--	DPAデューティサイクル選択入力

¹ これら信号はSPLLにはない。

DLL

PLLに加えて、デバイスのLatticeECP2/Mファミリーは1デバイスあたり2つのDLLを持っています。

CLKIはDLLのための入力周波数(ピンか配線から、生成される)です。CLKIが接続されるのは、DLLをバイパスして出力マルチプレクサ・ブロックへ、または直接遅延チェインブロックへ、そして直接あるいは分周器回路を通して位相周波数検出器(PFD)の入力マルチプレクサの基準入力です。また、遅延チェインとCLKFB信号からPFDの基準信号を生成することができます。PFDへのフィードバック入力にはCLKI、CLKFBピン、或いは遅延チェイン・タップからの信号です。

PFDは基準およびフィードバック信号の位相と周波数差に比例する2進数を作り出します。PFDのこの2進出力はALU (Arithmetic Logic Unit) へ加えられます。これらの入力に基づいて、基準およびフィードバック信号を合わせるために、ALUは遅延チェインに送出する正しいデジタル制御コードを決定します。またALUからのこのデジタルコードは、デジタル制御バス(DCNTL)バスを通して関連するDLL_DEL遅延ブロックへ送出されます。ユーザはALUHOLD入力によってALU出力をその時点の値で保持できます。UDDCNTL信号で、ユーザはDCNTLバス上のその時点の値をラッチできます。

DLLには2系統の独立したクロック出力、CLKOP、およびCLKOSがあります。これらの出力はタップ付遅延線から出力の1つを個別に選択することができます。CLKOSには、オプションとして微細な位相シフトと分周をするブロックがあり、その出力をさらに修正することができます。位相シフトブロックではCLKOS出力の通常位相に対して45度、22.5度、或いは11.25度の位相シフトが可能です。CLKOSとCLKOP出力には共にデューティ比調整ができるオプションがあります。CLKOSでは2分周と4分周が利用できます。DLLがロックすると、LOCK出力信号がアサートされます。図2-6にDLLのブロック図を、表2-5に入出力信号の記述を示します。

ユーザは時間基準遅延モードやクロック注入除去モードなどの多くの一般的な機能のためにDLLを構成することができます。ラティスはこれらの機能のためにプリミティブをデザインツール内に提供しています。DLLの詳細な情報に関しては、テクニカルノートTN1103を参照してください。

図2-6 遅延ロックループ(DLL)ダイアグラム

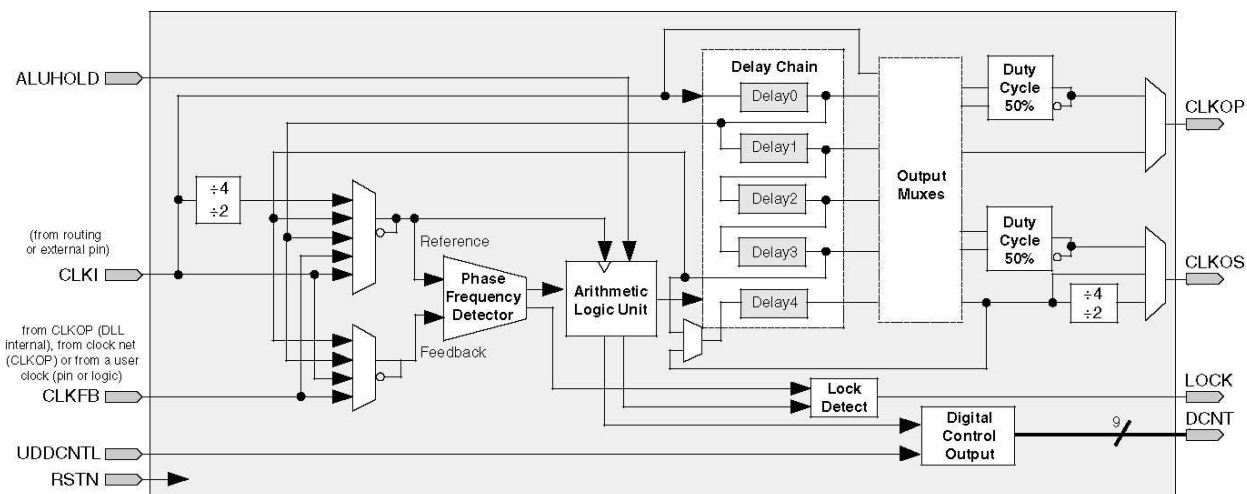


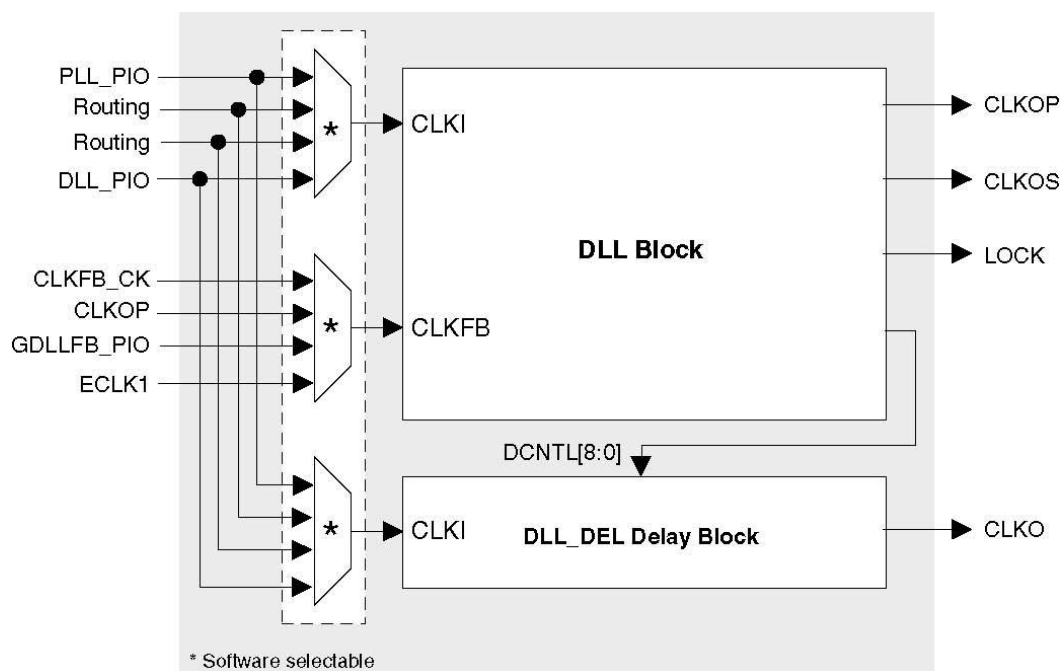
表2-5 DLL 信号

信号	I/O	記述
CLKI	I	クロック入力。外部ピンもしくは配線から
CLKFB	I	フィードバック入力。DLL出力、クロックネット、配線、また外部ピンから
RSTN	I	アクティブLowの同期リセット。
ALUHOLD	I	アクティブHighでALUをフリーズする。
UDDCNTL	O	同期イネーブル信号（2クロックHighに保持）。配線から。
DCNTL[8:0]	O	エンコードされたデジタル制御信号。PIC INDELとスレーブ遅延キャリブレーション用
CLKOP	O	プライマリクロック出力。
CLKOS	O	セカンダリクロック出力で、位相シフトおよび、2または4分周あり/なし
LOCK	I	位相ロックインジケータ、アクティブHigh

DLL_DEL遅延ブロック

各DLLに密接に関連するのはDLL_DELブロックです。これはタップ付遅延線と、タップの1つを選択する選択機構からなる遅延ブロックです。DCNTL[8:0]バスがCLKO信号の遅延を制御します。これは通常、DLLが位相アライメントを達成するために用いる遅延設定です。結果として較正された90°位相シフトを提供する遅延は、ソースシンクロナス・インターフェイスなどでデータ期間の中央にクロックを置く際に有効です。CLKO信号はエッジクロック・ネットワークに接続できます。図2-7はDLLブロックとDLL_DEL遅延ブロックとの接続を示します。詳しくは、テクニカルノートTN1103を参照してください。

図2-7 DLL_DEL遅延ブロック



PLL/DLLの従属接続

LatticeECP2/Mデバイスは、PLL(GPLLとSPLL)とDLLの従属接続をある組み合わせでは許容するように設計

されています。許容できる組み合わせは以下の通りです。

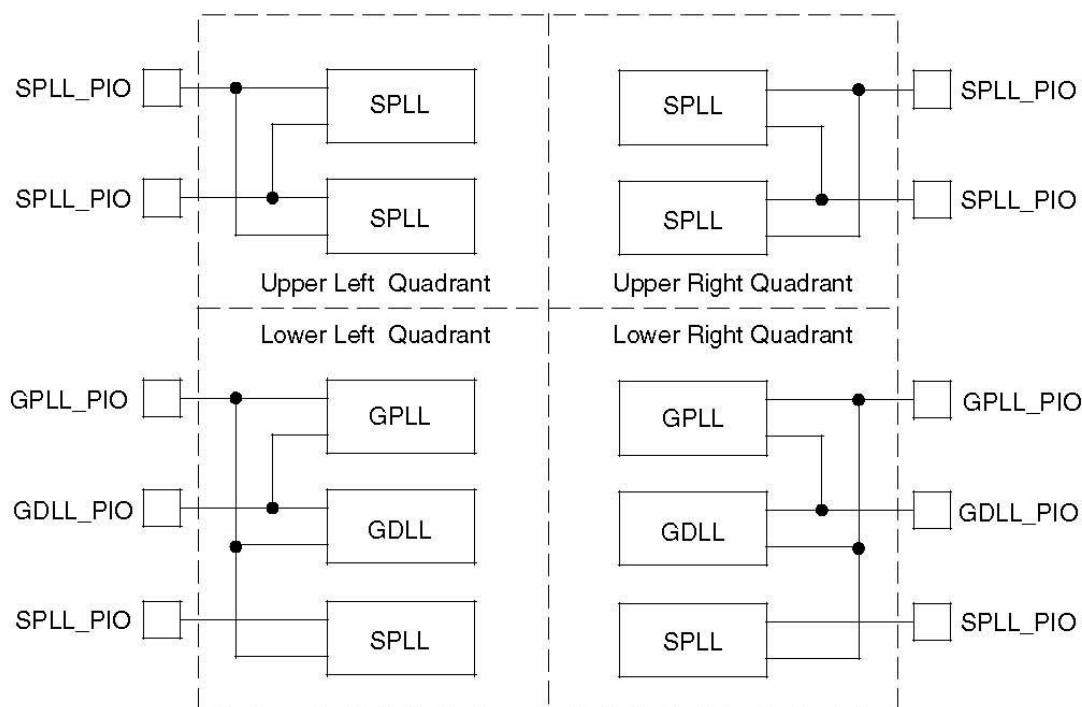
- PLLからPLL
- PLLからDLL

LatticeECP2/MのDLLは、ソースシンクロナス入力とのデータとクロック入力との関係をずらすために用いられます。PLLは、ソースシンクロナス・インターフェイス用などの周波数合成とクロック生成に用いられます。PLLとDLLを従属接続することは、アプリケーションがDLLとPLLのそれぞれの長所を活用することを可能にします。DLLの詳細に関しては、テクニカルノートTN1103を参照してください。

GPLL/SPLL/GDLL PIO入力ピン接続(LatticeECP2Mファミリのみ)

すべてのLatticeECP2Mデバイスは図2-8で示されるようにクワドラントに分割されており、2つのGDLL、2つのGPLL、および6つのSPLLを搭載しています。LatticeECP2Mデバイスは、GPLLとSPLL、およびGDLLは入力ピンを共有します。図2-8は上側の2クワドラントにおけるSPLL入力ピン接続の共有と、下側の2クワドラントにおける、GDLL、GPLL、およびSPLL入力ピン接続の共有を示します。

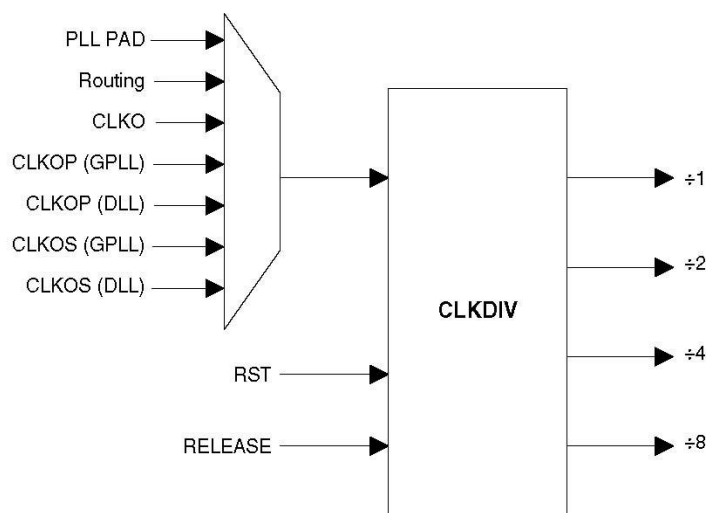
図2-8 LatticeECP2MデバイスでのGPLL, SPLL, GDLLのPIOピン共有



クロック分周器

LatticeECP2/Mはデバイスの左右辺に2つのクロック分周器を持っています。これらは高速のエッジクロックから、より低速のシステムクロックを生成することを意図しています。本ブロックは、 $\div 2$ 、 $\div 4$ または $\div 8$ モードで動作し、リセット信号のリリースに基づいて分周クロックと高速クロックを既知の位相関係に維持します。クロック分周器には、選択されたPLL/DLL出力、DLL_DEL遅延ブロック、配線、または外部のクロック入力から供給できます。クロック分周器出力はプライマリクロック・ソースとして使用され、クロック分配ネットワークへ供給されます。リセット制御信号(RST)は、入力をリセットし、また全出力をクロックに同期してLowにします。RELEASE信号は入力クロックに同期して出力をリリースします。クロック分周器の詳細に関しては、テクニカルノートTN1103を参照してください。図2-9はクロック分周器の接続を示します。

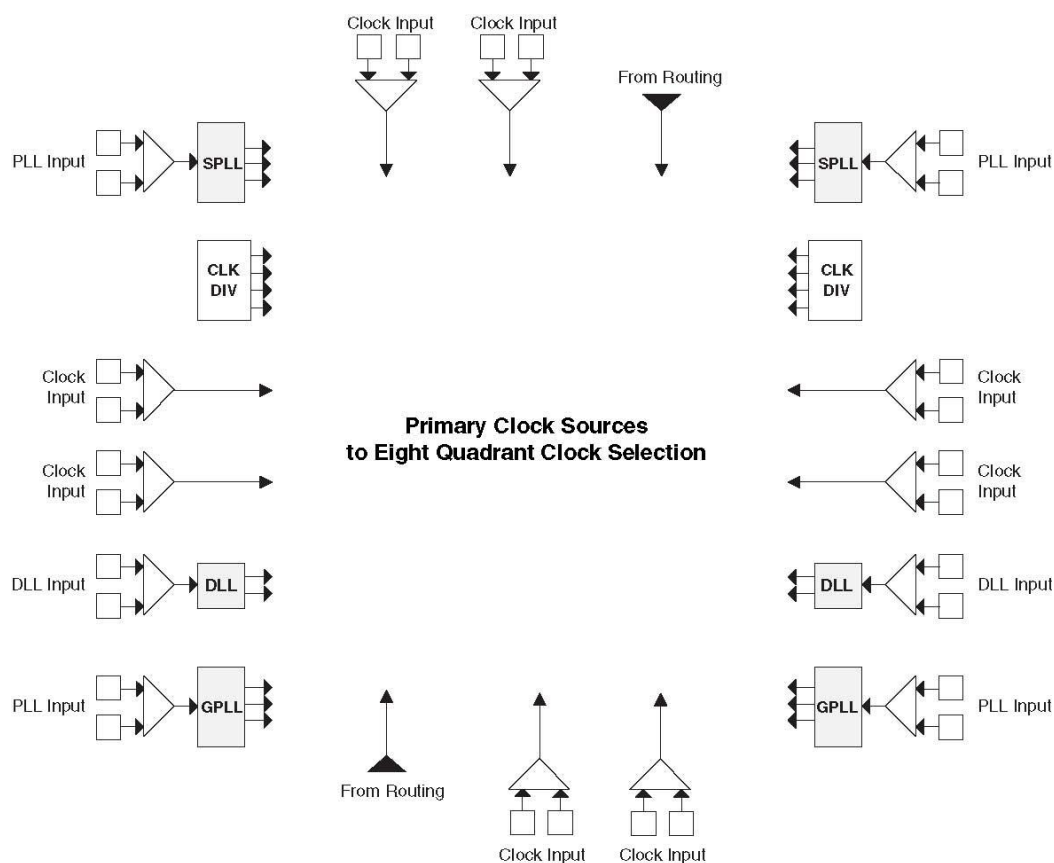
図2-9 クロック分周器の接続



クロック分配ネットワーク

LatticeECP2/Mデバイスには8本のプライマリクロックがクワドラント毎にあり、自由度の高いセカンダリクロック/制御信号がリージョン毎に8本あります。高性能エッジクロックがデバイス各辺に2本ずつあり、高速インターフェイスをサポートします。クロック入力には外部I/O、sysCLOCK PLL、DLL、および配線から選択されます。これらクロック入力はクロック分配システムを介してチップ全体に供給されます。

図2-10 LatticeECP2/M-50のプライマリクロック・ソース



Note: This diagram shows sources for the ECP2-50 device. Smaller devices have fewer SPLLs.

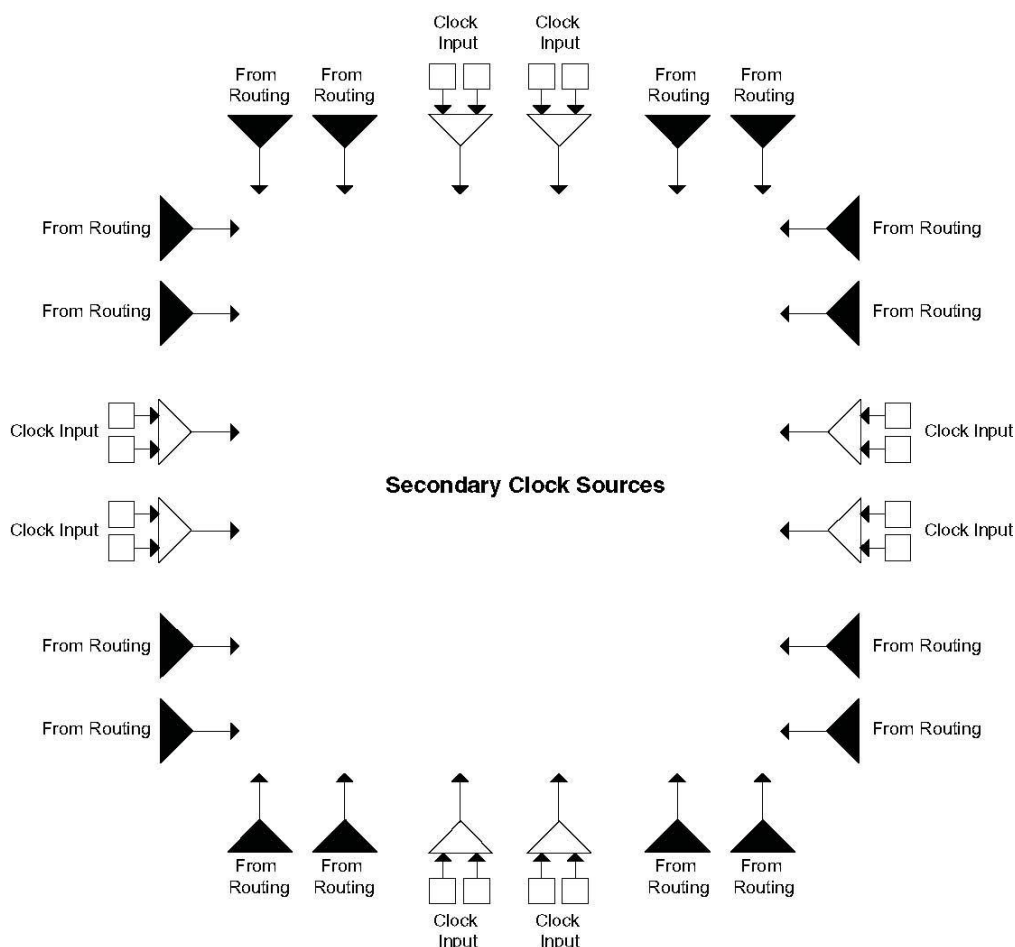
プライマリクロックのソース

LatticeECP2/Mデバイスは5つのソースからクロックを得ます。すなわちPLL（GPLLとSPLL）出力、DLL出力、CLKDIV出力、クロック入力専用ピン、そして配線です。LatticeECP2/Mは2～6個のsysCLOCK PLLと2個のDLLを持っており、デバイスの左右辺に配置されています。LatticeECP2M 256fpBGAパッケージを除いてクロック専用入力ピンは8本あり、デバイス各辺に2本ずつあります。図2-10はプライマリクロック・ソースを示します。

セカンダリクロック/制御信号のソース

LatticeECP2/Mはセカンダリクロック（SC0～SC7）を8本のクロック専用入力ピン、および配線より得ます。図2-11がセカンダリクロック・ソースを示します。

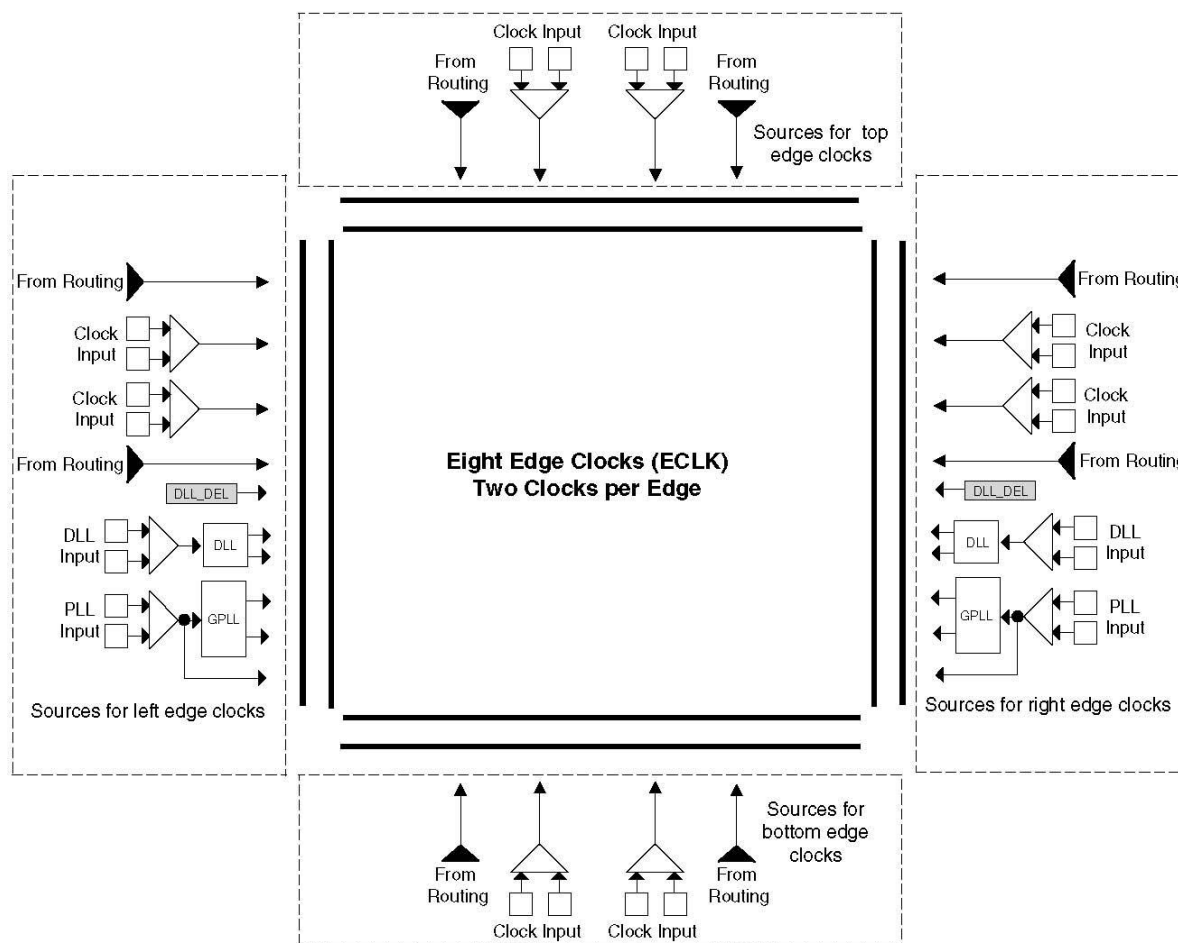
図2-11 セカンダリクロック・ソース



エッジロックのソース

さまざまなソースからエッジロック・リソースをドライブすることができます。図2-12で示すように、隣接するエッジロックPIO、プライマリクロックPIO、PLL/DLL、およびクロック分周器からエッジロック・リソースをドライブすることができます。

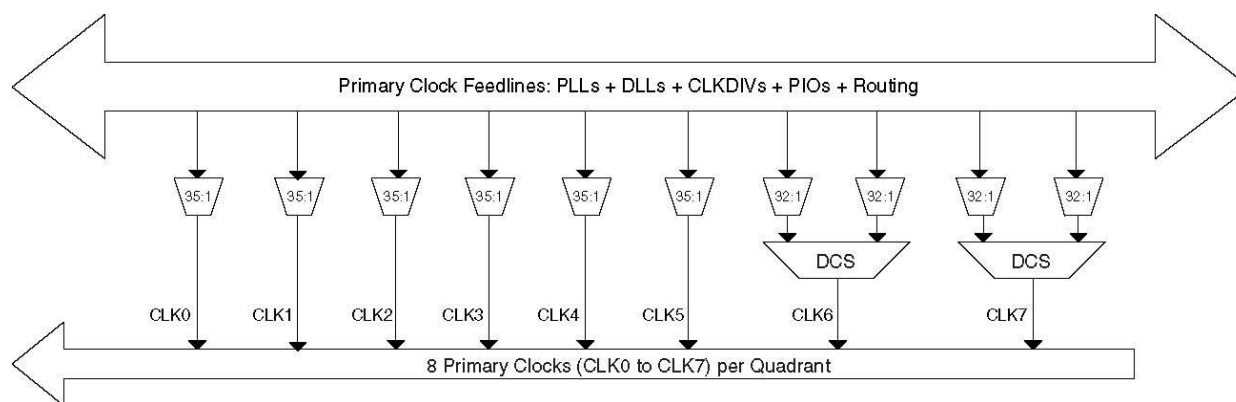
図2-12 エッジクロック・ソース



プライマリクロック配線

LatticeECP2/Mにおけるクロック配線構造は、クワドラントごとに8本あるプライマリ・クロック線（CLK0～CLK7）から成ります。プライマリ・クロックはそれぞれデバイスの中央に位置するマルチプレクサから生成されます。図2-13は各クワドラントのクロック配線を示します。各クワドラントのマルチプレクサは同一で、もし必要な場合はグローバルに（チップ全体に）分配もできます。

図2-13 クワドラントあたりのプライマリ・クロック選択

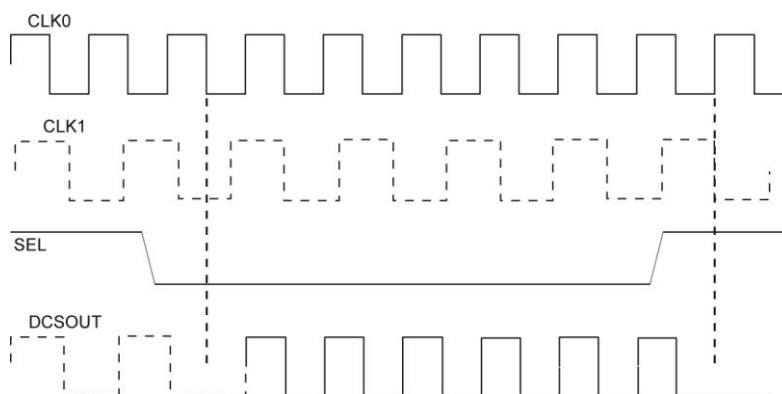


ダイナミック・クロックセレクト(DCS)

DCSはプライマリクロック配線で利用できる洗練されたマルチプレクサで、グリッチや細ったパルスを出す事なしに2本のクロックソースを切り替えます。これはクロック信号がどこでトグルするかに係わらず行われます。クワドラント内に2つのDCSブロックがあり、デバイスに合計8つあります。DCSブロックの入力は中央のマルチプレクサから得られます。DCS出力はプライマリクロックのCLK6とCLK7に接続されます(図2-13)。

図2-14はデフォルト・モード時のDCSのタイミング波形を示します。DCSは他の動作モードにも設定できます。DCSの詳しい情報に関しては、テクニカルノートTN1103を参照してください。

図2-14 DCS波形



セカンダリクロック / 制御の配線

LatticeECP2/Mのセカンダリクロックはリージョンベースのリソースで、その利点はプライマリクロックに対して注入遅延(Injection delay)と、リージョン内のスキューが比較的小さいことです。その区切りはEBR/DSPブロックの列と、特別な縦の配線チャネルです。この特別な配線チャネルは中央のDSPブロックの左端、或いはDSP列の中央に合わされています。図2-15はECP2-50の例で、縦に走るこの特別な配線チャネルと8つのリージョンを示します。LatticeECP2/Mはリージョンごとに8本のセカンダリクロック・リソースがあります。

クロックのマルチプレクサはデバイスの中央に位置しています。図2-16がその構造を示します。SC0からSC3はクロック信号に使用され、SC4からSC7は高ファンアウトの制御線に使用されます。

図2-15 ECP2/M-50のセカンダリクロック・リージョン

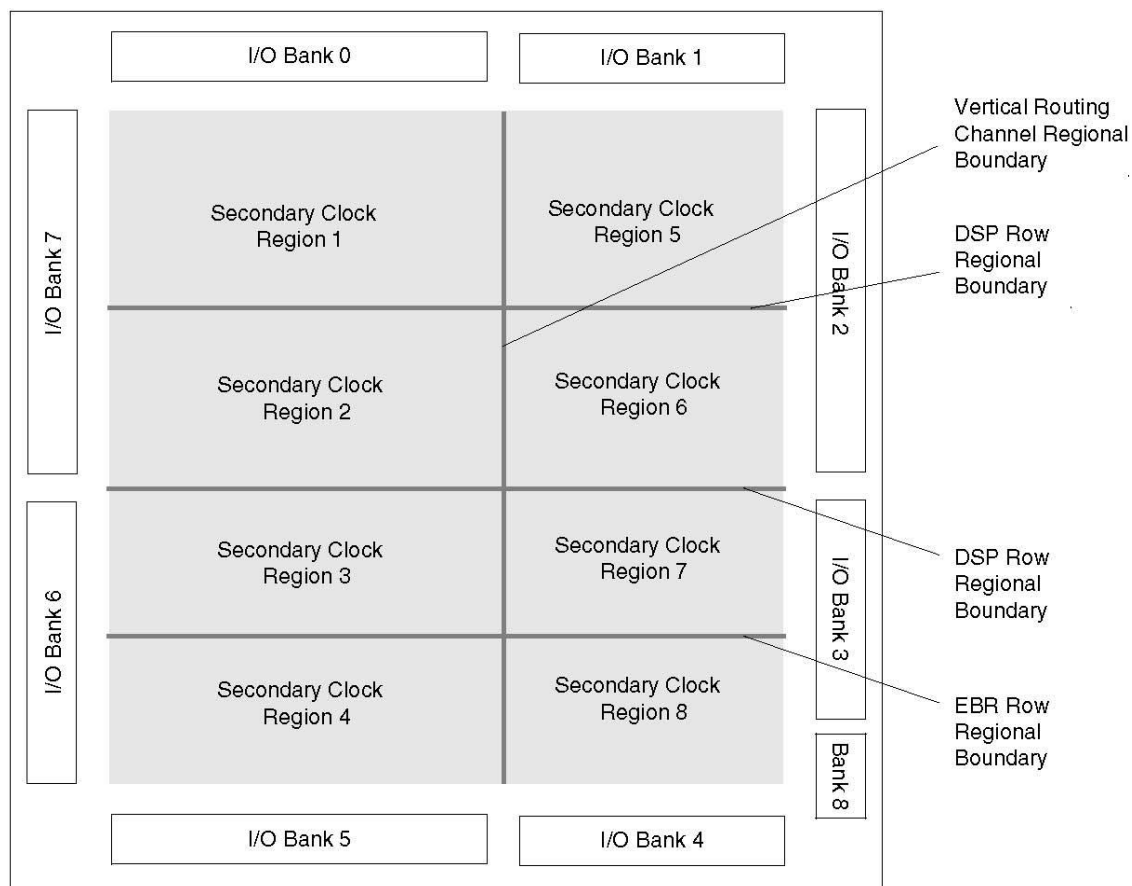
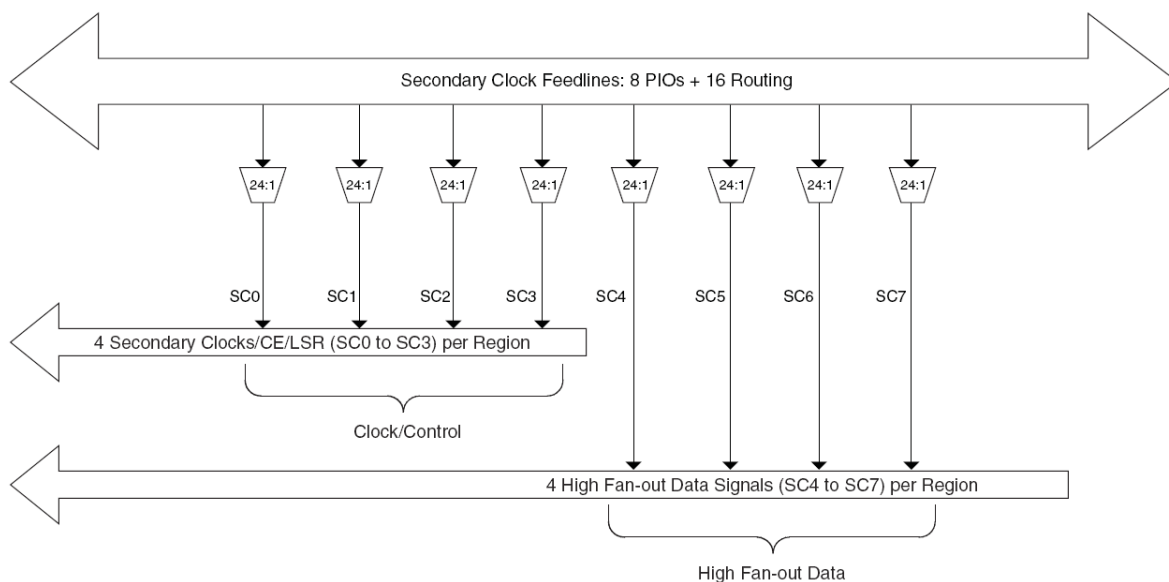


図2-16 リージョンごとのセカンダリクロックの選択



スライスクロックの選択

図2-17はクロック選択を、図2-18はスライス0から2の制御信号の選択を示します。すべてのプライマリクロ

ックとセカンダリクロックの4本はこのクロック選択マルチプレクサに接続されます。配線を使用する他の信号はクロックとしてスライスに入力もできます。スライスの制御信号はセカンダリクロックか、配線から接続される信号により生成されます。

もしこれらクロック・制御選択のマルチプレクサで共に何も選択されない場合はマルチプレクサ出力は1です。スライス3にはレジスタがないので、これらマルチプレクサがありません。

図2-17 スライス0から2のクロック選択

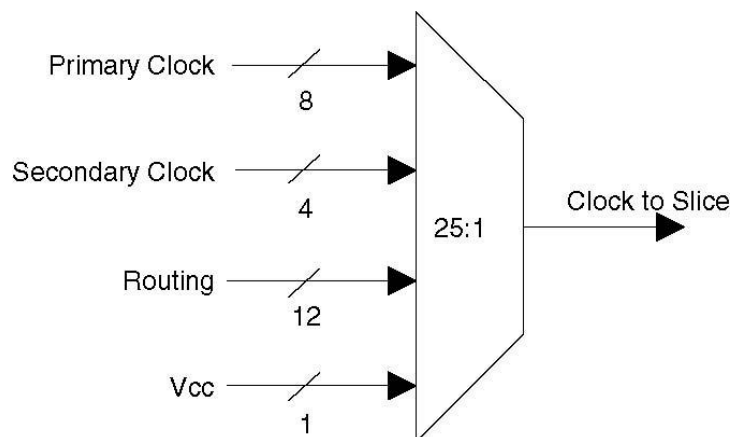
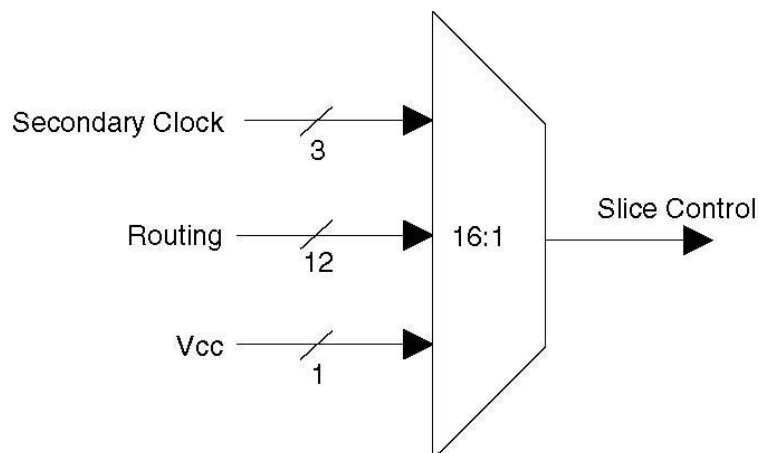


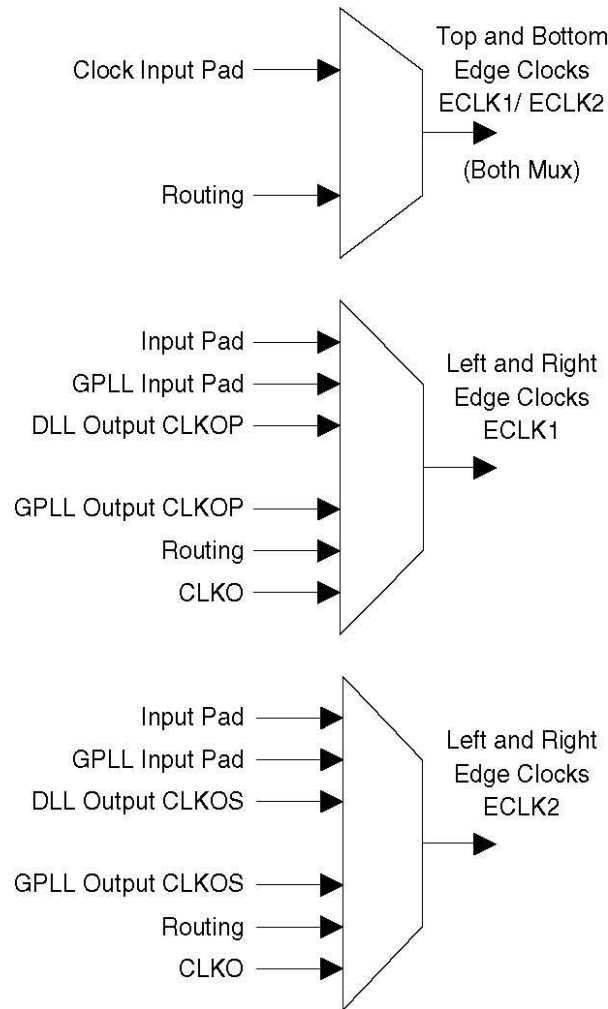
図2-18 スライス0から2の制御選択



エッジクロックの配線

LatticeECP2/Mデバイスには、高速インターフェイスの実装でPIOと共に使用することを意図される、何本かの高速エッジクロックがあります。エッジ（辺）あたり2本、デバイスとして8本のエッジクロックがあります。異なるPLLとDLL出力は、デバイスの左右辺にある2つのマルチプレクサに配線されます。さらに、(DLL_DELブロックから生成される)CLKO信号はデバイスの左右辺の全エッジクロック・マルチプレクサに配線されます。図2-19はこれらクロック選択のマルチプレクサを示します。

図2-19 エッジクロック・マルチプレクサの接続



sysMEMメモリ

LatticeECP2/Mファミリのデバイスは多くのsysMEM組み込みブロックRAM(EBR)を持っています。EBRは専用の入出力レジスタがある18kビットのRAMから成ります。

sysMEMメモリブロック

sysMEMブロックはシングルポート、デュアルポートまたは疑似デュアルポート・メモリを実装することができます。表2-6に示されるようにさまざまな深さと幅で各ブロックを用いることができます。PFUでサポートロジックを構成してFIFOとしてsysMEM EBRを実装することも可能です。またEBRはパリティチェック機能の実装を容易にし、さらに18ビット或いは36ビットデータ幅構成ではバイトイネーブル信号もサポートします。

表2-6 sysMEMブロック・コンフィグレーション

メモリ・モード	構成
シングルポート	16,384 x 1
	8,192 x 2
	4,096 x 4
	2,048 x 9
	1,024 x 18
	512 x 36

真のデュアルポート	16,384 x 1
	8,192 x 2
	4,096 x 4
	2,048 x 9
	1,024 x 18
擬似デュアルポート	16,384 x 1
	8,192 x 2
	4,096 x 4
	2,048 x 9
	1,024 x 18
	512 x 36

バスサイズ・マッチング

マルチポートメモリ・モードのすべてがそれぞれの異なるポート幅をサポートします。RAMビットはWord0のLSBからMSBへ、Word1のLSBからMSBへというように配置されます。ワード長とワード数はポートごとに異なりますが、このマッピング体系は各ポートに適用されます。

RAMの初期化とROM動作

必要な場合、デバイス・コンフィグレーションの際に、RAMの内容をプリロードすることができます。チップ・コンフィグレーション・サイクルの間、RAMブロックをプリロードし、書き込み制御をディセーブル（不許可）することで、sysMEMブロックはまた、ROMとして利用することができます。

メモリの連結

EBR sysMEMブロックを用いることで、より大きくて、より深いRAMブロックを作成することができます。通常、ラティス・デザインツールは特定の設計への入力に基づいて透過的に（暗黙に）メモリを連結します。

シングルポート / デュアルポート / 擬似デュアルポート・モード

全てのsysMEM RAMモードで、ポートへの入力データとアドレスにはメモリ・アレイの入力にレジスタがあります。メモリの出力データへのレジスタはオプションです。

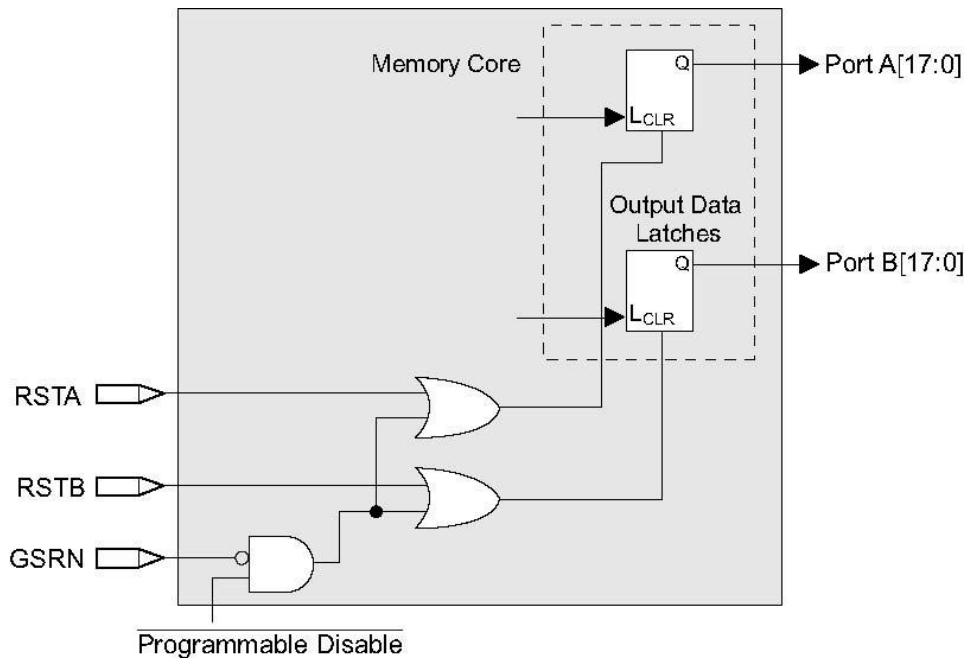
EBRメモリはシングルポートかデュアルポート動作のための書き込みの振舞いとして2つの形態をサポートします。

1. **標準**；出力データはリード・サイクルの間だけ現れます。ライト・サイクルの間、現在のアドレスのデータは出力に現れません。すべてのデータビット幅がサポートされます。
2. **ライトスルー**；ライト・サイクルの間、入力データのコピーが同じポートの出力に現れます。すべてのデータビット幅がサポートされます。

メモリコア・リセット

EBRのメモリ・アレイはA出力とB出力ポートのラッチを利用します。これらのラッチを非同期か同期でリセットすることができます。RSTAとRSTBはローカルの信号で、出力ラッチをリセットし、それぞれPort AとPort Bに関連します。Global Reset(GSRN)信号は両ポートをリセットします。両ポートのための出力データ・ラッチと関連するリセットが図2-20で示されます。

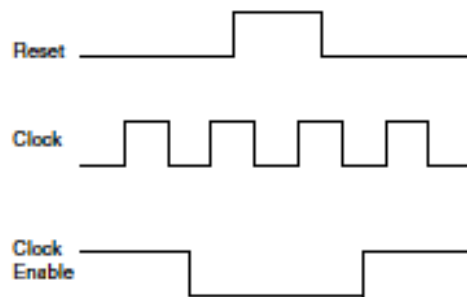
図2-20 メモリコア・リセット



EBR非同期リセット

図2-21に示すように、クロックイネーブルがLow（非アクティブ）の期間にEBRの非同期リセットもしくはGSR（使用されていれば）は与えられ、リセットのアサート前とネグート後にクロック1周期（以上）確保します。

図 2-21 EBR非同期リセットのタイミングダイアグラム（GSRを含む）



仮に全てのクロックイネーブルが有効のままの場合、非同期リセットもしくはGSRはリード/ライト・クロック入力安定状態になった後、最小 $1/f_{MAX}$ (EBRクロック)の期間、加えられなければなりません。またリセットのリリースタイミングは、次の有効クロックエッジに対して、同期リセットとしてのセットアップ時間を満たすようにしなければなりません。

EBR初期値がコンフィグレーション時にプリロードされる場合、GSR入力がディセーブルされるか、或いはデバイスのウェイクアップ時にI/Oの解放される前にGSRがリリースされるようにしなければなりません。

これらの要件は全てのEBR RAMとROMに適用されます。

EBRで同期リセットのみが用いられ、またEBRのGSR入力もディセーブルされていればリセットに関する制約はありません。

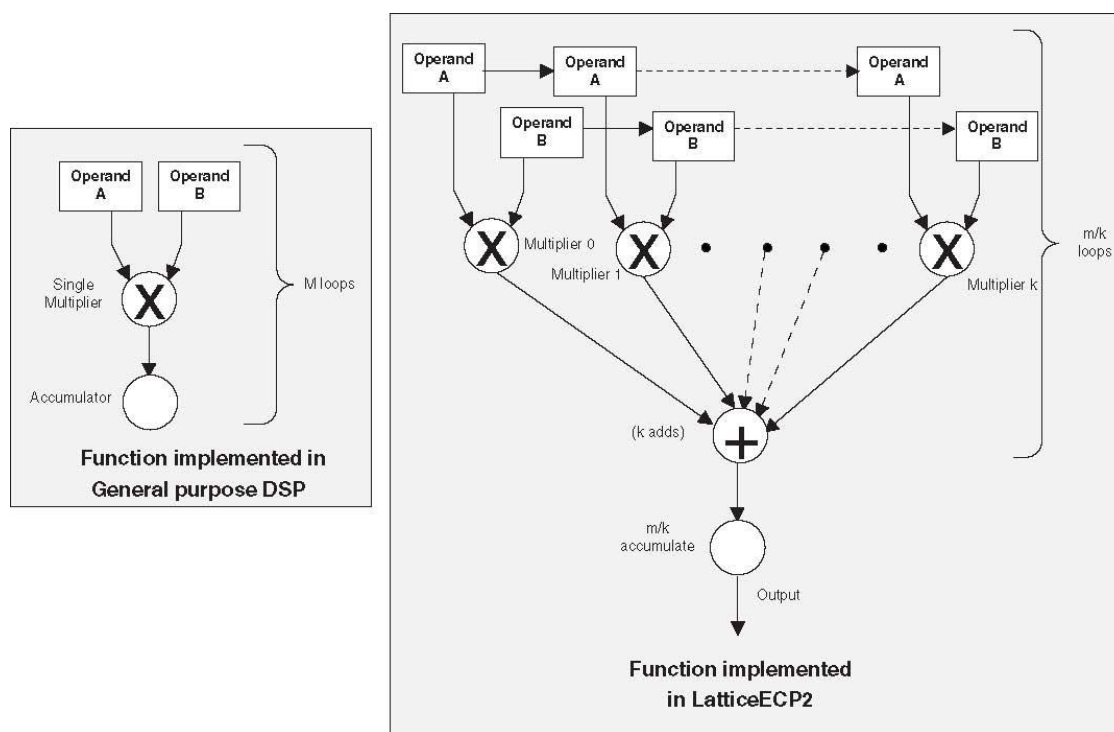
sysDSP™ ブロック

LatticeECP2/MファミリはsysDSPブロックを提供し、これにより低コストで高性能のデジタル信号処理(DSP)アプリケーションに理想的に適しています。これらのアプリケーションで用いられる典型的な機能は有限インパルス応答 (FIR) フィルタ、高速フーリエ変換(FFT)機能、相関器、リード・ソロモン/ターボ/たたみ込み符号器、および復号器などです。これらの複雑な信号処理機能は、加算器と乗算器やアキュムレータと乗算器のように類似のビルディング・ブロックを用います。

sysDSPブロック・アプローチと汎用DSPとの比較

従来の汎用DSPチップは固定データ幅のMAC(乗算とアキュミュレート)ユニットを通常1~4個含んでいます。これは限られた並列度と限られたスループットに通じます。それらのスループットは、より高いクロックスピードによって増加されます。他方LatticeECP2/Mには、異なったデータ幅をサポートする多くのDSPブロックがあります。これで、設計者はDSP機能の非常に並列度のある実装ができます。設計者は、適切なレベルの並列度を選ぶことによって、エリアに対するDSP性能を最適化することができます。図2-22はシリアル実装と並列実装を比較します。

図2-22 汎用DSPとLatticeECP2/Mアプローチの比較



sysDSPブロックの機能

LatticeECP2/MファミリにおけるsysDSPブロックは、4個の機能要素を9、18と36の3種のデータパス幅でサポートします。ユーザは機能要素をDSPブロック用に選択して、次にオペランドの幅とタイプ(符号あり/なし)を選びます。LatticeECP2/MファミリsysDSPブロックにおけるオペランドは、符号ありか符号なしですが、機能要素の中で混在できません。同様に、オペランド幅もブロックの中で混在できません。LatticeECP2/MファミリではDSP要素を従属接続できます。

各sysDSPブロックにおけるリソースは以下の4つの要素をサポートするために構成することができます。

- MULT 乗算
- MAC 積和 (乗算とアキュミュレート (累積))
- MULTADDSUB 乗算、加算/減算
- MULTADDSUBSUM 乗算、加算/減算、アキュミュレート

各ブロックで利用できる要素の数は、x9、x18、およびx36の3つのオプションに依存します。これらの多くの要素はDSP機能の並列度の高い実装のために連結できます。表2-7はブロックの機能を示します。

表2-7 ブロックにおける最大の要素数

乗算器幅 (-->)	x9	x18	x36
MULT	8	4	1
MAC	2	2	—
MULTADDSUB	4	2	—
MULTADDSUBSUM	2	1	—

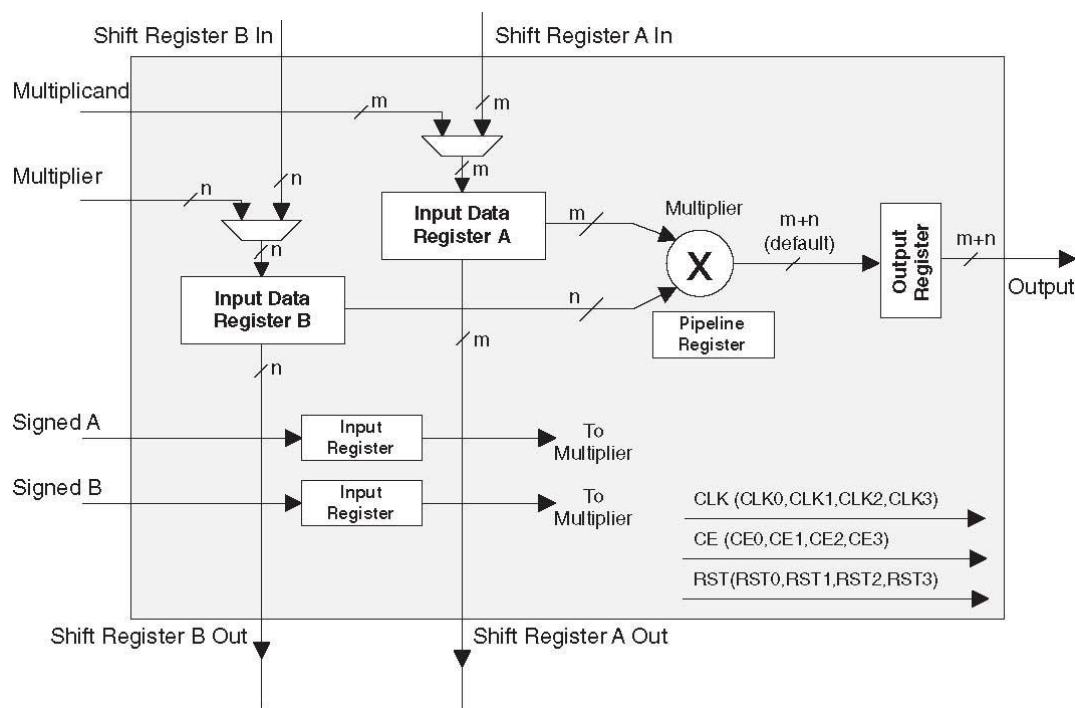
4つの要素ではいくつかのオプションが利用できます。すべての要素の入力レジスタには、直接ロードするか、または直前のオペランドのシフト・レジスタからロードできます。”ダイナミック動作”を選択することで以下の操作が可能になります。

- “Signed/Unsigned” オプションでオペランドを各サイクルごとに符号あり・符号なしを切り換えること
- “Add/Sub” オプションでアキュムレータを各サイクルごとに加算と減算で切り換えること
- オペランドのロード方法をパラレルとシリアルで切り替えること

MULT sysDSP要素

この乗算器要素は加算/アキュムレータ・ノードなしで乗算します。二つのオペランド(AとB)は、乗算され、そして、結果が出力に出てきます。ユーザは入力/出力パイプライン各レジスタをイネーブルすることができます。図2-23はMULT sysDSP要素を示します。

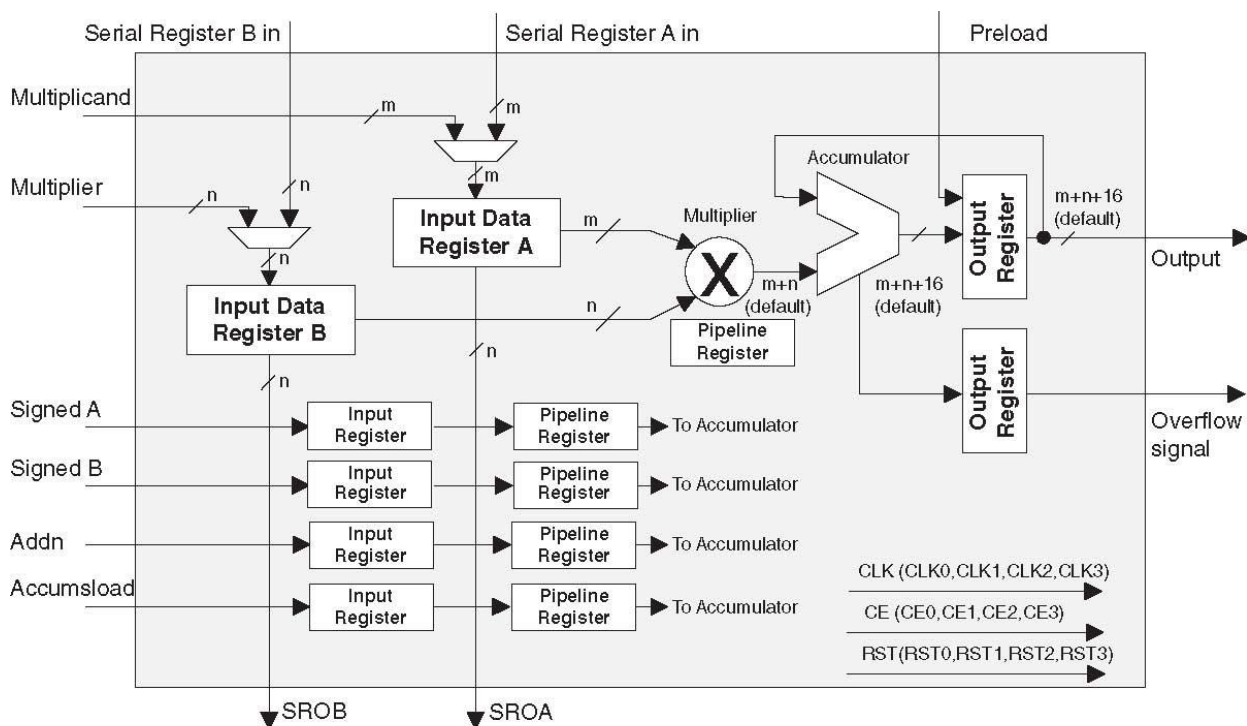
図2-23 MULT sysDSP要素



MAC sysDSP 要素

この場合、二つのオペランド(AとB)は乗算されて、結果はアキュムレート（累積）された直前の値に加えられます（積和動作）。このアキュムレート値は出力で利用できます。ユーザは入力とパイプライン・レジスタをイネーブルすることができますが、出力レジスタは常にイネーブルされます。出力レジスタは、アキュムレートされた値を保持するために用いられます。LatticeECP2/MのDSPブロックはアキュムレータを動的に初期化できます。また、レジスタのあるオーバーフロー信号も利用できます。本ドキュメントの後ではオーバーフロー条件を示します。図2-24はMAC sysDSP要素を示します。

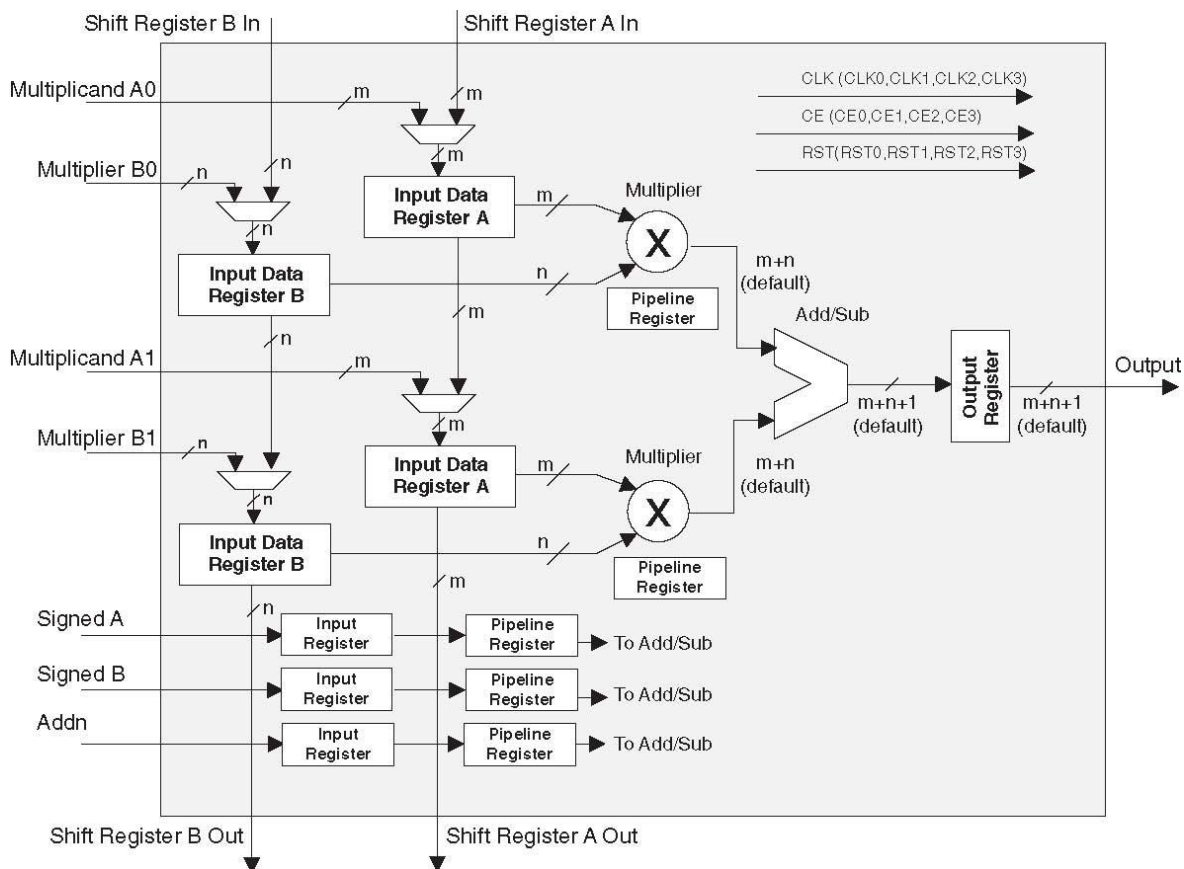
図2-24 MAC sysDSP要素



MULTADDSUB sysDSP要素

オペランドのA0とB0は乗算されて、その結果は、オペランドA1とA2の乗算の結果に加算されるか、または引き算されます。ユーザは入力/出力/パイプライン各レジスタをイネーブルすることができます。図2-25はMULTADDSUB sysDSP要素を示します。

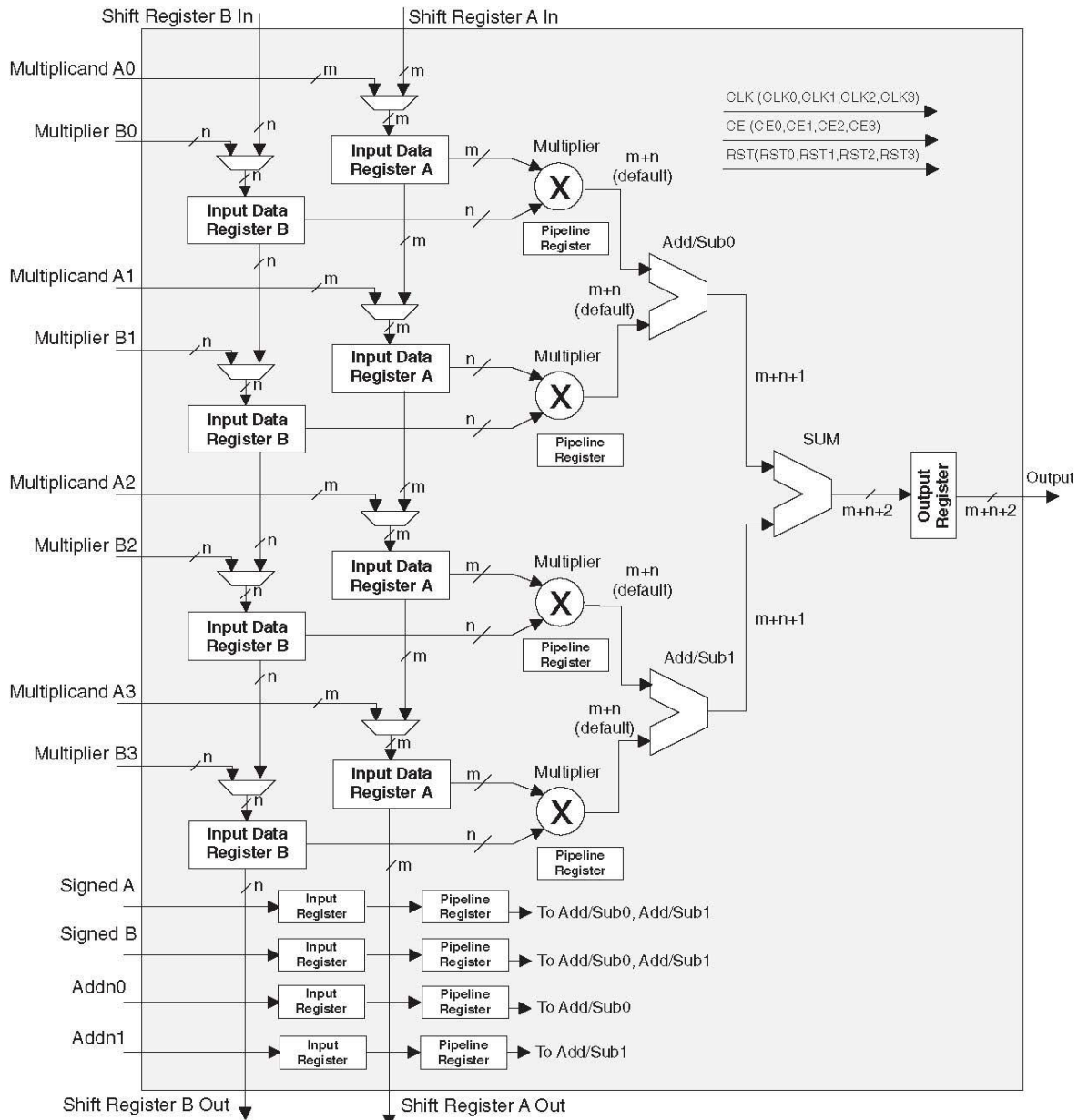
図2-25 MULTADDSUB要素



MULTADDSUBSUM sysDSP要素

オペランドのA0とB0は乗算されて、その結果は、オペランドA1とB1の乗算の結果に加えられるか、または引き算されます。オペランドのA2とB2は乗算されて、その結果は、オペランドのA3とB3の乗算の結果にさらに加えられるか、または引き算されます。加算/減算の結果は共に総和（加算）ブロックで加えられます。ユーザは入力/出力/パイプライン各レジスタをイネーブルすることができます。図 2-26 は MULTADDSUBSUM sysDSP要素を示します。

図2-26 MULTADDSUBSUM要素



クロック、クロック・イネーブル、およびリセット・リソース

配線からのグローバル・クロック、クロック・イネーブルとリセット信号は全てのDSPブロックで使用できます。各4本のクロック、リセット、およびクロック・イネーブル信号はsysDSPブロックのために選択されます。4つのクロック・ソース(CLK0、CLK1、CLK2、CLK3)から、1つのクロックがそれぞれの入力レジスタ、パイプライン・レジスタ、および出力レジスタのために選択されます。同様に、クロック・イネーブル(CE)とリセット(RST)は各4つのソース(CE0、CE1、CE2、CE3とRST0、RST1、RST2、RST3)から入力/

パイプライン/出力レジスタでそれぞれ選択されます。

異なる幅での符号あり・符号なし

DSPブロックはx9、x18、およびx36ビット幅以外に、符号あり・符号なしで乗算器の異なる幅をサポートします。符号なしオペランドにおいて、未使用の上位データ・ビットは、有効なx9、x18またはx36オペランドを作成するために拡張されなければなりません。符号あり2の補数オペランドにおいて、x9、x18またはx36幅に達するまで、最上位ビット(MSB)の符号拡張は実行されるべきです。表2-8はこの例を示します。

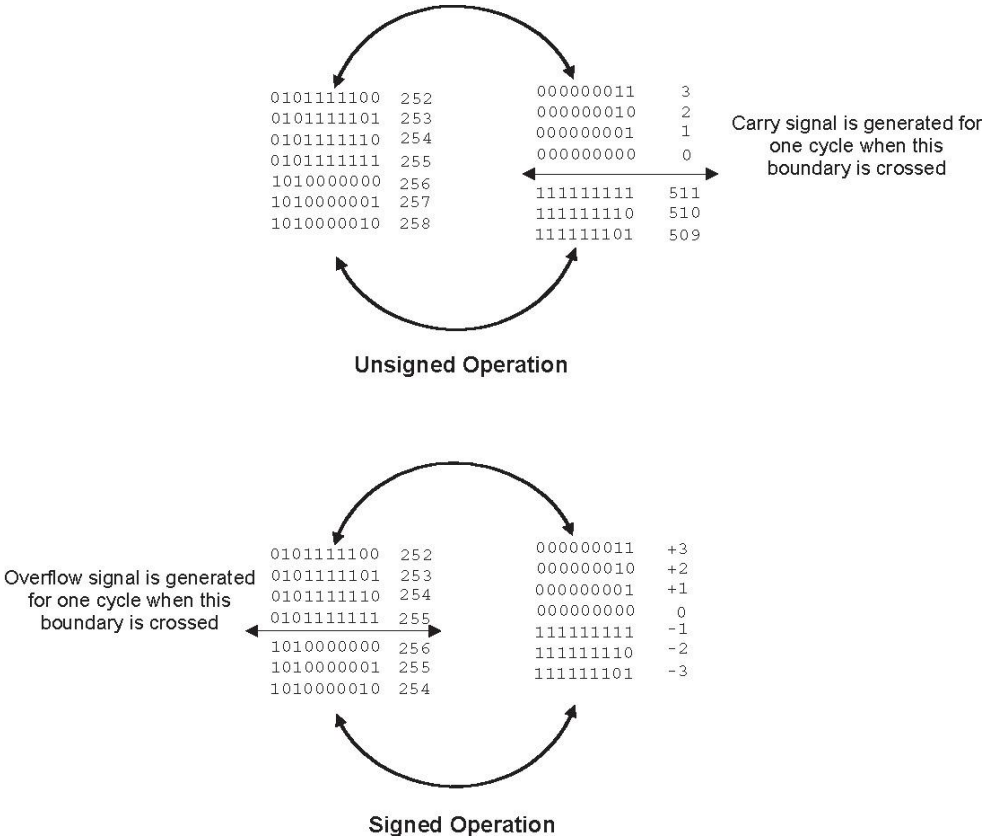
表2-8 符号拡張に関する例

値	符号なし	符号なし 9-bit	符号なし 18-bit	符号あり	2の補数 符号あり 9-bit	2の補数 符号あり 18-bit
+5	0101	000000101	000000000000000101	0101	000000101	000000000000000101
-6	N/A	N/A	N/A	1010	11111010	111111111111111010

MACからのOVERFLOWフラグ

sysDSPブロックは、アキュムレータがオーバフローしたことを示すための出力を提供します。2つの符号なし数が加えられて、結果がそれらより小さい数になった時、アキュムレータ・ロールオーバが起こったと言い、オーバフロー信号が示されます。2つの正数が加算されその和が負であるとき、または2つの負数が加算され和が正数の場合、アキュムレータ・ロールオーバが起こったと言い、そしてオーバフロー信号が示されます。オーバフロー・フラグは1サイクルだけの間存在していますので、オーバフローがいつ起こるかに注意する必要があります。FPGAロジックでこれらのオーバフロー・パルスを数えることによって、より大きいアキュムレータを構成することができます。符号ありおよび符号なしオペランドでのオーバフロー状態は図2-27でリストアップされています。

図2-27 アキュミュレータ・オーバフロー/アンダフロー条件



IPexpress™

ユーザは、それぞれのDSPモジュール(または、モジュールのグループ)を構成するオプションを持っているIPexpressか、或いは直接HDLインスタンス化を通してsysDSPブロックにアクセスすることができます。さらにラティスは、グラフィカルなシミュレーション環境であるSimulink®ツール内のインスタンス化をサポートするMathWorks®社とパートナーになっています。SimulinkはDiamondと共に動作して、ラティスFPGAでのDSP設計サイクルを劇的に短くします。

最適化されたDSP機能

ラティスは最適化されたDSP IP機能のライブラリを提供します。LatticeECP2/M用に用意されるIPは、ビット相関器、高速フーリエ変換、有限インパルス応答 (FIR) フィルタ、リード・ソロモン符号器/復号器、ターボ符号器/復号器、および畳み込み符号器/復号器などです。利用できるDSP IPコアの最新のリスト/ステータスについてはラティスまでお問い合わせください。

LatticeECP2/Mファミリで利用できるリソース

表2-9はLatticeECP2/Mファミリの各メンバーの最大乗算器数を示します。表2-10はそれぞれのLatticeECP2/Mファミリ・デバイスにおける利用できる最大EBR RAMブロックを示します。EBRブロックは、分散RAMと共に、高速DSP動作のために変数を局所的に格納するために用いることができます。

表2-9 LatticeECP2/MファミリにおけるDSPブロック数

デバイス	DSP ブロック	9x9 乗算器	18x18乗算器	36x36乗算器
ECP2-6	3	24	12	3
ECP2-12	6	48	24	6
ECP2-20	7	56	28	7
ECP2-35	8	64	32	8
ECP2-50	18	144	72	18
ECP2-70	22	176	88	22
ECP2M20	6	48	24	6
ECP2M35	8	64	32	8
ECP2M50	22	176	88	22
ECP2M70	24	192	96	24
ECP2M100	42	336	168	42

表2-10 LatticeECP2/Mファミリにおける組み込みSRAM

デバイス	EBR SRAM ブロック	総 EBR SRAM (Kbits)
ECP2-6	3	55
ECP2-12	12	221
ECP2-20	15	277
ECP2-35	18	332
ECP2-50	21	387
ECP2-70	60	1106
ECP2M20	66	1217
ECP2M35	114	210
ECP2M50	225	4147
ECP2M70	246	4534
ECP2M100	288	5308

LatticeECP2/MファミリDSPの性能

表2-11はLatticeECPファミリ各メンバーの最大性能を、百万MAC毎秒(MMAC)の単位でリストしています。

sysDSPの詳しい情報に関しては、テクニカルノートTN1107 (sysDSP Usage Guide)を参照してください。

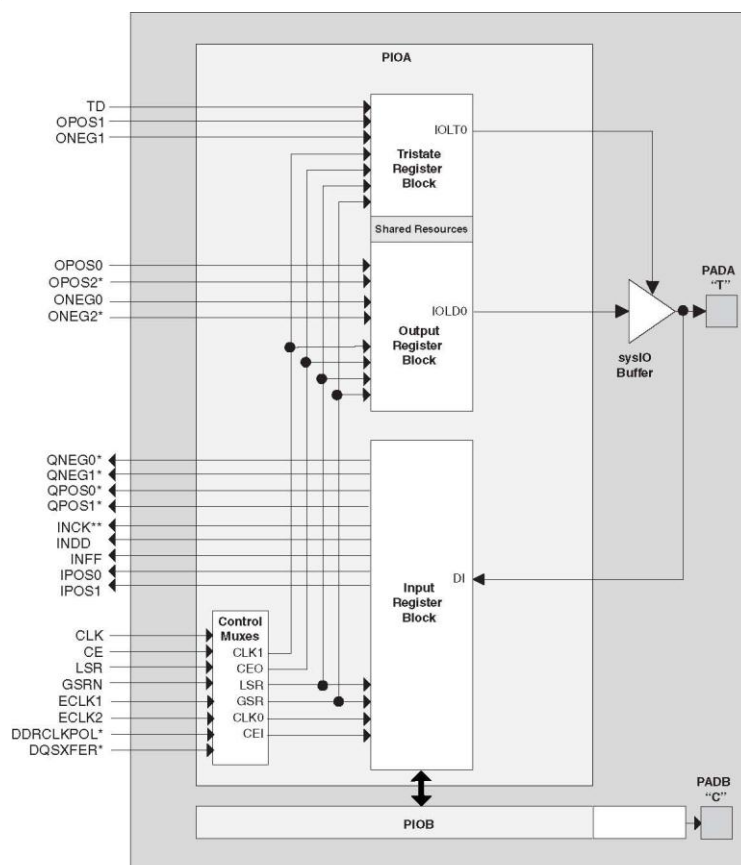
表2-11 LatticeECPファミリのDSPブロック性能

デバイス	DSP ブロック	DSP 性能MMAC
ECP2-6	3	3.9
ECP2-12	6	7.8
ECP2-20	7	9.1
ECP2-35	8	10.4
ECP2-50	18	23.4
ECP2-70	22	28.6
ECP2M20	6	7.8
ECP2M35	8	10.4
ECP2M50	22	28.6
ECP2M70	24	31.2
ECP2M100	42	54.6

プログラマブルI/Oセル(PIC)

各PICは図2-28に示されるように2PIOを含んでおり、これはそれぞれのsysIOバッファにそしてパッドに接続されています。PIOブロックは出力データ(DO)とトライステート制御信号(TO)をsysIOバッファに提供し、バッファから入力を受け取ります。表2-12にPIO信号リストがまとめられています。

図2-28 PICダイアグラム



*Signals are available on left/right/bottom edges only.
** Selected blocks.

図2-27に示されるように差動I/Oペアを提供するために隣接している2PIOを組み合わせることができます。パッドは2PIOを区別するために“T”と“C”と表記されています。デバイスの左・右辺の約50%のPIOペアがLVDSドライバに構成できます。

表2-12 PIO信号リスト

名称	タイプ	記述
CE0, CE1	コアからの制御	クロックイネーブル。入出力ブロックのFF用
CLK0, CLK1	コアからの制御	システムクロック。入出力ブロック用
ECLK1, ECLK2	コアからの制御	高速エッジクロック
LSR	コアからの制御	ローカル・セット/リセット
GSRN	配線からの制御	グローバル・セット/リセット (Lowアクティブ)。
INCK ²	コアへの入力	プライマリ・クロック・ネットへの入力、またはPLL基準入力
DQS	PIOへの入力	DQS信号。ロジック(配線)からPIOへ。
INDD	コアへの入力	レジスタされないデータ入力
INFF	コアへの入力	クロック(CLK0)の立ち上がりでレジスタされる入力
IPOS0, IPOS1	コアへの入力	DDRとしてレジスタされる入力
QOS0 ¹ , QPOS1 ¹	コアへの入力	コアのギアボックス (速度変換) パイプライン入力
QNEG0 ¹ , QNEG1 ¹	コアへの入力	コアのギアボックス (速度変換) パイプライン入力
OPOS0, ONEG0, OPOS2, ONEG2	コアからのデータ出力	コアからのSDRとDDR動作出力信号
OPOS1, ONEG1	コアからのトライステート制御	DDR動作トライステート・レジスタブロックへの出力
DEL[3:0]	コアからの制御	ダイナミック遅延制御入力
TD	コアからのトライステート制御	SDR動作トライステート信号
DDRCLKPOL	クロック極性バスからの制御	DDR入力ブロックに与えられるクロック (CLK0)の極性を制御
DQSXFER	コアからの制御	出力ブロックへの制御信号

1. デバイスの左右下辺のバンクのみ。上辺バンクはなし。
2. 特定のI/Oのみ

PIO

PIOは4ブロックを含んでいます。入力レジスタ・ブロック、出力レジスタ・ブロック、トライステート・レジスタ・ブロック、および制御論理ブロックです。これらのブロックは、必要なクロックと選択ロジックと共に、シングル・データレート(SDR)とダブル・データレート(DDR)動作の両方のためのレジスタを含んでいます。

入力レジスタ・ブロック

左右辺と下辺にあるPIOの入力レジスタ・ブロックは遅延素子とレジスタを含んでおり、DDRメモリアンターフェイスやソースシンクロナスなどの高速インターフェイス信号がデバイス・コアに渡される前に信号を整えるために用いることができます。図2-28は上辺以外の入力レジスタ・ブロックのダイアグラムです。上辺の入力レジスタブロックは図2-29にあるように、入力信号をレジスタするためのメモリ素子があります。

入力信号は(信号DIとして)sysIOバッファから入力レジスタ・ブロックに加えられます。必要により、入力信号はレジスタと遅延素子をバイパスして、直接組み合わせ信号(INDD)、クロック (INCK)、或いは選択されたブロックのDQS遅延ブロックへの入力として用いることができます。入力遅延が必要な場合、設計者は固定遅延かダイナミック遅延DEL[3:0]を選択できます。遅延が選択されてグローバル・クロックが用いられる場合、入力レジスタのホールド時間要件を減らします。

入力ブロックは3動作モードを許容します。シングル・データレート(SDR)では、データはSDR同期レジスタ・ブロック内のレジスタの1つによってシステム・クロックでサンプルされます。DDRモードでは、2つのレジスタが用いられ、DQS信号の正と負のエッジでデータをサンプルして、2本のデータ・ストリーム、D0およびD2を作ります。これらの2つのデータ・ストリーム (D0とD1) はコアに入る前にシステムクロックと同期化されます。より詳細はテクニカルノートTN1105 (High-Speed I/O Interface) を参照してください。

第3のモードとしては、コンプリメンタリなPIOを結合し、出力ブロックからのレジスタをいくつか用いることでギアボックス (速度変換) 機能が実装できます。これはPIOAに加えられた信号を4本のストリーム、

IPOS0A/IPOS1A/IPOS0B/IPOS1B、に分割します。図2-29はこの場合を示します。

信号DDRCLKPOLは同期レジスタで用いられるクロックの極性を制御します。これでDQSからシステムクロック・ドメインまでデータを転送するとき、適切なタイミングを確実にします。このトピックについてのさらなる議論に関しては、このTN1105を参照してください。

図2-29 入力レジスタ・ダイアグラム (左右辺と底辺)

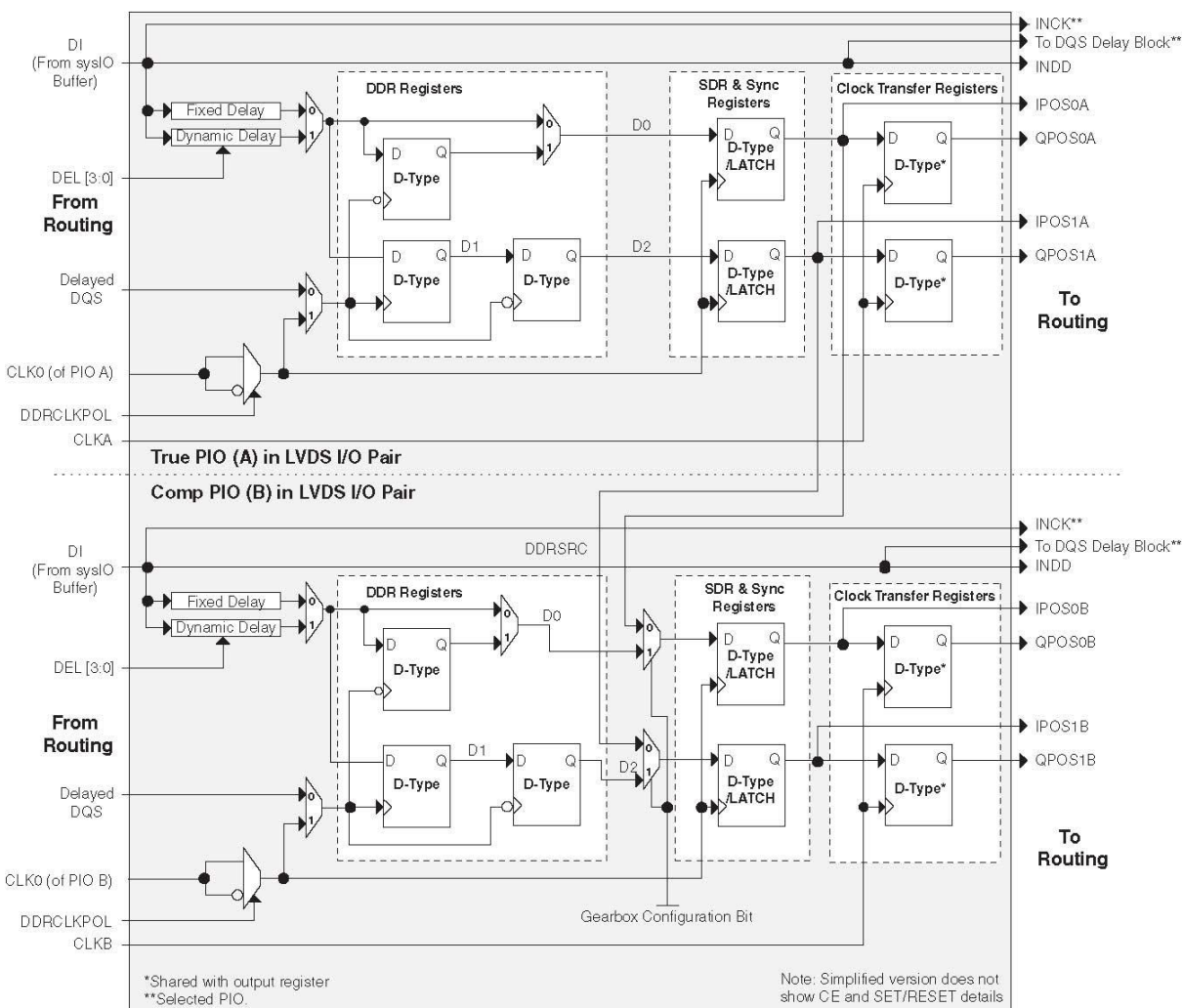
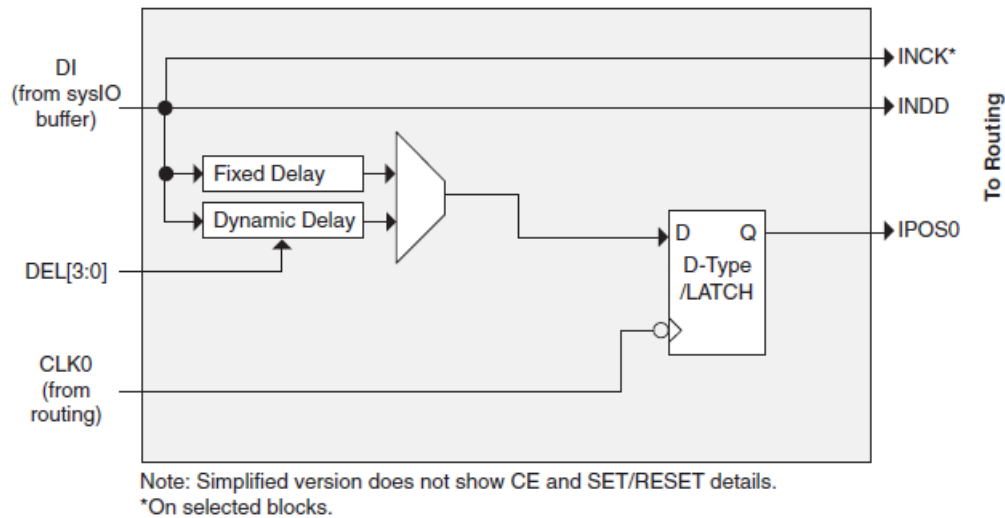


図2-30 デバイス上辺の入力レジスタブロック



出力レジスタ・ブロック

出力レジスタ・ブロックでは、信号がデバイスのコアからsysIOバッファに渡される前にサンプルすることができます。本ブロックでデバイスの左右辺と下辺にあるPIOはSDR動作のためのレジスタを含んでおり、DDR動作のためのラッチと組み合わせられます。図2-31は出力レジスタ・ブロックのダイアグラムを示します。図2-32はデバイス上辺PIOの出力ブロックを示します。

SDRモードでは、ONEG0はフリップフロップの1つに与えられ、それが出力につながります。フリップフロップは、D-FFかラッチとして構成できます。DDRモードでは、ONEG0とOPOS0がクロックの正のエッジでレジスタに与えられ、そして次のサイクルでOPOS0がラッチされます。同じクロックで動作するマルチプレクサが、出力(D0)に信号を与える正しいレジスタを選択します。

コンプリメンタリなPIOを結合し、出力ブロックからのレジスタをいくつか用いることでギアボックス（速度変換）機能が実装できます。これは4本のストリーム、ONEG0A/ONEG1A/ONEG0B/ONEG1B、を取り込みます。図2-32はこの動作について示しています。

図2-31 出力レジスタ・ブロック (左右辺、底辺)

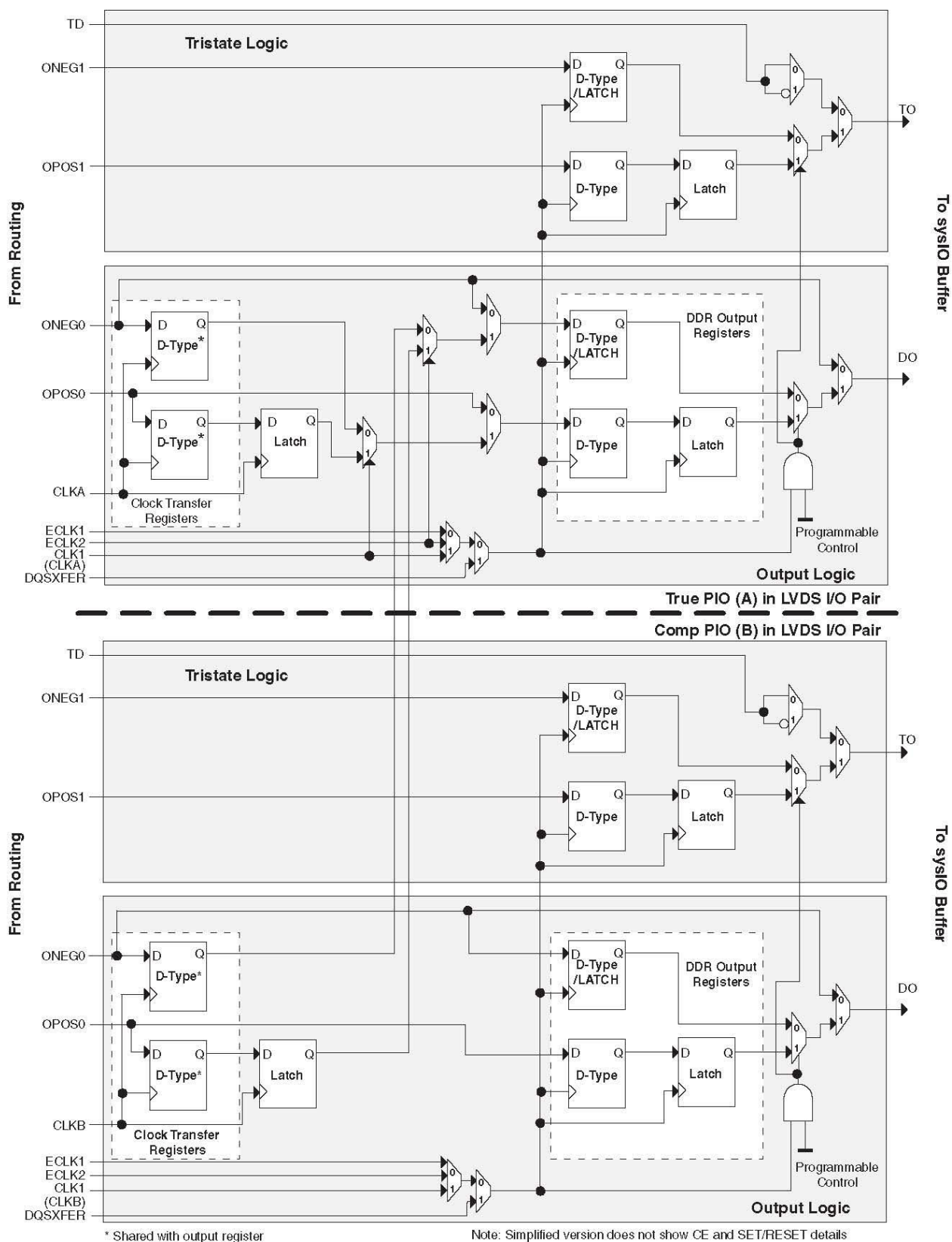
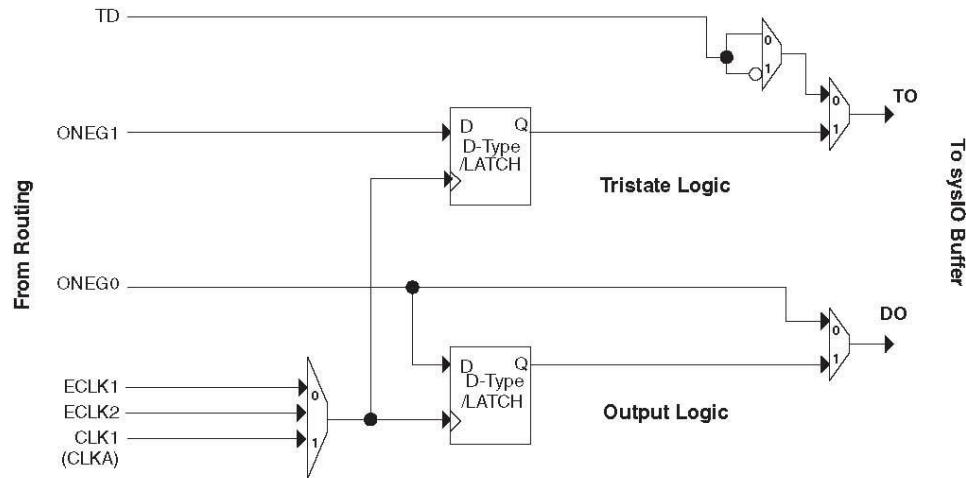


図2-32 デバイス上辺のトライステート / 出力レジスタ・ブロック



Note: Simplified version does not show CE and SET/RESET details.

トライステート・レジスタ・ブロック

トライステート・レジスタ・ブロックでは、信号がデバイスのコアからsysIOバッファに渡される前にサンプルすることができます。このブロックはSDR動作のためのレジスタとDDR動作のための追加ラッチを含んでいます。図2-33はデバイス左右辺PIOと下辺PIOのトライステート・レジスタ・ブロックのダイアグラムを出力ブロックと共に示し、図2-34は上辺PIOのブロックを示しています。

SDRモードでは、ONEG1がフリップフロップの1つに与えられ、それが出力につながります。フリップフロップは、D-FFからラッチとして構成できます。DDRモードでは、ONEG1とOPOS1がクロックの正のエッジでレジスタに与えられ、そして次のクロックでOPOS1がラッチされます。同じクロックで動作するマルチプレクサが、出力(D0)に信号を与える正しいレジスタを選択します。

制御ロジック・ブロック

制御ロジック・ブロックは、PIOブロック内で使用される制御信号の選択と変更を可能にします。クロックは、汎用の配線から提供されたクロック信号か、エッジクロックの一方（ECLK1/ECLK2）、或いはプログラマブルDQSピンから提供されたDQS信号の1つから選択されます。クロックを反転するオプションがあります。

DDRメモリ・サポート

いくつかの**PIC**には高速のソースシンクロナスや**DDR**メモリーインターフェイスの実装を可能にする回路がさらに付加されています。**PIO**がデバイスのどの辺にあるか（上下左右）でそのサポートは異なります。

デバイスの左右辺のI/O

DDRメモリアンタフェイスのためのレジスタ素子があります。16PIO毎の1つはDQS信号の生成を容易にする遅延素子を含んでいます。DQS信号は16本のPIOにまたがるDQSバスに与えられます。図2-32は各16PIOの組に配置されるDOSピンの対応を示します。

デバイスの下辺のI/O

DDRメモリアンタフェイスのためのレジスタ素子があります。18PIO毎の1つはDQS信号の生成を容易にする遅延素子を含んでいます。DQS信号は18本のPIOにまたがるDQSバスに与えられます。図2-33は各18のPIOに配置されるDOSピンの対応を示します。

デバイスの上辺のI/O

他と異なり上辺のPIOにはレジスタもDQS信号用ポート也没有しません。

個々のDQSピン配置については、本データシートのPinout Information内で“Logic Signal Connection”表内に“Dual Function”として与えられています（オリジナルの英語版を参照。日本語版にはありません）。付加的な詳細記述もあります。バスからのDQS信号はメモリからのDDRデータを入力レジスタブロックに取り込むストローブとして用いられます。左右辺は16ビット、また下辺は18ビットのスパンのPIOポートをサポートするように設計されています。

図2-33 デバイス左右辺I/OのDQS配線

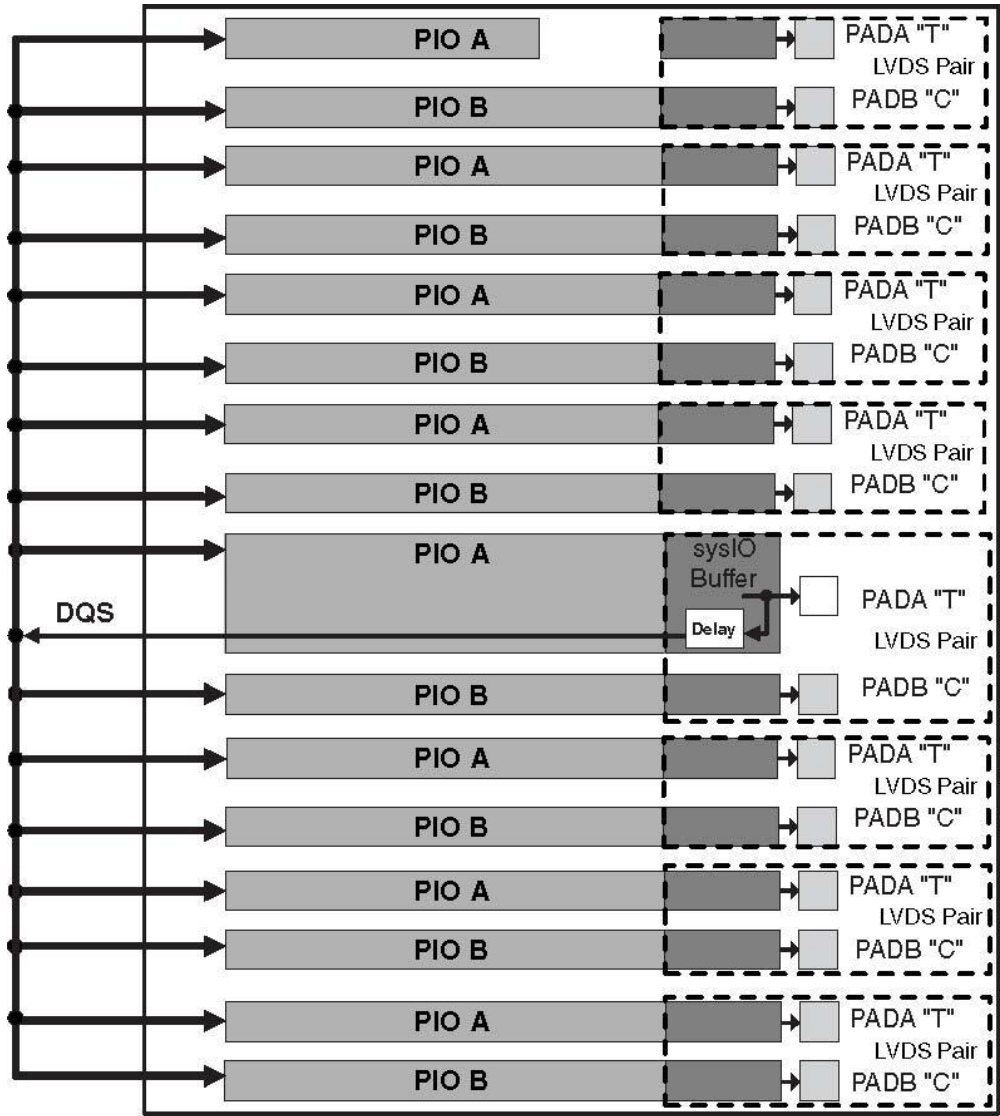
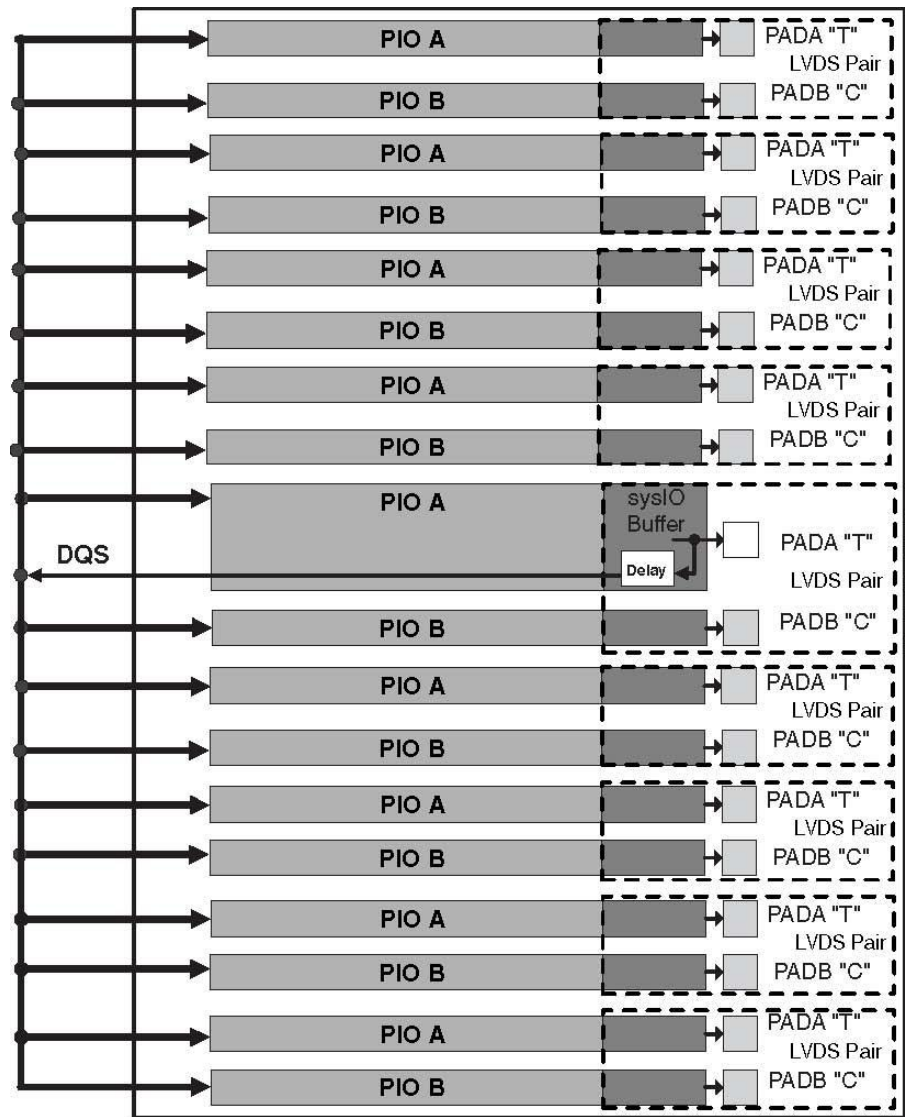


図2-34 デバイス底辺I/OのDQS配線



DLLにより較正されるDQS遅延ブロック

一般に、ソースシンクロナス・インターフェイスは、入力レジスタで正しくデータをキャプチャするために入力クロックが調整されることを必要とします。殆どのインターフェイスにおいてはPLLがこの調整に用いられますが、DDRメモリではクロック(DQSと呼ばれる)は、フリーランしていませんので、このアプローチを用いることができません。DQS遅延ブロックは必要なクロック・アライメントをDDRメモリ・インターフェイスに提供します。

DQS信号(図2-34のように特定のPIOのみ)はパッドから専用のDQS配線リソースを通してDQS遅延素子に入れます。DQS信号はまた、クロック極性制御ロジックにも与えられ、これは入力レジスタ・ブロック内の同期化レジスタへのクロックの極性を制御します。図2-34と図2-35はDQS転送信号がPIOにどのように配線されるかを示します。

DQS遅延ブロックの温度、電圧、およびプロセス変動は、デバイスの反対側に位置する2個の専用DLL (DDR_DLL) から与えられる1組の較正信号(6ビットのバス)によって補償されます。各DLLは図2-35に示されるようにデバイスの半分でDQS遅延を補償します。DLLは、システムクロックとフィードバック・ループによって温度、電圧、およびプロセス変動が補償されます。

図2-35 エッジクロック、DLL較正(Calibration)バスとDQS/DQS転送分配

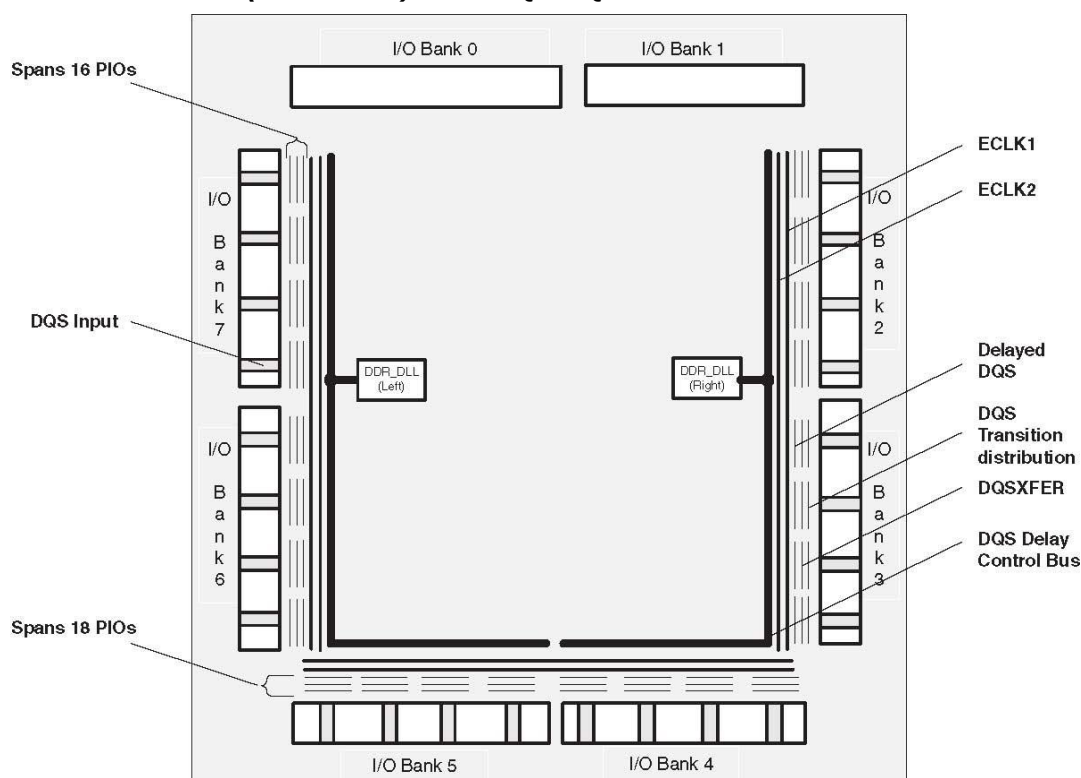
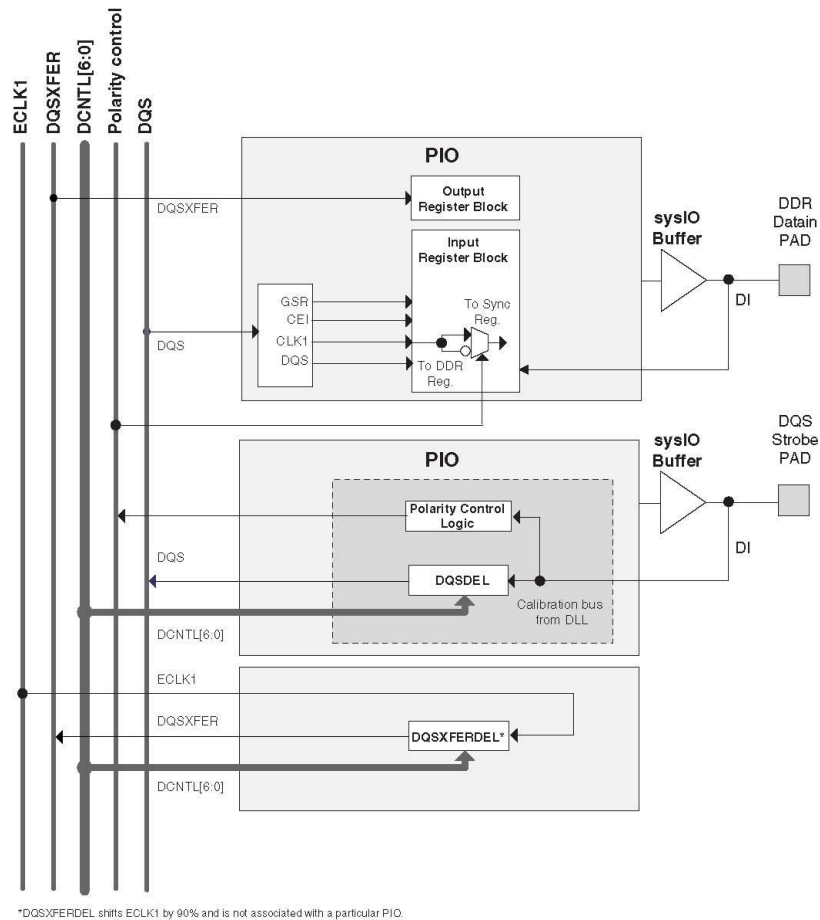


図2-36 DQS ローカル・バス



極性制御ロジック

典型的なDDRメモリ・インターフェイスの設計では、入力される遅れたDQSストロブと内部のシステム・クロック(リードサイクルの間)との位相関係は未知です。

LatticeECP2/Mファミリはこれらドメイン間のデータ転送に専用回路を含んでいます。ドメイン転送のときにセットアップ/ホールド時間違反を防ぐため、クロック極性セクタが使用されます。これはデータが入力レジスタ・ブロック内の同期レジスタでサンプルされるエッジを変えます。これは正しいクロック極性のためにそれぞれのリード・サイクルの始めでの評価を必要とします。

DDRメモリの読み出し動作の前に、DQSは(終端抵抗が接続された)トリステート状態にあります。DDRメモリ・デバイスはプリアンプル・ステートの始めでDQSをLowにドライブします。専用回路がプリアンプルステートのあとの最初のDQS遷移を検出し、検出信号は同期レジスタへのクロック極性制御に用いられます。

DQSXFER

LatticeECP2/Mは90°シフトされたDQSが必要なDDRメモリのため出力バッファにDQSTFER信号を提供しています。これはDQSDELブロックで生成され、DQSバスのスパンで使用できます。

sysIOバッファ

それぞれのI/OはsysIOバッファと呼ばれるフレキシブルなバッファに関連しています。これらのバッファは、デバイスの周囲にバンクと呼ばれる8つのグループで配置されます。sysIOバッファは、ユーザはLVCMOS、SSTL、HSTL、LVDS、およびLVPECLを含む、今日のシステムで見られる広範な標準の実装を可能にします。

sysIOバッファバンク

LatticeECP2/Mデバイスには、9つのsysIOバッファバンクがあります。各辺に2バンクに加え、9番目のsysIOバッファバンク（バンク8）はバンク3の隣にあり、コンフィグレーション用の専用・共用I/Oよりなります。共用ピンがコンフィグレーション用に用いられない場合は、ユーザI/Oとして使用できます。それぞれが、複数のI/O標準をサポートすることができます。各sysIOバンクには、それ自身のI/O電源電圧(V_{CCIO})、2本の参照電圧 V_{REF1} 、 V_{REF2} のリソースがあり、それぞれのバンクを互いに完全に独立させることができます。但しバンク8は参照電圧をバンク3と共用します。図2-37は9つのバンクとそれらに関連する電源電圧を示します。

LatticeECP2/Mデバイスでは、シングルエンド出力バッファとレシオ入力バッファ(LVTTL、LVCMOS、およびPCI)は、 V_{CCIO} を用いて電源が与えられます。また、 V_{CCIO} の如何にかかわらず、LVTTL、LVCMOS33、LVCMOS25、およびLVCMOS12入力には固定スレッシュホールドを設定することができます。

図2-37 LatticeECP2バンク

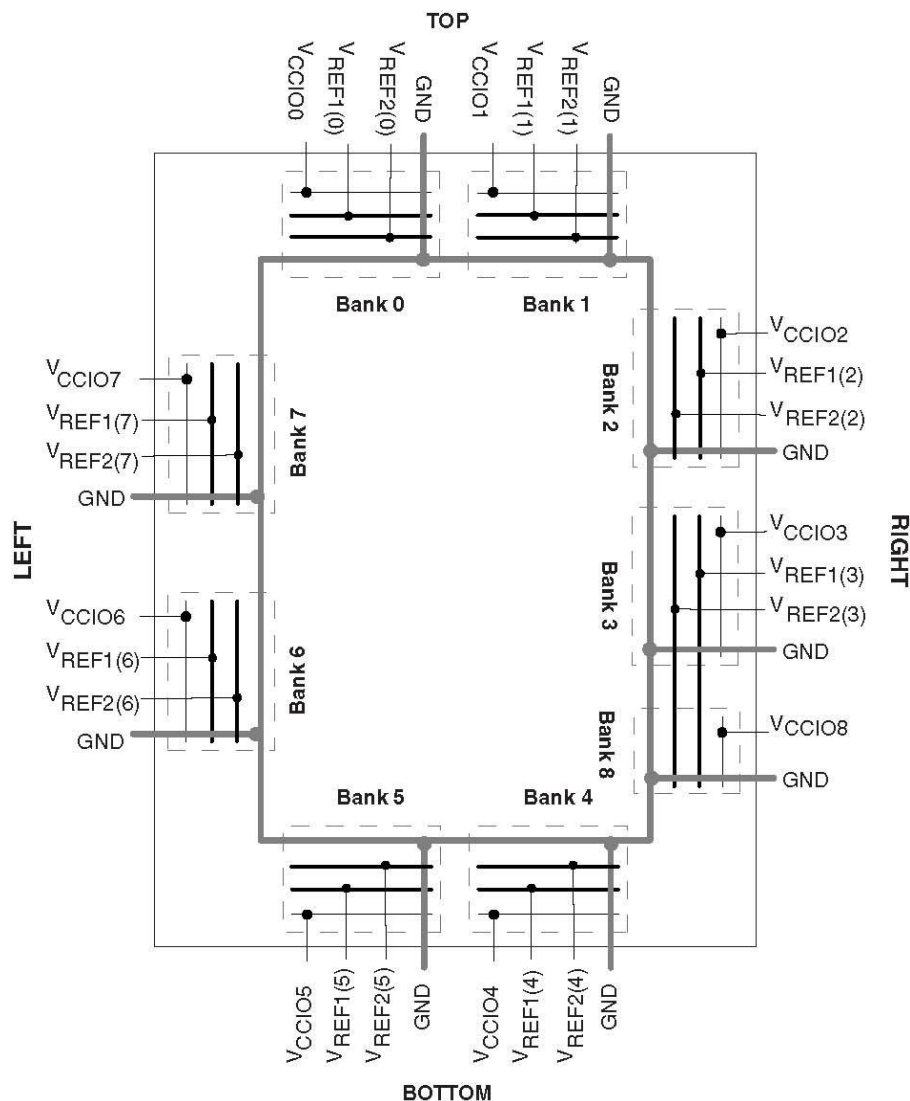
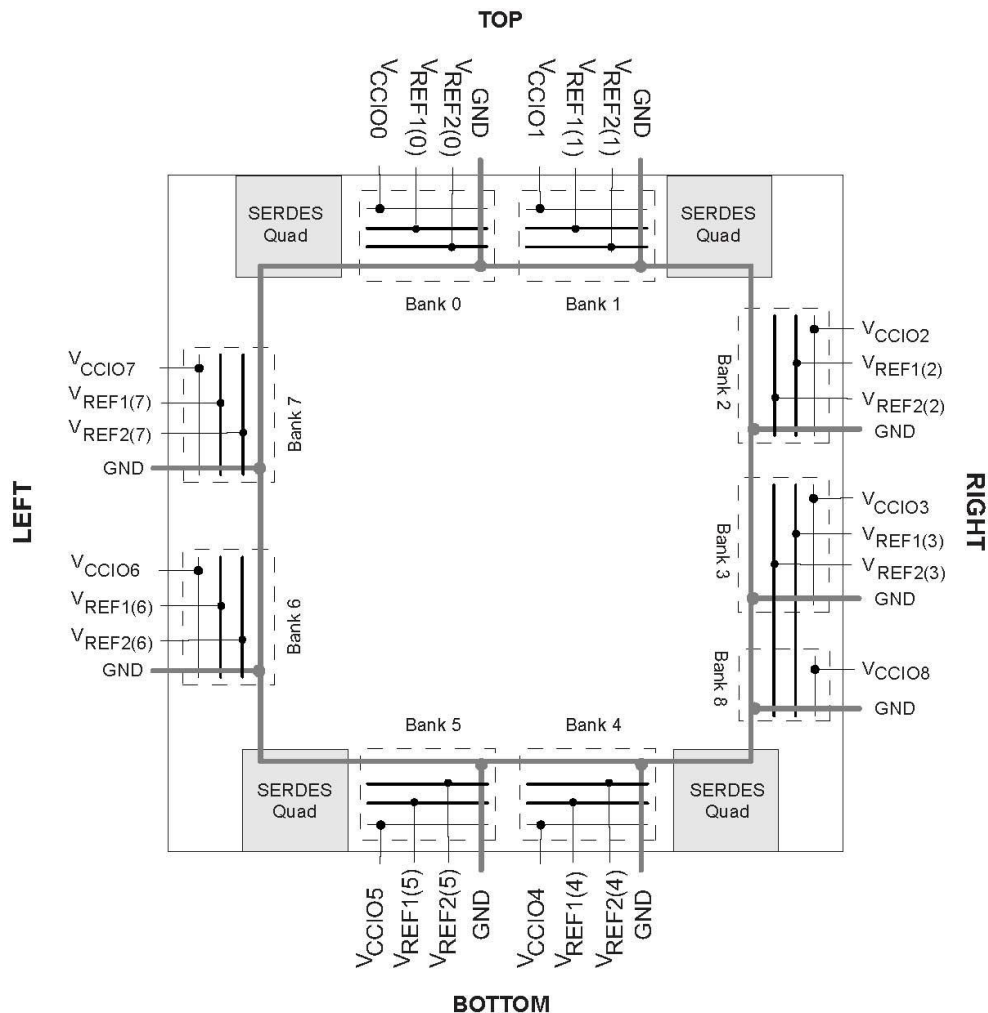


図2-38 LatticeECP2Mバンク



各バンクは基準電圧を参照する入力バッファにスレッシュホールドを設定する V_{REF} 電圧を最大2つ、別々にサポートすることができます。LatticeECP2/Mデバイスでは、いくつかの専用I/Oピンをバンクにおける参照電圧ピンになるように構成することができます。それぞれのI/Oはバンクへの電源電圧と参照電圧に基づいて個別に構成可能です。

LatticeECP2/Mデバイスは2つのタイプのsysIOバッファ・ペアを含んでいます。

1. 上辺（バンク0とバンク1）のsysIOバッファペア(シングルエンド出力のみ)

デバイスの上辺バンクにおけるsysIOバッファペアは、2シングルエンド出力ドライバと2組のシングルエンド入力バッファ(レシオ型と参照電圧使用型共に)から成ります。参照電圧ありの入力バッファは差動入力として構成することもできます。

ペアとなる2個のパッドは“True”と“Comp”として記述されます。Trueパッドが差動入力バッファの正側（信号）に関連していて、Comp(コンプリメンタリ)パッドが差動入力バッファの反転側（信号）に関連しています。

2. 下辺（バンク4とバンク5）のsysIOバッファペア(シングルエンド出力のみ)

デバイスの下辺バンクにおけるsysIOバッファペアは、2シングルエンド出力ドライバと2組のシングルエ

ンド入力バッファ(レシオ型と参照電圧使用型共に)から成ります。参照電圧ありの入力バッファは差動入力として構成することもできます。

ペアとなる2個のパッドは“True”と“Comp”として記述されます。Trueパッドが差動入力バッファの正側(信号)に関連していて、Comp(コンプリメンタリ)パッドが差動入力バッファの反転側(信号)に関連しています。

3. 左・右辺(バンク2, 3, 6と7)のsysIOバッファペア(50%が差動出力、および100%のシングルエンド出力)

デバイスの左右辺バンクにおけるsysIOバッファペアは、2シングルエンド出力ドライバと2組のシングルエンド入力バッファ(レシオ型と参照電圧使用型共に)、および差動出力ドライバから成ります。参照電圧ありの入力バッファは差動入力として構成することもできます。

ペアとなる2個のパッドは“True”と“Comp”として記述されます。Trueパッドが差動I/Oの正側(信号)に関連していて、Comp(コンプリメンタリ)パッドが差動のI/Oの反転側(信号)に関連しています。左右辺バンクの50%にのみ、真のLVDSの差動出力ドライバがあります。

4. バンク8のsysIOバッファペア(シングルエンド出力、コンフィグレーション用に使用しない場合の共用ピンのみ)

本バンクのsysIOはシングルエンド出力ドライバとシングルエンド入力バッファ(レシオ型と参照電圧使用型共に)から成ります。参照電圧ありの入力バッファは差動入力として構成することもできます。

ペアとなる2個のパッドは“True”と“Comp”として記述されます。Trueパッドが差動入力バッファの正側(信号)に関連していて、Comp(コンプリメンタリ)パッドが差動入力バッファの反転側(信号)に関連しています。

LatticeECP2デバイスでは、底辺バンクのI/OだけがプログラマブルPCIクランプを持っています。LatticeECP2Mデバイスでは、左辺と底辺バンクのI/OがプログラマブルPCIクランプを持っています。

典型的な電源投入時のI/Oの振る舞い

内部パワーオン・リセット(以下POR)信号は、 V_{CC} や V_{CCAUX} 、 V_{CCIO8} (バンク8の V_{CCIO})が所定のレベルに達すると解除されます。その後FPGAコアロジックが動作を開始します。アプリケーションにとって非常に重要な全I/Oバンクの出力ポートのレベルを適切に制御するために、入力ポートのレベルが有効であることを確実にすることは、設計者の責任で行う必要があります。

V_{CC} と V_{CCAUX} はFPGAコア・ファブリックに、また V_{CCIO} はI/Oバッファに電源を供給します。常に一貫して予測できるI/Oの振舞いを確保しつつも、システム設計を簡易化するためには、FPGAコア・ファブリックよりも先にI/Oバッファに電源が供給されることを推奨します。即ち、 V_{CCIO} を V_{CC} や V_{CCAUX} よりも早く供給すること、或いは同時に供給するべきです。

FPGAのプログラミング前、およびプログラミング中、デバイスのI/Oは入力が V_{CCIO} に弱いプルアップ抵抗が、出力はトライステートになります。この入力プルアップは、FPGAデザインで入力を異なるようにプログラムされるまで存在します、本データシートの電気的特性使用をご参照デザインください。プルアップ値はボードに供給される V_{CCIO} に依存して20k~30k Ω 程度です。特定のI/Oが未使用時は本抵抗はアクティブなままです。

サポートする標準

LatticeECP2/M sysIOバッファは、シングルエンドと差動の標準を共にサポートします。シングルエンド標準はさらにLVCMOS、LVTTL、および他の標準に細分することができます。バッファはLVTTL、LVCMOS1.2/1.5/1.8/2.5/3.3V標準をサポートします。LVCMOSとLVTTLモードでは、バッファには、ドライブ強度、バスメンテナン스(弱いプルアップ、弱いプルダウン、またはバスキーパ・ラッチ)、およびオープンドレインとして個別に構成可能なオプションがあります。サポートされる他のシングルエンド標準にはSSTLとHSTLを含みます。サポートされる差動の標準にはLVDS、MLVDS、BLVDS、LVPECL、RSDS、差動SSTL、および差動HSTLが含まれます。表2-13と表2-14は、LatticeECP2/MデバイスでサポートされるI/O標準を、それらの電源電圧と参照電圧と共に示します。sysIOバッファを利用する種々標準のサポートの詳細については、テクニカルノートTN1102 (sysIO Usage Guide) を参照してください。

表2-13 サポートする入力標準

入力標準	V _{REF} (公称値)	V _{CCIO} ¹ (公称値)
シングルエンド・インターフェイス		
LVTTL	—	—
LVCMOS33	—	—
LVCMOS25	—	—
LVCMOS18	—	1.8
LVCMOS15	—	1.5
LVCMOS12	—	—
PCI33	—	3.3
HSTL18 クラス I, II	0.9	—
HSTL15 クラス I	0.75	—
SSTL3 クラス I, II	1.5	—
SSTL2 クラス I, II	1.25	—
SSTL18 クラス I, II	0.9	—
差動インターフェイス		
差動 SSTL18 クラス I, II	—	—
差動 SSTL2 クラス I, II	—	—
差動 SSTL3 クラス I, II	—	—
差動 HSTL15 クラス I	—	—
差動 HSTL18 クラス I, II	—	—
LVDS, MLVDS, LVPECL, BLVDS, RSDS	—	—

1. 特に明記しない場合 V_{CCIO} は有効な動作範囲内のどの値にも設定可能

表2-14 サポートする出力標準

出力標準	ドライブ	V _{CCIO} (公称値)
シングルエンド・インターフェイス		
LVTTL	4mA, 8mA, 12mA, 16mA, 20mA	3.3
LVC MOS33	4mA, 8mA, 12mA 16mA, 20mA	3.3
LVC MOS25	4mA, 8mA, 12mA, 16mA, 20mA	2.5
LVC MOS18	4mA, 8mA, 12mA, 16mA	1.8
LVC MOS15	4mA, 8mA	1.5
LVC MOS12	2mA, 6mA	1.2
LVC MOS33, オープンドレイン	4mA, 8mA, 12mA 16mA, 20mA	—
LVC MOS25, オープンドレイン	4mA, 8mA, 12mA 16mA, 20mA	—
LVC MOS18, オープンドレイン	4mA, 8mA, 12mA 16mA	—
LVC MOS15, オープンドレイン	4mA, 8mA	—
LVC MOS12, オープンドレイン	2mA, 6mA	—
PCI33	N/A	3.3
HSTL18 クラス I, II	N/A	1.8
HSTL15 クラス I	N/A	1.5
SSTL3 クラス I, II	N/A	3.3
SSTL2 クラス I, II	N/A	2.5
SSTL18 クラス I, II	N/A	1.8
差動インターフェイス		
差動 SSTL3, クラス I, II	N/A	3.3
差動 SSTL2, クラス I, II	N/A	2.5
差動 SSTL18, クラス I, II	N/A	1.8
差動 HSTL18, クラス I, II	N/A	1.8
差動 HSTL15, クラス I	N/A	1.5
LVDS	N/A	2.5
MLVDS ¹	N/A	2.5
BLVDS ¹	N/A	2.5
LVPECL ¹	N/A	3.3
RSDS ¹	N/A	2.5
LVC MOS33D ¹	4mA, 8mA, 12mA 16mA, 20mA	3.3

1. 外部抵抗でエミュレート

ホット・ソケットティング(活線挿抜)

パワーアップやパワーダウンの間、予測できる振舞いを確実にするようにLatticeECP2/Mデバイスは入念に設計されました。電源投入は順不同にすることができます。パワーアップとパワーダウン・シーケンスの間、電源電圧が信頼できる動作を確実にすることができるくらい高くなるまで、I/Oはトライステートのままです。さらに、I/Oピンへのリークは仕様範囲内に制御されますので、これによりシステムの他部分とのインテグレーションが容易にできます。この機能でLatticeECP2/Mを多くの複数電源やホットスワップのアプリケーションに理想的です。

SerdesとPCS(物理コーディング・サブレイヤ: PCS)

LatticeECP2Mはデバイスのコーナーにクワッドとして配置される組み込みSERDESを最大16チャンネル搭載しています。図2-39はLatticeECP2M70とLatticeECP2M100デバイスの、PFUアレイに対するクワッド・ブロックの位置を示します。表2-15は全デバイスについてクワッドの位置を示しています。

各クワッドは高速の全二重シリアル・データ転送のための専用SERDESを4チャンネル(Ch0～Ch3)含みます。また各クワッドにはSERDESに接続されるPCSブロックがあり、これは一連の広く採用されているデータ通信プロトコルをサポートする論理回路を含んでいます。PCSはまた、FPGAコアへのインターフェイスのためのロジックも含んでいます。

図2-39 SERDES クワッド(LatticeECP2M70/LatticeECP2M100)

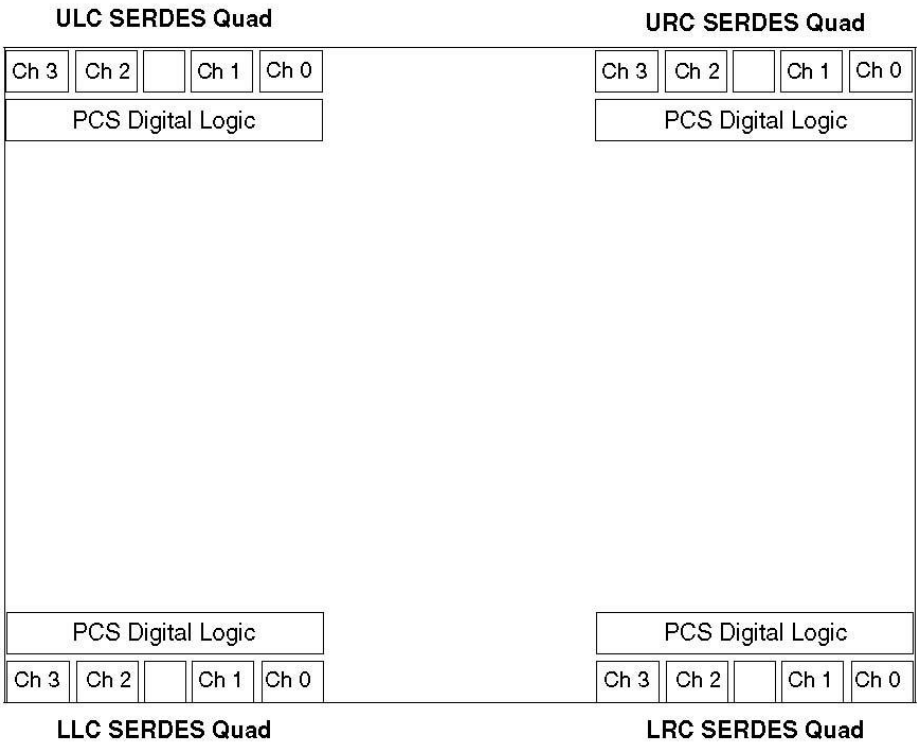


表2-15 LatticeECP2M各デバイスごとのSERDES クワッド

デバイス	URC クワッド	ULC クワッド	LRC クワッド	LLC クワッド
ECP2M20	あり	—	—	—
ECP2M35	あり	—	—	—
ECP2M50	あり	—	あり	—
ECP2M70	あり	あり	あり	あり
ECP2M100	あり	あり	あり	あり

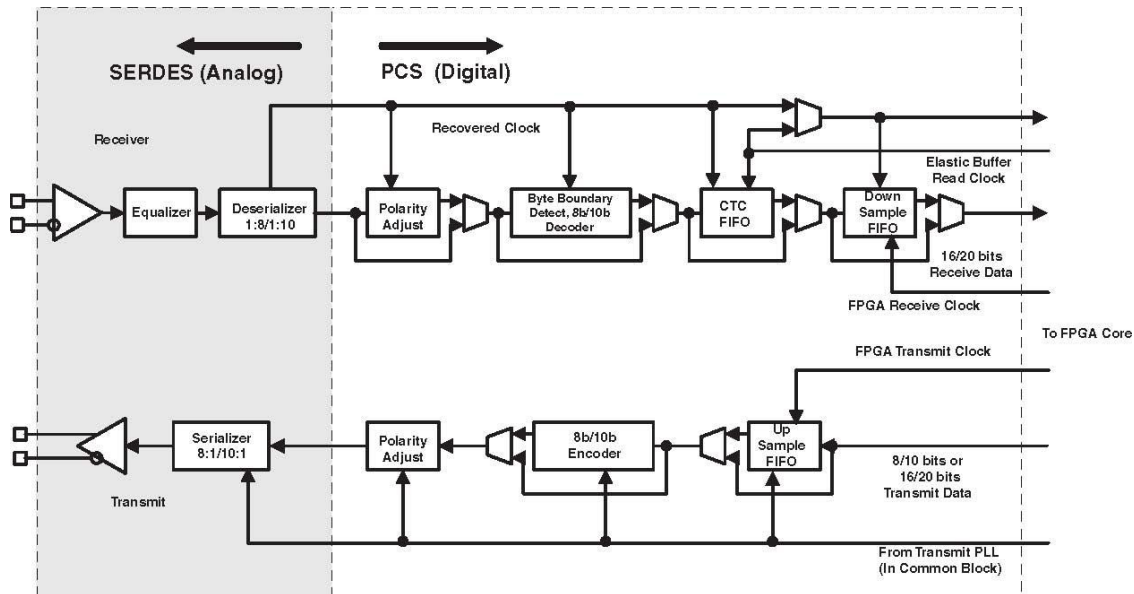
SERDESブロック

差動レシーバは、シリアル・エンコードされたデータストリームを受信し、信号を等化し、クロック成分を抽出して、データストリームをパラレルにしたあと、8ビット又は10ビットのデータをPCSロジックに渡します。送信チャンネルは、(8ビットか10ビットに)エンコードされたパラレルデータを受け取り、データをシリアルにして、シリアル・ビットストリームを差動バッファを通して送信します。各クワッドあたり1本の送

信クロックがあります。図2-40は1チャンネルのSERDESとPCSロジックとのインターフェイスを示します。各SERDES受信チャンネルは再生クロックをPCSブロックとFPGAコアロジックに提供します。

各送受信チャンネルには独立した電源があります。各チャンネルの入出力バッファにも、やはり独立した電源があります。さらに各クワッド毎にPLL用の別電源と終端抵抗があります。

図2-40 簡略化したSERDESとPCSのチャンネル・ブロック図



PCS

図2-40で示すように、PCSはデシリアライザ・レシーバからパラレルデータを受け取り、極性を調整します。バイト境界を検出し、8b/10bデコードし、クロックドメインをレシーバ・クロックからFPGAクロックに変えるCTC (Clock Tolerance Compensation)FIFOを提供します。

送信チャンネルでは、PCSブロックはFPGAコアからパラレルデータを受け取り、8b/10bエンコードします。極性を調整して、8/10ビット・データをSERDES送信チャンネルに渡します。

またPCSはバイパス・モードを提供し、SERDESからFPGAロジックに直接8ビット又は10ビットのインターフェイスが可能です。さらにPCSからFPGAへのインターフェイスは、16ビット又は20ビット対応のために1/2の速度で動作するようにプログラムできます。

SCI(SERDESクライアント・インターフェイス)バス

SERDESクライアント・インターフェイス(SCI)はソフトIPインターフェイスで、SERDES/PCSクワッド・ブロック内にあるレジスタにアクセスし、コンフィグレーション・メモリセルと異なる値に制御することを可能にします。これは簡易なレジスタ・コンフィグレーション・インターフェイスです。

ラティスからのispLEVERデザインツールはPCSのすべてのモードをサポートします。ほとんどのモードが業界標準である特定のデータ通信プロトコルに関連するアプリケーション専用です。他に汎用モードはユーザ自身の動作定義が可能です。ispLEVERによって、ユーザは各クワッドのモードを定義することができます。

(ラティス提供の)IP、一つのクワッド(4つのSERDESチャンネルとPCS)、およびFPGAコアの追加ロジックを用いることで、10Gbイーサネットやx4 PCI Express、または4x Serial RapidIOなどの広く採用されている標準を実装することができます。SERDESの詳細に関しては、テクニカルドキュメントを参照してください。

IEEEの1149.1準拠のバウンダリ・スキャン・テストビリティ

すべてのLatticeECP2/Mデバイスには、IEEE1149.1準拠のテスト・アクセス・ポート(TAP)を通してアクセスされるバウンダリ・スキャン・セルがあります。これは、すべての重要なロジック・ノードにアクセスすることができるシリアル・スキャン・パスを通して、デバイスが搭載される回路基板の機能的なテストを可能にします。内部レジスタはリンクされており、テストデータがシフトインされて直接テスト・ノードにロードされるか、または検証のためにテストデータをキャプチャしてシフトアウトすることができます。テスト・アクセス・ポートはTDI、TDO、TCK、およびTMSの専用I/Oから成ります。テスト・アクセス・ポートは、それ自身の電源電圧V_{CCJ}を持っていて、LVCMOS3.3/2.5/1.8/1.5/1.2の標準で動作することができます。

デバイス・コンフィグレーション

すべてのLatticeECP2/Mデバイスがデバイス・コンフィグレーションに用いることができる2つのポートを含んでいます。TAPはビット幅のコンフィグレーション、およびsysCONFIGポートはバイト幅かシリアル・コンフィグレーション (SPIフラッシュインターフェイスを含む) をサポートします。

TAPは、IEEE標準1149.1バウンダリ・スキャン仕様とIEEE標準1532のインシステム・コンフィグレーション仕様の両方をサポートします。sysCONFIGポートは20ピンのインターフェイスで、6ピンの専用I/Oと、複数用途の残りのピンよりなります。sysCONFIGモードが使用されないとき、これらの複数用途のピンは汎用I/Oとして利用できます。より詳しい情報についてはテクニカルノートTN1108 (LatticeECP2/M sysCONFIG Usage Guide) を参照ください。

パワーアップするとき、sysCONFIGポートがアクティブな状態でFPGA SRAMは構成される準備ができています。コンフィグレーション・ポートがいったん選択されると、そのポートはコンフィグレーション中はアクティブのままです。IEEE1149.1ポートはパワーアップ後、TAPポート経由で適切なコマンドを送ることでいつでもアクティブにすることができます。

充実したコンフィグレーション・オプション

LatticeECP2/Mデバイスは、暗号化の対応、TransFR™ I/Oやデュアル・ブートイメージ対応など、コンフィグレーション機能が拡充されました。

1. 暗号化の対応

LatticeECP2/M “S”バージョン・デバイスは、チップ内に一度のみプログラムできる (One Time Programmable: OTP)不揮発メモリがあり、128ビットのAES暗号化されたビットストリームの復号化キーを格納します。これにより設計を安全にし、著作権侵害を思いとどまらせる機能をサポートします。

2. TransFR (Transparent Field Reconfiguration ; トランスペアレントなフィールド再構成)

TransFR I/O(TFR)はラティス独自のテクノロジーで、ユーザがただ一つのispVMコマンドを用いることで、システムの運用を中断せずにフィールドでのロジック更新を可能にします。TFRでは、デバイスのコンフィグレーション中にI/Oのステートを固定することができます。これにより、最小のシステムの中断とダウンタイムでデバイスを更新することができます。詳細に関してはテクニカルノートTN1087(Minimizing System Interruption During Configuration Using TransFR Technology)を参照してください。

3. デュアル・ブートイメージの対応

デュアル・ブートイメージは、システムFPGAのコンフィギュレーション・データをリモート・アップデートする場合など、高い信頼性が要求されるアプリケーションのためにサポートされています。システムが基本的なコンフィグレーションで稼動している状態で、コンフィグレーションデータをストアするデバイスの別領域に、遠隔地から新しいデータをダウンロードして格納するような設計も可能です。更新が終われば、いつでもこの新しいコンフィグレーションデータからLatticeECP2/Mをリブートすることができます。この新しいブートイメージをダウンロード中にデータ誤りが起きたり、不正なバージョン

オン番号であったりなどの問題が生じた場合、LatticeECP2/Mデバイスは、オリジナルのバックアップ・コンフィグレーションに戻して、再試行することができます。システム電源のオンオフをすることなしに、これがすべて可能です。

デバイスコンフィグレーションの詳しい情報に関しては、テクニカルノートTN1108を参照してください。

ソフトウェア検出 (SED) サポート

LatticeECP2/MデバイスにはCRCチェックを実行する専用ロジックがあります。コンフィグレーション中、CRCブロックでコンフィギュレーション・データ・ビットストリームをチェックすることができます。さらにコンフィグレーションSRAMのソフトウェアエラーをチェックする (SED) ようにLatticeECP2デバイスを設定することができます。このSED機能はユーザ回路が非動作の間に実行できます。ユーザモード(通常動作)の間ソフトウェアが起こった場合、問題がないことがわかっているブートイメージからコンフィグレーションを再ロードするか、またはデバイスが外部にエラー信号を生成するようにプログラムすることができます。

ソフトウェア検出(SED)サポートの詳しい情報に関しては、テクニカルノートTN1113 (Soft Error Detection)を参照してください。

外部抵抗

LatticeECP2/MデバイスはXRESピンとグラウンド間に10KΩ +/-1%の抵抗一本を必要とします。この抵抗がないと、デバイス・コンフィグレーションは終了しません。外部抵抗パッドにはバウンダリ・スキャン・レジスタはありません。

オンチップ・オシレータ

全LatticeECP2/Mデバイスが、コンフィグレーション用のマスタシリアル・クロックを得るために用いられる内部CMOSオシレータを持っています。オシレータとマスタシリアル・クロックは連続して動作し、コンフィグレーションが終了後ユーザロジックで使用できます。マスタシリアル・クロックのデフォルト値は2.5MHzです。表2-15は利用できるすべてのマスタシリアル・クロック周波数を記載します。デザインの過程で異なるマスタシリアル・クロックが選択されるとき、以下のシーケンスが行われます。

1. ユーザは異なるマスタシリアル・クロック周波数を選択します。
2. コンフィグレーションの間、デバイスはデフォルト(2.5MHz)マスタシリアル・クロック周波数から始まります。
3. クロック・コンフィグレーション設定はコンフィグレーション・ビット・ストリームの初めに含まれています。
4. クロック・コンフィグレーション・ビットがいったん受け取られると、マスタシリアル・クロック周波数は選択された周波数に変化します。

内部CMOSオシレータはユーザが使用でき、クロックツリーへの入力ソースとして使用できます。コンフィグレーション用オシレータの詳しい情報に関しては、テクニカルノートTN1103を参照してください。

表2-15 コンフィグレーションの間の選択可能なマスタシリアル・クロック(CCLK)周波数

CCLK (MHz)	CCLK (MHz)	CCLK (MHz)	暗号化モード時 CCLK (MHz)
2.5 (デフォルト)	13	45	2.5 (デフォルト)
4.3	15	55	5.4
5.4	20	60	10
6.9	26	--	34
8.1	30	--	41
9.2	34	--	45
10.0	41	130	--

ロジック集積度の移行（マイグレーション）

同じパッケージで異なるロジック集積度のデバイスが同じピン配置であることを保証するようにLatticeECP2/Mファミリは設計されています。さらにアーキテクチャは、小さいロジック集積度のデバイスからより大きいロジック集積度のデバイスに設計のマイグレーションを行うときに、高い成功率を確実にします。また多くの場合、高密度デバイスの低い使用効率の設計を、小さいロジック集積度のデバイスにターゲットを移行させることも可能です。しかしながら、最終的なリソース使用効率の正確な詳細は、それぞれのケースで成功の確からしさに影響を与えるでしょう。LatticeECP2ファミリとLatticeECP2Mファミリ間では移行できません。ECP2M50、ECP2M70、及びECP2M100のsysCONFIGピンに関する要件については（英語版データシートの）Logic Signal Connections表を参照下さい。

LatticeECP2/Mファミリデータシート

DCおよびスイッチング特性

絶対最大定格^{1 2 3}

電源電圧 V_{CC}	-0.5 ~ 1.32V
電源電圧 V_{CCAUX}	-0.5 ~ 3.75V
電源電圧 V_{CCJ}	-0.5 ~ 3.75V
出力電源電圧 V_{CCIO}	-0.5 ~ 3.75V
入力又はトリステートI/Oに加えられる電圧 ⁴ ...	-0.5 ~ 3.75V
保存温度(周囲)	-65 ~ 150°C
ジャンクション温度(Tj).....	+125°C

1 “絶対最大定格”で記載された以上のストレスはデバイスに永久的な損傷を引き起こすかもしれません。これら条件下で、或いはこれら仕様項目の推奨動作条件セクションで示される以外のいかなる他の条件下で、デバイスの機能的な動作を暗示するものではありません。

2 ラティス”Thermal Management”（熱管理）ドキュメントに従うことが必要です。

3 全ての電圧はGND基準です

4 -2V ~ (V_{IHMAX} + 2)Vまでのオーバシュートとアンダシュートは <20nsの期間は許容されます。

推奨動作条件

シンボル	パラメータ	Min.	Max.	単位
$V_{CC}^{1, 4, 5}$	コア電源電圧	1.14	1.26	V
$V_{CCAUX}^{1, 3, 4, 5}$	補助(Auxiliary)電源電圧	3.135	3.465	V
V_{CCPLL}	PLL電源電圧	1.14	1.26	V
$V_{CCIO}^{1, 2, 4}$	I/Oドライバ電源電圧	1.14	3.465	V
V_{CCJ}^1	IEEE1149.1テスト・アクセス・ポート電源電圧	1.14	3.465	V
t_{JCOM}	ジャンクション温度、コマーシャル動作	0	+85	°C
t_{JIND}	ジャンクション温度、インダストリアル動作	-40	100	°C
SERDES 外部供給電源 (LatticeECP2Mファミリのみ)				
V_{CCIB}	入力バッファ供給電源(1.2v)	1.14	1.26	V
	入力バッファ供給電源(1.5v)	1.425	1.575	V
V_{CCOB}	出力バッファ供給電源(1.2v)	1.14	1.26	V
	出力バッファ供給電源(1.5v)	1.425	1.575	V
$V_{CCAUX33}$	終端抵抗用スイッチング電源	3.135	3.465	V
$V_{CCR\bar{X}}^6$	レシーバ供給電源	1.14	1.26	V
$V_{CCT\bar{X}}^6$	トランスミッタ供給電源	1.14	1.26	V
V_{CCP}^6	PLLおよび基準クロックバッファの供給電源	1.14	1.26	V

1. V_{CCIO} か V_{CCJ} が1.2Vに設定される場合、それらは V_{CC} と同じ電源に接続する。 V_{CCIO} か V_{CCJ} が3.3Vに設定される場合、それらは V_{CCAUX} と同じ電源に接続する。 V_{CCPLL} は V_{CC} と同じ電源から接続し、フィルタを用いてリップルを除去する。

2. 後の表におけるI/O標準毎の推奨電圧を参照のこと。

3. 電源投入時、 V_{CCAUX} のランプレートは0Vから3.3Vに遷移する期間で30mV/uSを超えないこと。

4. 電源投入時の適切なコンフィグレーションの為に、 V_{CC} と V_{CCAUX} が立ち上がって有効最小電圧値になる前にコンフィグレーション制御信号CFGX, INITN, PROGRAMN, DONE各ピンが適切な電圧値にドライブされていることをユーザは確実にする必要があります。また V_{CCAUX} が最小有効値に達する前に（コンフィグレーションI/Oバンクの） V_{CCIO8} はその最小有効値になっている必要がある。

5. 電源立ち上がり時は、 V_{CCAUX} が立ち上がる前に V_{CC} がその最小有効値になっている必要がある（LatticeECP2/M “S”バージョンのみ）。

6. 各SERDESクワッド（4チャンネル分）の $V_{CCR\text{X}}$ 、 $V_{CCT\text{X}}$ 、 V_{CCP} は同じ電源ソースと一緒に接続すること、また全てのクワッドに電源を供給する必要がある。

ホット・ソケットティング（活線挿抜）仕様^{1 2 3 4 5}

シンボル	パラメータ	条件	Min.	Typ.	Max	単位
I_{DK}	入力、I/Oのリーク電流	$0 \leq V_{IN} \leq V_{IH} \text{ (MAX)}$	–	–	+/-1000	uA
I_{HDIN}^5	デバイスがパワーダウン時のSERDES 入力がドライブされる場合の入力電流 の平均		–	–	4	mA

1 V_{CC} 、 V_{CCAUX} 及び V_{CCIO} のシーケンスは順不同。ただし、いずれも単調増加・降下レートであることが必要

2 $0 \leq V_{CC} \leq V_{CC} \text{ (MAX)}$ 、 $0 \leq V_{CCIO} \leq V_{CCIO} \text{ (MAX)}$ 、または $0 \leq V_{CCAUX} \leq V_{CCAUX} \text{ (MAX)}$

3 I_{DK} は I_{PU} 、 I_{PW} 、または I_{BH} に加算される

4 LVCMOSとLVTTLのみ

5 LatticeECP2M。条件はパワーダウン時で全電源をグラウンドに接続、 V_{CCIB} は許容最大電圧の1.575V、P・N入力をCMLドライバで共に駆動、8B10Bデータ、内部AC結合。

ESD性能

ESD性能を含む信頼性データに関しては、別途提供されているサマリレポート [LatticeECP2/M Product Falimy Qualification Summary](#) をご参照ください。

DC電气的特性

推奨動作条件にわたって

シンボル	パラメータ	条件	Min.	Typ.	Max.	単位
I_{IL}	入力、又はI/Oのリーク電流	$0 \leq V_{IN} \leq (V_{CCIO} - 0.2)$	–	–	10	uA
I_{IH}^1	入力、又はI/Oのリーク電流	$(V_{CCIO} - 0.2) \leq V_{IN} \leq 3.6V$	–	–	150	uA
I_{PU}	I/Oアクティブ・プルアップ電流	$0 \leq V_{IN} \leq 0.7 V_{CCIO}$	-30	–	-210	uA
I_{PD}	I/Oアクティブ・プルダウン電流	$V_{IL} (MAX) \leq V_{IN} \leq V_{IH} (MAX)$	30	–	210	uA
I_{BHLS}	バスホールドLow維持電流	$V_{IN} = V_{IL} (MAX)$	30	–	–	uA
I_{BHHS}	バスホールドHigh維持電流	$V_{IN} = 0.7V_{CCIO}$	-30	–	–	uA
I_{BHLO}	バスホールドLowオーバードライブ電流	$0 \leq V_{IN} \leq V_{IH} (MAX)$	–	–	210	uA
I_{BHLH}	バスホールドHighオーバードライブ電流	$0 \leq V_{IN} \leq V_{CCIO}$	–	–	-210	uA
V_{BHT}	バスホールド・トリップ・ポイント	$0 \leq V_{IN} \leq V_{CCIO}$	$V_{IL} (MAX)$	–	$V_{IH} (MIN)$	V
C1	I/O容量 ²	$V_{CCIO} = 3.3V, 2.5V, 1.8V, 1.5V, 1.2V,$ $V_{CC} = 1.2V, V_{IO} = 0 \text{ to } V_{IH} (MAX)$	–	8	–	pf
C2	専用入力の容量 ²	$V_{CCIO} = 3.3V, 2.5V, 1.8V, 1.5V, 1.2V,$ $V_{CC} = 1.2V, V_{IO} = 0 \text{ to } V_{IH} (MAX)$	–	6	–	pf

1. 入力やI/Oのリーク電流は、出力ドライバをトライステートにし、ピンは入力として、またはI/Oとして構成して測定される。出力ドライバがアクティブな状態では測定されない。バスメンテナンス回路はディセーブルされる。
2. VREFとして用いられる場合は、最大リークは25uA
3. 上辺と底辺の汎用I/Oに適用される
4. T_A 25°C、 $f = 1.0MHz$

LatticeECP2 供給電流(スタンバイ時)^{1 2 3 4}

推奨動作条件にわたって

シンボル	パラメータ	デバイス	Typ. ⁵	単位
I _{CC}	コア電源電流	ECP2-6	10	mA
		ECP2-12	20	mA
		ECP2-20	30	mA
		ECP2-35	50	mA
		ECP2-50	70	mA
		ECP2-70	100	mA
I _{CCAUX}	補助(Auxiliary)電源電流	ECP2-6	24	mA
		ECP2-12	24	mA
		ECP2-20	24	mA
		ECP2-35	24	mA
		ECP2-50	24	mA
		ECP2-70	24	mA
I _{CCGPLL}	GPLL電源電流 (GPLLあたり)	ECP2-35,-50,-70のみ	0.5	mA
I _{CCSPLL}	SPLL電源電流 (SPLLあたり)	ECP2-35,-50,-70のみ	0.5	mA
I _{CCIO}	バンクあたり電源電流	ECP2-6	2	mA
		ECP2-12	2	mA
		ECP2-20	2	mA
		ECP2-35	2	mA
		ECP2-50	2	mA
		ECP2-70	2	mA
I _{CCJ}	V _{CCJ} 電源電流	全デバイス	3	mA

1 供給電流についてのさらなる情報については、このデータシートの後ろの付加的技術情報の詳細を参照のこと。

2 全出力はトリステート、全入力はLVCMOSに構成されてV_{CCIO}またはGNDに固定されていると仮定。

3 周波数 0MHz.

4 パターンはブランク。

5 T_j=25°C、電源電圧は標準値

LatticeECP2M 供給電流(スタンバイ時)^{1 2 3 4}

推奨動作条件にわたって

シンボル	パラメータ	条件	Typ. ⁵	単位
I _{CC}	コア電源電流	ECP2M-20	25	mA
		ECP2M-35	50	mA
		ECP2M-50	85	mA
		ECP2M-70	100	mA
		ECP2M-100	100	mA
I _{CCAUX}	補助(Auxiliary)電源電流	ECP2M-20	24	mA
		ECP2M-35	24	mA
		ECP2M-50	24	mA
		ECP2M-70	24	mA
		ECP2M-100	24	mA
I _{CCGPLL}	GPLL電源電流 (GPLLあたり)	全デバイス	0.5	mA
I _{CCSPLL}	SPLL電源電流 (SPLLあたり)	全デバイス	0.5	mA
I _{CCIO}	バンクあたり電源電流	ECP2M-20	2	mA
		ECP2M-35	2	mA
		ECP2M-50	2	mA
		ECP2M-70	2	mA
		ECP2M-100	2	mA
I _{CCJ}	V _{CCJ} 電源電流	全デバイス	3	mA

1 供給電流についてのさらなる情報については、このデータシートの後ろの付加的技術情報の詳細を参照のこと。

2 全出力はトライステート、全入力はLVCMOSに構成されてV_{CCIO}またはGNDに固定されていると仮定。

3 周波数 0MHz.

4 パターンはブランク。

5 T_j=25℃、電源電圧は標準値

LatticeECP2 初期化供給電流^{1 2 3 4}

推奨動作条件にわたって

シンボル	パラメータ	条件	Typ. ^{6 6}	単位
I _{CC}	コア電源電流	ECP2-6	34	mA
		ECP2-12	54	mA
		ECP2-20	82	mA
		ECP2-35	135	mA
		ECP2-50	187	mA
		ECP2-70	267	mA
I _{CCAUX}	補助(Auxiliary)電源電流	ECP2-6	30	mA
		ECP2-12	30	mA
		ECP2-20	30	mA
		ECP2-35	30	mA
		ECP2-50	30	mA
		ECP2-70	30	mA
I _{CCGPLL}	GPLL電源電流 (GPLLあたり)	ECP2-35,-50,-70のみ	0.5	mA
I _{CCSPLL}	SPLL電源電流 (SPLLあたり)	ECP2-35,-50,-70のみ	0.5	mA
I _{CCIO}	バンクあたり電源電流	全デバイス	3	mA
I _{CCJ}	V _{CCJ} 電源電流	全デバイス	4	mA

1 DONE信号がアクティブになるまで

2 供給電流についてのさらなる情報については、このデータシートの後ろの付加的技術情報の詳細を参照のこと。

3 全出力はトライステート、全入力はLVCMOSに構成されてV_{CCIO}またはGNDに固定されていると仮定。

4 周波数 0MHz.

5 T_j=25℃、電源電圧は標準値

6 デバイスサイズに基づいて特定のパターンを採用。PFUを75%、EBRを50%、I/Oを25%使用。

7. 本コラムに示す値はコンフィグレーション中のTYP平均直流電流。ピーク起動電流を求めるにはパワーカリキュレータを用いること

LatticeECP2M 初期化供給電流^{1 2 3 4}

推奨動作条件にわたって

シンボル	パラメータ	条件	Typ. ^{6 6}	単位
I _{CC}	コア電源電流	ECP2M-20	41	mA
		ECP2M-35	107	mA
		ECP2M-50	169	mA
		ECP2M-70	254	mA
		ECP2M-100	378	mA
I _{CCAUX}	補助(Auxiliary)電源電流	ECP2M-20	30	mA
		ECP2M-35	30	mA
		ECP2M-50	30	mA
		ECP2M-70	30	mA
		ECP2M-100	30	mA
I _{CCGPLL}	GPLL電源電流 (GPLLあたり)	全デバイス	0.5	mA
I _{CCSPLL}	SPLL電源電流 (SPLLあたり)	全デバイス	0.5	mA
I _{CCIO}	バンクあたり電源電流	全デバイス	3	mA
I _{CCJ}	V _{CCJ} 電源電流	全デバイス	4	mA

1 DONE信号がアクティブになるまで

2 供給電流についてのさらなる情報については、このデータシートの後ろの付加的技術情報の詳細を参照のこと。

3 全出力はトライステート、全入力はLVCMOSに構成されてV_{CCIO}またはGNDに固定されていると仮定。

4 周波数 0MHz.

5 T_j=25°C、電源電圧は標準値

6 デバイスサイズに基づいて特定のパターンを採用。PFUを75%、EBRを50%、I/Oを25%使用。

7. 本コラムに示す値はコンフィグレーション中のTYP平均直流電流。ピーク起動電流を求めるにはパワーカリキュレータを用いること

SERDES 供給電源要件 (LatticeECP2Mファミリのみ) ¹

推奨動作条件にわたって

シンボル	記 述	Typ.	単位
スタンバイ時 (パワーダウン)			
I _{CCTX-SB}	チャンネルあたり V _{CCTX} の電流	10	uA
I _{CCRX-SB}	チャンネルあたり V _{CCRX} の電流	75	uA
I _{CCIB-SB}	チャンネルあたり入力バッファ電流	0	uA
I _{CCOB-SB}	チャンネルあたり出力バッファ電流	0	uA
I _{CCPLL-SB}	クワッドあたり SERDES PLL電流	30	uA
I _{CCAX33-SB}	クワッドあたり SERDES終端電流	10	uA
動作時 (データレート = 3.125Gbps)			
I _{CCTX-OP}	チャンネルあたり V _{CCTX} の電流	19	mA
I _{CCRX-OP}	チャンネルあたり V _{CCRX} の電流	34	mA
I _{CCIB-OP}	チャンネルあたり入力バッファ電流	4	mA
I _{CCOB-OP}	チャンネルあたり出力バッファ電流	13	mA
I _{CCPLL-OS}	クワッドあたり SERDES PLL電流	26	mA
I _{CCAX33-OP}	クワッドあたり SERDES終端電流	0.01	mA

1. イコライザはイネーブル、プリエンファシスはディセーブル。
2. T_j=25°C、電源電圧は公称値

SERDES 電力 (LatticeECP2Mファミリのみ)

表3-1はチャンネルあたりのSERDES消費電力を示す。

シンボル	記 述	Typ.	単位
P _{S-1CH-31}	3.125Gbps 動作時のチャンネルあたりSERDES電力	90	mW
P _{S-1CH-25}	2.5Gbps 動作時のチャンネルあたりSERDES電力	87	mW
P _{S-1CH-12}	1.25Gbps 動作時のチャンネルあたりSERDES電力	86	mW
P _{S-1CH-02}	250Mbps 動作時のチャンネルあたりSERDES電力	76	mW

1. 全クワッド電力の1/4 (共通回路を含む。クワッドの全チャンネル動作時。プリエンファシスはディセーブル、イコライザはイネーブル)
2. 25°C、1.2VのTyp. 値

sysIO推奨動作条件

標準	V _{CCIO}			V _{REF} (V)		
	Min.	Typ.	Max.	Min.	Typ.	Max.
LVC MOS 3.3 ²	3.135	3.3	3.465	–	–	–
LVC MOS 2.5 ²	2.375	2.5	2.625	–	–	–
LVC MOS 1.8	1.71	1.8	1.89	–	–	–
LVC MOS 1.5	1.425	1.5	1.575	–	–	–
LVC MOS 1.2 ²	1.14	1.2	1.26	–	–	–
LVTTL ²	3.135	3.3	3.465	–	–	–
PCI	3.135	3.3	3.465	–	–	–
SSTL18 ² クラス I, II	1.71	1.8	1.89	0.833	0.90	0.969
SSTL2 ² クラス I, II	2.375	2.5	2.625	1.15	1.25	1.35
SSTL3 ² クラス I, II	3.135	3.3	3.465	1.3	1.5	1.7
HSTL ² 15 クラス I	1.425	1.5	1.575	0.68	0.75	0.9
HSTL ² 18 クラス I, II	1.71	1.8	1.89	0.816	0.9	1.08
LVDS ²	2.375	2.5	2.625	–	–	–
MLVDS25 ¹	2.375	2.5	2.625	–	–	–
LVPECL33 ^{1, 2}	3.135	3.3	3.465	–	–	–
BLVDS25 ^{1, 2}	2.375	2.5	2.625	–	–	–
RSDS ^{1, 2}	2.375	2.5	2.625	–	–	–
SSTL18D _I ² , II ²	1.71	1.8	1.89	–	–	–
SSTL25D _I ² , II ²	2.375	2.5	2.625	–	–	–
SSTL33D _I ² , II ²	3.135	3.3	3.465	–	–	–
HSTL15D _I ²	1.425	1.5	1.575	–	–	–
HSTL18D _I ² , II ²	1.71	1.8	1.89	–	–	–

1 チップに対する入力。出力は外部抵抗を加えて実装する

2 これら入力規格の場合V_{CCIO}の値に依存しない

シングルエンドsysIO DC電氣的特性

入出力標準	V _{IL}		V _{IH}		V _{OL} Max. (V)	V _{OH} Min. (V)	I _{OL} ¹ (mA)	I _{OH} ¹ (mA)
	Min. (V)	Max. (V)	Min. (V)	Max. (V)				
LVCMOS 3.3	-0.3	0.8	2.0	3.6	0.4	V _{CCIO} - 0.4	20, 16, 12, 8, 4	-20, -16, -12, -8, -4
					0.2	V _{CCIO} - 0.2	0.1	-0.1
LVTTTL	-0.3	0.8	2.0	3.6	0.4	V _{CCIO} - 0.4	20, 16, 12, 8, 4	-20, -16, -12, -8, -4
					0.2	V _{CCIO} - 0.2	0.1	-0.1
LVCMOS 2.5	-0.3	0.7	1.7	3.6	0.4	V _{CCIO} - 0.4	20, 16, 12, 8, 4	-20, -16, -12, -8, -4
					0.2	V _{CCIO} - 0.2	0.1	-0.1
LVCMOS 1.8	-0.3	0.35V _{CCIO}	0.65V _{CCIO}	3.6	0.4	V _{CCIO} - 0.4	16, 12, 8, 4	-16, -12, -8, -4
					0.2	V _{CCIO} - 0.2	0.1	-0.1
LVCMOS 1.5	-0.3	0.35V _{CCIO}	0.65V _{CCIO}	3.6	0.4	V _{CCIO} - 0.4	8, 4	-8, -4
					0.2	V _{CCIO} - 0.2	0.1	-0.1
LVCMOS 1.2	-0.3	0.35V _{CC}	0.65V _{CC}	3.6	0.4	V _{CCIO} - 0.4	6, 2	-6, -2
					0.2	V _{CCIO} - 0.2	0.1	-0.1
PCI	-0.3	0.3V _{CCIO}	0.5V _{CCIO}	3.6	0.1V _{CCIO}	0.9V _{CCIO}	1.5	-0.5
SSTL3 クラス I	-0.3	V _{REF} - 0.2	V _{REF} + 0.2	3.6	0.7	V _{CCIO} - 1.1	8	-8
SSTL3 クラス II	-0.3	V _{REF} - 0.2	V _{REF} + 0.2	3.6	0.5	V _{CCIO} - 0.9	16	-16
SSTL2 クラス I	-0.3	V _{REF} - 0.18	V _{REF} + 0.18	3.6	0.54	V _{CCIO} - 0.62	7.6	-7.6
							12	-12
SSTL2 クラス II	-0.3	V _{REF} - 0.18	V _{REF} + 0.18	3.6	0.35	V _{CCIO} - 0.43	15.2	-15.2
							20	-20
SSTL18 クラス I	-0.3	V _{REF} - 0.125	V _{REF} + 0.125	3.6	0.4	V _{CCIO} - 0.4	6.7	-6.7
SSTL18クラス II	-0.3	V _{REF} - 0.125	V _{REF} + 0.125	3.6	0.28	V _{CCIO} - 0.28	8	-8
							11	-11
HSTL クラス I	-0.3	V _{REF} - 0.1	V _{REF} + 0.1	3.6	0.4	V _{CCIO} - 0.4	4	-4
							8	-8
HSTL18クラス I	-0.3	V _{REF} - 0.1	V _{REF} + 0.1	3.6	0.4	V _{CCIO} - 0.4	8	-8
							12	-12
HSTL18クラス II	-0.3	V _{REF} - 0.1	V _{REF} + 0.1	3.6	0.4	V _{CCIO} - 0.4	16	-16

1. ロジック信号接続表で示されるように、I/OによってGND接続の間、あるいはI/Oバンクの端の最後のGNDとI/Oバンク間を流れる平均DC電流は、n*8mAを超えないものとします。ここでnはバンクGND接続か、バンクの最後のGNDとバンク端の間のI/O数です。

(The average DC current drawn by I/Os between GND connections, or between the last GND in an I/O bank and the end of an I/O bank, as shown in the logic signal connections table shall not exceed n * 8mA. Where n is the number of I/Os between bank GND connections or between the last GND in a bank and the end of a bank.)

差動sysIO電气的特性

LVDS

推奨動作条件にわたって

パラメータ シンボル	パラメータ記述	テスト条件	Min.	Typ.	Max.	単位
V_{INP}, V_{INM}	入力電圧		0	–	2.4	V
V_{CM}	入力コモンモード電圧	2入力の和の半分	0.05	–	2.35	V
V_{THD}	差動の入力スレッシュホールド	2入力の差	+/-100	–	–	mV
I_{IN}	入力電流	パワーオン、またはオフ	–	–	+/-10	uA
V_{OH}	V_{OP} か V_{OM} の出力High電圧	$R_T = 100\ \Omega$	–	1.38	1.60	V
V_{OL}	V_{OP} か V_{OM} の出力Low電圧	$R_T = 100\ \Omega$	0.9	1.03	–	V
V_{OD}	出力差動電圧	$(V_{OP} - V_{OM}), R_T = 100\ \Omega$	250	350	450	mV
ΔV_{OD}	HighとLow間の V_{OD} の変化		–	–	50	mV
V_{OS}	出力電圧オフセット	$(V_{OP} + V_{OM})/2, R_T = 100\ \Omega$	1.125	1.20	1.375	V
ΔV_{OS}	HとLの間の V_{OS} V_{OS} の変化		–	–	50	mV
I_{SA}	出力短絡電流	$V_{OD} = 0V$ 、ドライバ出力を GNDにショート	–	–	24	mA
I_{SAB}	出力短絡電流	$V_{OD} = 0V$ 、ドライバ出力を相 互にショート	–	–	12	mA

差動のHSTLとSSTL

差動のHSTLとSSTL出力は1組のコンプリメンタリなシングルエンド出力として実装されます。すべての許容できるシングルエンド出力クラス(クラスIとクラスII)がこのモードでサポートされます。

LVDS25E

LatticeECP2/Mデバイスの上下辺I/Oバンクは、コンプリメンタリなLVCMOS出力を外部抵抗とともに用いることで、エミュレートLVDSをサポートします。図3-1で示すのはポイント・ツー・ポイント接続時の一つの構成例です。

図3-1 LVDS25E出力終端の例

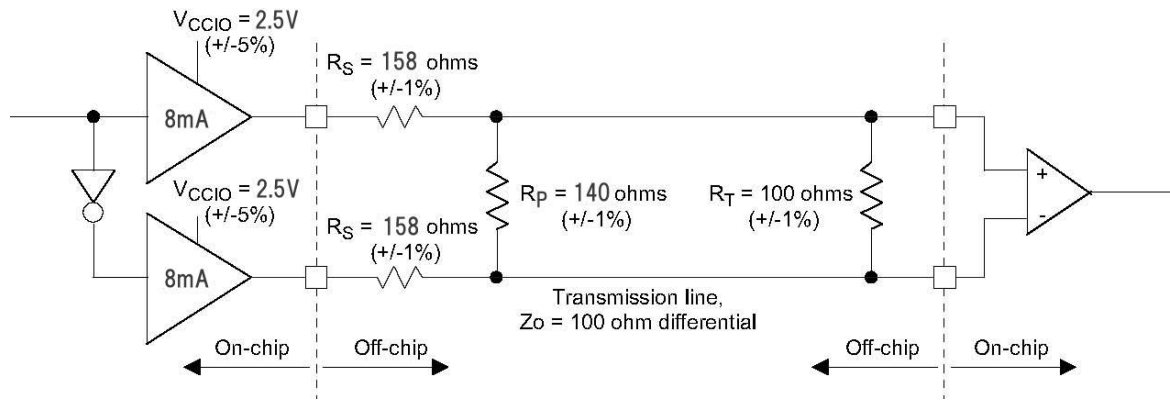


表3-1 LVDS25EのDC条件

パラメータ	記述	標準値	単位
V _{CCIO}	出力ドライバ電源 (+/-5%)	2.50	V
Z _{OUT}	ドライバインピーダンス	20	Ω
R _S	ドライバ直列抵抗 (+/-1%)	158	Ω
R _P	ドライバ並列抵抗 (+/-1%)	140	Ω
R _T	レシーバ終端抵抗 (+/-1%)	100	Ω
V _{OH}	出力High電圧	1.43	V
V _{OL}	出力Low電圧	1.07	V
V _{OD}	出力差動電圧	0.35	V
V _{CM}	出力コモンモード電圧	1.25	V
Z _{BACK}	バック・インピーダンス	100.5	Ω
I _{DC}	DC出力電流	6.03	mA

LVC MOS33D

全I/OバンクでLVCMOS33D I/Oタイプを用いたエミュレート差動I/Oをサポートします。本オプションは、外部抵抗と共に用いることでV_{CCIO}が3.3Vバンクに差動出力を配置する自由度をシステム設計者に提供します。デフォルトのドライブ電流は12mAで、オプションとして4mA, 8mA, 16mA, 20mAに指定可能です。LVCMOS33DのDC特性はLVCMOS33に準じます。

BLVDS

LatticeECP2/Mデバイスは、BLVDS標準をサポートします。この標準は、ドライバ出力間の平行外部抵抗と共にコンプリメンタリなLVCMOS出力を用いることでエミュレートされます。BLVDSはマルチドロップで双方向のマルチポイント差動シグナリングが必要な時に用いられることを意図しています。図3-2で示されるスキームは、双方向のマルチポイント差動信号のための1つの可能なソリューションです。

図3-2 BLVDS マルチポイント出力の例

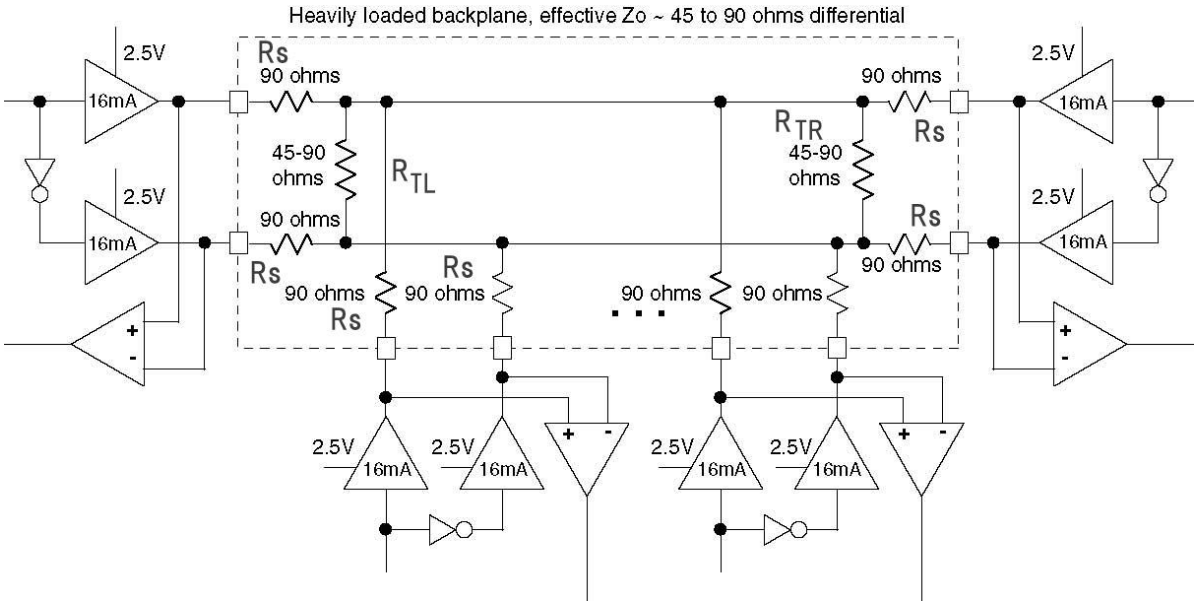


表3-2 BLVDS 直流条件¹

推奨動作条件にわたって

パラメータ	記述	Typical		単位
		Zo = 45	Zo = 90	
VCCIO	出力ドライバ電源 (+/-5%)	2.50	2.50	V
ZOUT	出力インピーダンス	10.0	10.0	Ω
RS	ドライバ直列抵抗 (+/-1%)	90.0	90.0	Ω
RTL	左端の終端	45.0	90.0	Ω
RTR	右端の終端	45.0	90.0	Ω
VOH	出力High電圧	1.38	1.48	V
VOL	出力Low電圧	1.12	1.02	V
VOD	出力差動電圧	0.25	0.46	V
VCM	出力コモンモード電圧	1.25	1.25	V
IDC	DC出力電流	11.24	10.20	mA

1. 入力バッファに関しては、LVDS表を参照してください

LVPECL

LatticeECP2/Mデバイスは、差動LVPECL標準をサポートします。この標準は、ドライバ出力間の平行外部抵抗と共にコンプリメンタリなLVCMOS出力を用いることでエミュレートされます。LVPECL入力はLVDS差動入力バッファでサポートされます。図3-3で示されるスキームは、ポイント・ツー・ポイント信号のための1つの可能なソリューションです。

図3-3 差動LVPECL

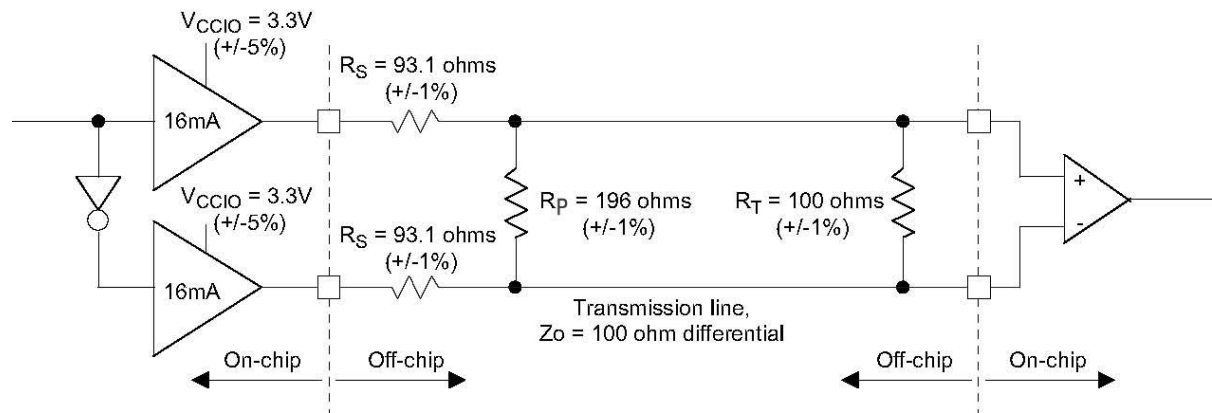


表3-3 LVPECL 直流条件¹

推奨動作条件にわたって

パラメータ	記述	Typical	単位
VCCIO	出力ドライバ電源 (+/-5%)	3.30	V
ZOUT	出力インピーダンス	10	Ω
RS	ドライバ直列抵抗 (+/-1%)	93	Ω
RP	ドライバ並列抵抗 (+/-1%)	196	Ω
RT	レシーバ終端抵抗 (+/-1%)	100	Ω
VOH	出力High電圧	2.05	V
VOL	出力Low電圧	1.25	V
VOD	出力差動電圧	0.80	V
VCM	出力コモンモード電圧	1.65	V
ZBACK	バック・インピーダンス	100.5	Ω
IDC	DC出力電流	12.11	mA

1. 入力バッファに関しては、LVDS表を参照してください。

RSDS

LatticeECP2/Mデバイスは、差動RSDS標準をサポートします。この標準は、ドライバ出力間のパラレル外部抵抗と共にコンプリメンタリなLVCMOS出力を用いることでエミュレートされます。RSDS入力はLVDS差動入力バッファでサポートされます。図3-4に示されたスキームはRSDS標準の実装のための1つの可能なソリューションです。図3-4における抵抗値は1%偏差の業界標準値です。

3-4 RSDS (Reduced Swing Differential Standard)

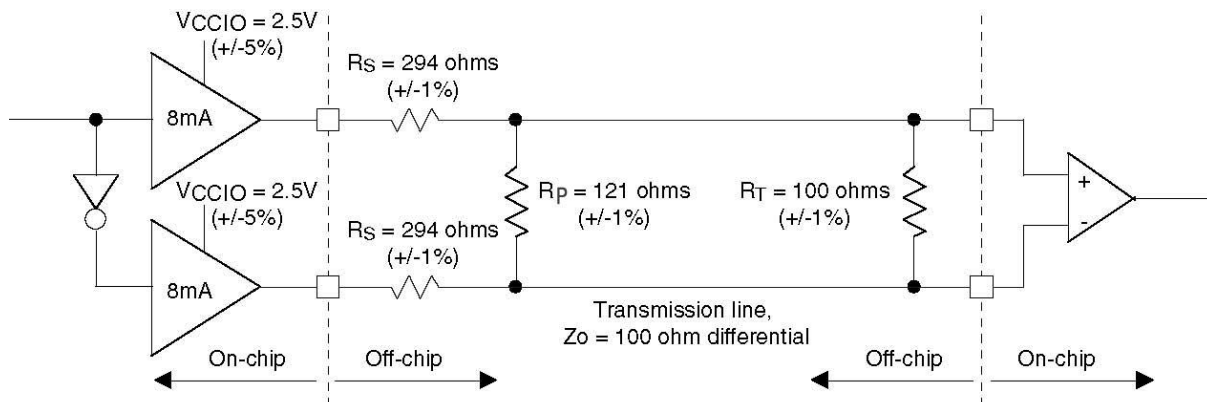


表3-4 RSDS DC条件¹

推奨動作条件にわたって

パラメータ	記述	Typical	単位
V _{CCIO}	出力ドライバ電源 (+/-5%)	2.50	V
Z _{OUT}	出力インピーダンス	20	Ω
R _S	ドライバ直列抵抗 (+/-1%)	294	Ω
R _P	ドライバ並列抵抗 (+/-1%)	121	ohm
R _T	レシーバ終端抵抗 (+/-1%)	100	ohm
V _{OH}	出力High電圧	1.35	V
V _{OL}	出力Low電圧	1.15	V
V _{OD}	出力差動電圧	0.20	V
V _{CM}	出力コモンモード電圧	1.25	V
Z _{BACK}	バック・インピーダンス	101.5	ohm
I _{DC}	DC出力電流	3.66	mA

1. 入力バッファに関しては、LVDS表を参照してください。

MLVDS

LatticeECP2/Mデバイスは、差動MLVDS標準をサポートします。この標準は、ドライバ出力間の平行外部抵抗と共にコンプリメンタリなLVCMOS出力を用いることでエミュレートされます。MLVDSはマルチドロップで双方向のマルチポイント差動シグナリングが必要な時に用いられることを意図しています。図3-5で示されるスキームは、双方向のマルチポイント差動信号のための1つの可能なソリューションです。図3-5における抵抗値は1%偏差の業界標準値です。

図3-5 MLVDS (Reduced Swing Differential Standard)

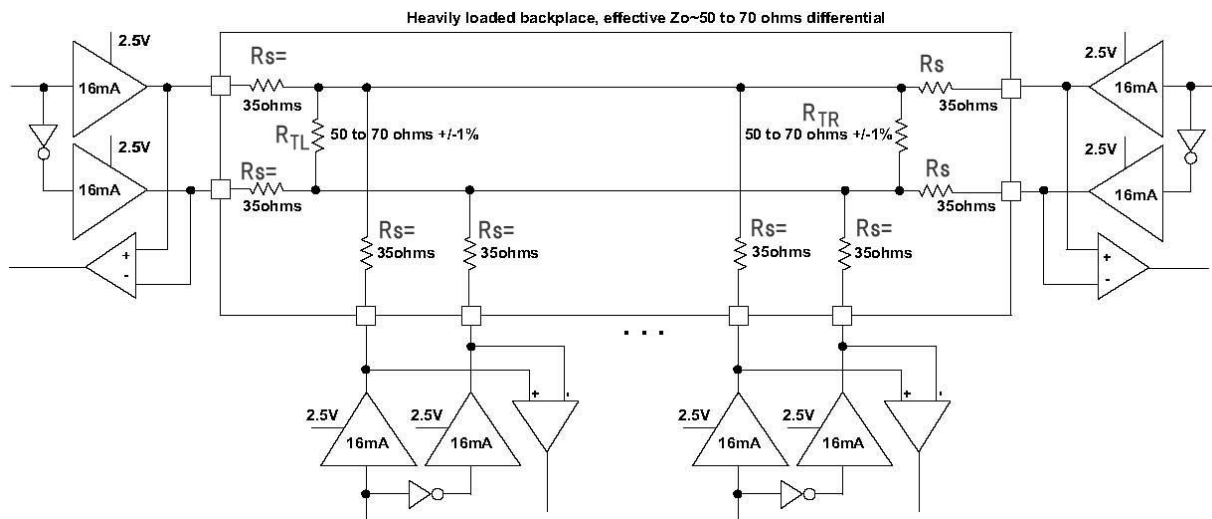


表3-5 MLVDS 直流条件¹

推奨動作条件にわたって

パラメータ	記述	Typical		単位
		Zo = 45	Zo = 70	
VCCIO	出力ドライバ電源 (+/-5%)	2.50	2.50	V
ZOUT	出力インピーダンス	10.0	10.0	Ω
RS	ドライバ直列抵抗 (+/-1%)	35.0	35.0	Ω
RTL	左端の終端	50.0	70.0	Ω
RTR	右端の終端	50.0	70.0	Ω
VOH	出力High電圧	1.52	1.60	V
VOL	出力Low電圧	0.98	0.90	V
VOD	出力差動電圧	0.54	0.70	V
VCM	出力コモンモード電圧	1.25	1.25	V
IDC	DC出力電流	21.74	20.00	mA

1. 入力バッファに関しては、LVDS表を参照してください

典型的なビルディング・ブロック機能パフォーマンス ピン・ピン間のパフォーマンス(LVCMOS25 12mA ドライブ)

機能	-7 タイミング	単位
基本機能		
16ビット・デコーダ	3.8	ns
32ビット・デコーダ	4.5	ns
64ビット・デコーダ	5.0	ns
4:1 MUX	3.2	ns
8:1 MUX	3.4	ns
16:1 MUX	3.5	ns
32:1 MUX	4.0	ns

1. これらのタイミングはispLEVER設計ツールからの値。ツールのバージョンにより、値はやや異なる可能性あり。ツールはキャラクタライズされた内部パラメータを採用しているが、全デバイスはテストされていない。
Timing v.A0.11

レジスタ・レジスタ間パフォーマンス

機能	-7 タイミング	単位
基本機能		
16ビット・デコーダ	599	MHz
32ビット・デコーダ	542	MHz
64ビット・デコーダ	417	MHz
4:1 MUX	847	MHz
8:1 MUX	803	MHz
16:1 MUX	660	MHz
32:1 MUX	577	MHz
8 ビット加算器	591	MHz
16 ビット加算器	500	MHz
64 ビット加算器	306	MHz
16 ビット・カウンタ	488	MHz
32 ビット・カウンタ	378	MHz
64 ビット・カウンタ	260	MHz
64 ビット・アキュムレータ	253	MHz
エンベデッド・メモリ機能		
512×36 シングルポート RAM、EBR 出力レジスタ	370	MHz
1024×18 真のデュアルポート RAM (ライトスルーかノーマルモード、EBR 出力レジスタ)	370	MHz
1024×18 真のデュアルポート RAM (ライトスルーかノーマルモード、PLC 出力レジスタ)	280	MHz
分散メモリ機能		
16×4 擬似デュアルポート RAM (PFU 一つ)	819	MHz
32×4 擬似デュアルポート RAM	521	MHz
64×8 擬似デュアルポート RAM	435	MHz
DSP機能		
18×18 乗算器 (全レジスタ)	420	MHz
9×9 乗算器 (全レジスタ)	420	MHz
36×36 乗算器 (全レジスタ)	372	MHz

18×18 乗算/アキュムレート（入力、出力レジスタ）	295	MHz
18×18 乗算-加減算-総和（全レジスタ）	420	MHz
DSP IP機能		
16 タップ全並列 FIR フィルタ	304	MHz
1024 点、基底 4、DIF FFT	227	MHz
8x8 マトリクス乗算	223	MHz

Timing v.A 0.11

ディレーティング・タイミング表

データシートの以下のセクションとDiamondデザインツールに提供されるロジック・タイミングは、動作範囲の最悪値です。ベストケース・プロセスの公称温度と電圧における実際の遅延は、表で与えられた値よりはるかに良い場合があります。Diamond設計ツールが特定のジャンクション温度と電圧に対するロジック・タイミング値を与えます。

LatticeECP2/M 外部スイッチング特性⁹

推奨動作条件にわたって

パラメータ	記述	デバイス	-7		-6		-5		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
汎用I/Oピン・パラメータ(PLLなしでプライマリ・クロックを用いる) ¹									
t _{co}	クロック対出力 - PIO出力レジスタ	ECP2-6	–	3.50	–	3.90	–	4.20	ns
		ECP2-12	–	3.50	–	3.90	–	4.20	ns
		ECP2-20	–	3.50	–	3.90	–	4.20	ns
		ECP2-35	–	3.50	–	3.90	–	4.20	ns
		ECP2-50	–	3.50	–	3.90	–	4.20	ns
		ECP2-70	–	3.70	–	4.10	–	4.40	ns
		ECP2M20	–	3.90	–	4.30	–	4.70	ns
		ECP2M35	–	3.90	–	4.30	–	4.70	ns
		ECP2M50	–	4.50	–	5.00	–	5.40	ns
		ECP2M70	–	4.50	–	5.00	–	5.40	ns
		ECP2M100	–	4.50	–	5.00	–	5.40	ns
t _{su}	クロック対データ・セットアップ、 PIO入力レジスタ	ECP2-6	0.00	–	0.00	–	0.00	–	ns
		ECP2-12	0.00	–	0.00	–	0.00	–	ns
		ECP2-20	0.00	–	0.00	–	0.00	–	ns
		ECP2-35	0.00	–	0.00	–	0.00	–	ns
		ECP2-50	0.00	–	0.00	–	0.00	–	ns
		ECP2-70	0.00	–	0.00	–	0.00	–	ns
		ECP2M20	0.00	–	0.00	–	0.00	–	ns
		ECP2M35	0.00	–	0.00	–	0.00	–	ns
		ECP2M50	0.00	–	0.00	–	0.00	–	ns
		ECP2M70	0.00	–	0.00	–	0.00	–	ns
		ECP2M100	0.00	–	0.00	–	0.00	–	ns
t _H	クロック対データ・ホールド、PIO入 力レジスタ	ECP2-6	1.40	–	1.70	–	1.90	–	ns
		ECP2-12	1.40	–	1.70	–	1.90	–	ns
		ECP2-20	1.40	–	1.70	–	1.90	–	ns
		ECP2-35	1.40	–	1.70	–	1.90	–	ns
		ECP2-50	1.40	–	1.70	–	1.90	–	ns
		ECP2-70	1.40	–	1.70	–	1.90	–	ns
		ECP2M20	1.40	–	1.70	–	1.90	–	ns
		ECP2M35	1.40	–	1.70	–	1.90	–	ns
		ECP2M50	1.80	–	2.10	–	2.30	–	ns
		ECP2M70	1.80	–	2.10	–	2.30	–	ns
		ECP2M100	1.80	–	210	–	2.30	–	ns
t _{SU_DEL}	クロック対データ・セットアップ、 データ入力遅延あり。PIO入力レジス タ	ECP2-6	1.40	–	1.70	–	1.90	–	ns
		ECP2-12	1.40	–	1.70	–	1.90	–	ns
		ECP2-20	1.40	–	1.70	–	1.90	–	ns
		ECP2-35	1.40	–	1.70	–	1.90	–	ns
		ECP2-50	1.40	–	1.70	–	1.90	–	ns
		ECP2-70	1.40	–	1.70	–	1.90	–	ns

		ECP2M20	1.40	–	1.70	–	1.90	–	ns
		ECP2M35	1.40	–	1.70	–	1.90	–	ns
		ECP2M50	1.40	–	1.70	–	1.90	–	ns
		ECP2M70	1.40	–	1.70	–	1.90	–	ns
		ECP2M100	1.40	–	1.70	–	1.90	–	ns
t _{H_DEL}	クロック対データ・ホールド - 入力 データ遅延あり。PIO入力レジスタ	ECP2-6	0.00	–	0.00	–	0.00	–	ns
		ECP2-12	0.00	–	0.00	–	0.00	–	ns
		ECP2-20	0.00	–	0.00	–	0.00	–	ns
		ECP2-35	0.00	–	0.00	–	0.00	–	ns
		ECP2-50	0.00	–	0.00	–	0.00	–	ns
		ECP2-70	0.00	–	0.00	–	0.00	–	ns
		ECP2M20	0.00	–	0.00	–	0.00	–	ns
		ECP2M35	0.00	–	0.00	–	0.00	–	ns
		ECP2M50	0.00	–	0.00	–	0.00	–	ns
		ECP2M70	0.00	–	0.00	–	0.00	–	ns
		ECP2M100	0.00	–	0.00	–	0.00	–	ns
t _{MAX_IO}	I/OとPFUレジスタのクロック周波数	ECP2/M	–	420	–	357	–	311	MHz
汎用I/Oピン・パラメータ (PLLなしでエッジクロックを用いる) ¹									
t _{COE}	クロック対出力 - PIO出力レジスタ	ECP2-6	–	2.60	–	2.90	–	3.20	ns
		ECP2-12	–	2.60	–	2.90	–	3.20	ns
		ECP2-20	–	2.60	–	2.90	–	3.20	ns
		ECP2-35	–	2.60	–	2.90	–	3.20	ns
		ECP2-50	–	2.60	–	2.90	–	3.20	ns
		ECP2-70	–	2.60	–	2.90	–	3.20	ns
		ECP2M20	–	2.60	–	2.90	–	3.20	ns
		ECP2M35	–	2.60	–	2.90	–	3.20	ns
		ECP2M50	–	3.10	–	3.40	–	3.70	ns
		ECP2M70	–	3.10	–	3.40	–	3.70	ns
		ECP2M100	–	3.10	–	3.40	–	3.70	ns
t _{SUE}	クロック対データ・セットアップ、 PIO入力レジスタ	ECP2-6	0.00	–	0.00	–	0.00	–	ns
		ECP2-12	0.00	–	0.00	–	0.00	–	ns
		ECP2-20	0.00	–	0.00	–	0.00	–	ns
		ECP2-35	0.00	–	0.00	–	0.00	–	ns
		ECP2-50	0.00	–	0.00	–	0.00	–	ns
		ECP2-70	0.00	–	0.00	–	0.00	–	ns
		ECP2M20	0.00	–	0.00	–	0.00	–	ns
		ECP2M35	0.00	–	0.00	–	0.00	–	ns
		ECP2M50	0.00	–	0.00	–	0.00	–	ns
		ECP2M70	0.00	–	0.00	–	0.00	–	ns
		ECP2M100	0.00	–	0.00	–	0.00	–	ns
t _{HE}	クロック対データ・ホールド、PIO入 力レジスタ	ECP2-6	0.90	–	1.10	–	1.30	–	ns
		ECP2-12	0.90	–	1.10	–	1.30	–	ns
		ECP2-20	0.90	–	1.10	–	1.30	–	ns

		ECP2-35	0.90	–	1.10	–	1.30	–	ns
		ECP2-50	0.90	–	1.10	–	1.30	–	ns
		ECP2-70	0.90	–	1.10	–	1.30	–	ns
		ECP2M20	0.90	–	1.10	–	1.30	–	ns
		ECP2M35	0.90	–	1.10	–	1.30	–	ns
		ECP2M50	1.20	–	1.40	–	1.60	–	ns
		ECP2M70	1.20	–	1.40	–	1.60	–	ns
		ECP2M100	1.20	–	1.40	–	1.60	–	ns
t_{SU_DELE}	クロック対データ・セットアップ、データ入力遅延あり。PIO入力レジスタ	ECP2-6	1.00	–	1.30	–	1.60	–	ns
		ECP2-12	1.00	–	1.30	–	1.60	–	ns
		ECP2-20	1.00	–	1.30	–	1.60	–	ns
		ECP2-35	1.00	–	1.30	–	1.60	–	ns
		ECP2-50	1.00	–	1.30	–	1.60	–	ns
		ECP2-70	1.00	–	1.30	–	1.60	–	ns
		ECP2M20	1.20	–	1.60	–	1.90	–	ns
		ECP2M35	1.20	–	1.60	–	1.90	–	ns
		ECP2M50	1.20	–	1.60	–	1.90	–	ns
		ECP2M70	1.20	–	1.60	–	1.90	–	ns
		ECP2M100	1.20	–	1.60	–	1.90	–	ns
t_{H_DEL}	クロック対データ・ホールド、入力データ遅延あり。PIO入力レジスタ	ECP2-6	0.00	–	0.00	–	0.00	–	ns
		ECP2-12	0.00	–	0.00	–	0.00	–	ns
		ECP2-20	0.00	–	0.00	–	0.00	–	ns
		ECP2-35	0.00	–	0.00	–	0.00	–	ns
		ECP2-50	0.00	–	0.00	–	0.00	–	ns
		ECP2-70	0.00	–	0.00	–	0.00	–	ns
		ECP2M20	0.00	–	0.00	–	0.00	–	ns
		ECP2M35	0.00	–	0.00	–	0.00	–	ns
		ECP2M50	0.00	–	0.00	–	0.00	–	ns
		ECP2M70	0.00	–	0.00	–	0.00	–	ns
		ECP2M100	0.00	–	0.00	–	0.00	–	ns
f_{MAX_IOE}	I/OとPFUレジスタのクロック周波数	ECP2/M	–	420	–	357	–	311	MHz
汎用I/Oピン・パラメータ（PLLありでプライマリクロックを用いる） ¹									
t_{COPLL}^{10}	クロック対出力 - PIO出力レジスタ	ECP2-6	–	2.30	–	2.60	–	2.80	ns
		ECP2-12	–	2.30	–	2.60	–	2.80	ns
		ECP2-20	–	2.30	–	2.60	–	2.80	ns
		ECP2-35	–	2.30	–	2.60	–	2.80	ns
		ECP2-50	–	2.30	–	2.60	–	2.80	ns
		ECP2-70	–	2.30	–	2.60	–	2.80	ns
		ECP2M20	–	2.30	–	2.60	–	2.80	ns
		ECP2M35	–	2.30	–	2.60	–	2.80	ns
		ECP2M50	–	2.60	–	2.90	–	3.10	ns
		ECP2M70	–	2.60	–	2.90	–	3.10	ns
		ECP2M100	–	2.70	–	3.00	–	3.20	ns

t_{SUPLL}	クロック対データ・セットアップ、 PIO入力レジスタ	ECP2-6	0.70	–	0.80	–	0.90	–	ns
		ECP2-12	0.70	–	0.80	–	0.90	–	ns
		ECP2-20	0.70	–	0.80	–	0.90	–	ns
		ECP2-35	0.70	–	0.80	–	0.90	–	ns
		ECP2-50	0.70	–	0.80	–	0.90	–	ns
		ECP2-70	0.70	–	0.80	–	0.90	–	ns
		ECP2M20	0.70	–	0.80	–	0.90	–	ns
		ECP2M35	0.70	–	0.80	–	0.90	–	ns
		ECP2M50	0.70	–	0.80	–	0.90	–	ns
		ECP2M70	0.70	–	0.80	–	0.90	–	ns
		ECP2M100	0.80	–	0.90	–	1.00	–	ns
t_{HPLL}	クロック対データ・ホールド、PIO入 力レジスタ	ECP2-6	1.00	–	1.20	–	1.40	–	ns
		ECP2-12	1.00	–	1.20	–	1.40	–	ns
		ECP2-20	1.00	–	1.20	–	1.40	–	ns
		ECP2-35	1.00	–	1.20	–	1.40	–	ns
		ECP2-50	1.00	–	1.20	–	1.40	–	ns
		ECP2-70	1.00	–	1.20	–	1.40	–	ns
		ECP2M20	1.00	–	1.20	–	1.40	–	ns
		ECP2M35	1.00	–	1.20	–	1.40	–	ns
		ECP2M50	1.00	–	1.20	–	1.40	–	ns
		ECP2M70	1.00	–	1.20	–	1.40	–	ns
		ECP2M100	1.00	–	1.20	–	1.40	–	ns
$t_{\text{SU_DELP}}L$	クロック対データ・セットアップ、 データ入力遅延あり。PIO入力レジス タ	ECP2-6	1.80	–	2.00	–	2.20	–	ns
		ECP2-12	1.80	–	2.00	–	2.20	–	ns
		ECP2-20	1.80	–	2.00	–	2.20	–	ns
		ECP2-35	1.80	–	2.00	–	2.20	–	ns
		ECP2-50	1.80	–	2.00	–	2.20	–	ns
		ECP2-70	1.80	–	2.00	–	2.20	–	ns
		ECP2M20	1.80	–	2.00	–	2.20	–	ns
		ECP2M35	1.80	–	2.00	–	2.20	–	ns
		ECP2M50	1.90	–	2.10	–	2.30	–	ns
		ECP2M70	1.90	–	2.10	–	2.30	–	ns
		ECP2M100	2.00	–	2.20	–	2.40	–	ns
$t_{\text{H_DELP}}L$	クロック対データ・ホールド、入力 データ遅延あり。PIO入力レジスタ	ECP2-6	0.00	–	0.00	–	0.00	–	ns
		ECP2-12	0.00	–	0.00	–	0.00	–	ns
		ECP2-20	0.00	–	0.00	–	0.00	–	ns
		ECP2-35	0.00	–	0.00	–	0.00	–	ns
		ECP2-50	0.00	–	0.00	–	0.00	–	ns
		ECP2-70	0.00	–	0.00	–	0.00	–	ns
		ECP2M20	0.00	–	0.00	–	0.00	–	ns
		ECP2M35	0.00	–	0.00	–	0.00	–	ns
		ECP2M50	0.00	–	0.00	–	0.00	–	ns
		ECP2M70	0.00	–	0.00	–	0.00	–	ns
		ECP2M100	0.00	–	0.00	–	0.00	–	ns

DDR I/Oピン・パラメータ ²									
t _{DVADQ}	DQS 後の有効データ(DDR リード)	ECP2/M	–	0.225	–	0.225	–	0.225	UI
t _{DVEDQ}	DQS 後のデータホールド(DDR リード)	ECP2/M	0.640	–	0.640	–	0.640	–	UI
t _{DQVBS}	DQS 前の有効データ (DDR ライト)	ECP2/M	0.250	–	0.250	–	0.250	–	UI
t _{DQVAS}	DQS 前の有効データ (DDR ライト)	ECP2/M	0.250	–	0.250	–	0.250	–	UI
f _{MAX_DDR}	DDR クロック周波数 ⁶	ECP2/M	95	200	95	166	95	133	MHz
DDR2 I/Oピン・パラメータ ³									
t _{DVADQ}	DQS 後の有効データ(DDR リード)	ECP2/M	–	0.225	–	0.225	–	0.225	UI
t _{DVEDQ}	DQS 後のデータホールド(DDR リード)	ECP2/M	0.640	–	0.640	–	0.640	–	UI
t _{DQVBS}	DQS 前の有効データ (DDR ライト)	ECP2/M	0.250	–	0.250	–	0.250	–	UI
t _{DQVAS}	DQS 前の有効データ (DDR ライト)	ECP2/M	0.250	–	0.250	–	0.250	–	UI
f _{MAX_DDR2}	DDR クロック周波数	ECP2/M	133	266	133	200	133	166	MHz
SPI4.2 I/Oピン・パラメータ、スタティック・アライメント ^{4, 8, 11}									
	最大データレート	ECP2-20	–	750	–	622	–	622	Mbps
		ECP2-35	–	750	–	622	–	622	Mbps
		ECP2-50	–	750	–	622	–	622	Mbps
		ECP2-70	–	750	–	622	–	622	Mbps
		ECP2M20	–	622	–	622	–	622	Mbps
		ECP2M35	–	622	–	622	–	622	Mbps
		ECP2M50	–	622	–	622	–	622	Mbps
		ECP2M70	–	622	–	622	–	622	Mbps
		ECP2M100	–	622	–	622	–	622	Mbps
t _{DVACLKSPI}	CLK 後の有効データ (レシーブ)	ECP2-20	–	0.25	–	0.25	–	0.25	UI
		ECP2-35	–	0.25	–	0.25	–	0.25	UI
		ECP2-50	–	0.25	–	0.25	–	0.25	UI
		ECP2-70	–	0.25	–	0.25	–	0.25	UI
		ECP2M20	–	0.21	–	0.21	–	0.21	UI
		ECP2M35	–	0.21	–	0.21	–	0.21	UI
		ECP2M50	–	0.21	–	0.21	–	0.21	UI
		ECP2M70	–	0.21	–	0.21	–	0.21	UI
		ECP2M100	–	0.21	–	0.21	–	0.21	UI
t _{DVECLKSPI}	CLK 後のデータホールド (レシーブ)	ECP2-20	0.75	–	0.75	–	0.75	–	UI
		ECP2-35	0.75	–	0.75	–	0.75	–	UI
		ECP2-50	0.75	–	0.75	–	0.75	–	UI
		ECP2-70	0.75	–	0.75	–	0.75	–	UI
		ECP2M20	0.79	–	0.79	–	0.79	–	UI
		ECP2M35	0.79	–	0.79	–	0.79	–	UI
		ECP2M50	0.79	–	0.79	–	0.79	–	UI
		ECP2M70	0.79	–	0.79	–	0.79	–	UI
		ECP2M100	0.79	–	0.79	–	0.79	–	UI
t _{DIASPI}	CLK 後の無効データ (トランスミット)	ECP2-20	–	280	–	280	–	280	ps
		ECP2-35	–	280	–	280	–	280	ps
		ECP2-50	–	280	–	280	–	280	ps

		ECP2-70	－	280	－	280	－	280	ps
		ECP2M20	－	230	－	230	－	230	ps
		ECP2M35	－	230	－	230	－	230	ps
		ECP2M50	－	230	－	230	－	230	ps
		ECP2M70	－	230	－	230	－	230	ps
		ECP2M100	－	230	－	230	－	230	ps
t _{DIBSPI}	CLK前の無効データ（トランスミット）	ECP2-20	－	280	－	280	－	280	ps
		ECP2-35	－	280	－	280	－	280	ps
		ECP2-50	－	280	－	280	－	280	ps
		ECP2-70	－	280	－	280	－	280	ps
		ECP2M-20	－	230	－	230	－	230	ps
		ECP2M-35	－	230	－	230	－	230	ps
		ECP2M50	－	230	－	230	－	230	ps
		ECP2M70	－	230	－	230	－	230	ps
ECP2M100	－	230	－	230	－	230	ps		
XGMII I/Oピン・パラメータ (312Mbps) ⁵									
t _{SUXGMII}	リード CLK 前のデータセットアップ	ECP2/M	480	－	480	－	480	－	ps
t _{HXGMII}	リード CLK 後のデータホールド	ECP2/M	480	－	480	－	480	－	ps
t _{DQVBCLKXGMII}	CLK 前の有効データ	ECP2/M	960	－	960	－	960	－	ps
t _{DQVACLKXGMII}	CLK 後の有効データ	ECP2/M	960	－	960	－	960	－	ps
プライマリクロック									
f _{MAX_PRI} ⁷	プライマリ・クロックツリー周波数	ECP2/M	－	420	－	357	－	311	MHz
t _{W_PRI}	プライマリクロック・パルス幅	ECP2/M	0.95	－	1.19	－	2.00	－	ns
t _{SKEW_PRI}	I/O バンク内のプライマリクロック・スキュー	ECP2/M	－	300	－	360	－	420	ps
エッジクロック									
f _{MAX_EDGE} ⁷	エッジクロック周波数	ECP2/M	－	420	－	357	－	311	MHz
t _{W_EDGE}	エッジクロック・パルス幅	ECP2/M	0.95	－	1.19	－	2.00	－	ns
t _{SKEW_EDGE}	同一辺内のエッジクロック・スキュー	ECP2/M	－	300	－	360	－	420	ps

1. 一般のタイミング値はLVCMOS2.5V、12mA、容量負荷0pFに基づく
2. DDRタイミング値はBGAパッケージのSSTL25に基づく
3. DDR2タイミング値はBGAパッケージのSSTL18に基づく
4. SPI4.2とSF14のタイミング値はBGAパッケージのLVDS25に基づく
5. XGMIIのタイミング値はHSTLクラスIに基づく
6. メモリデータレートはDDRでは最低95MHzまで、DDR2では133MHzまでIPにてサポート。ここでのアプローチはデータサンプルのためにDDRハードワイヤ・インターフェイスを使用せず、フリーランクロックとPFUレジスタを使用
7. LVDS I/O規格を使用
8. ECP2-6とECP2-12はSCPI4.2をサポートしない
9. AC値はPCLK6とPCLK7には適用されない
10. CLKOPのみに適用
11. 最適な性能を得るためには“TN1159 LatticeECP2M Pin Assignment Recommendations”を参照
Timing v.A 0.11

図3-6 SPI4.2パラメータ

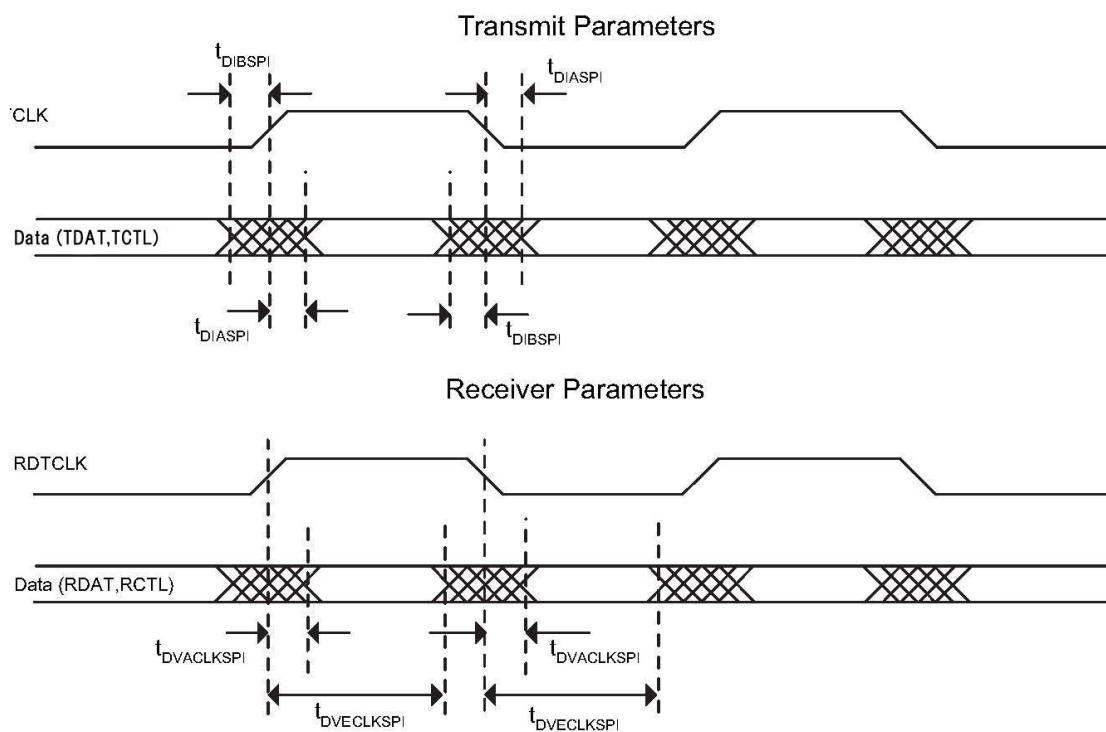


図3-7 DDR1, DDR2パラメータ

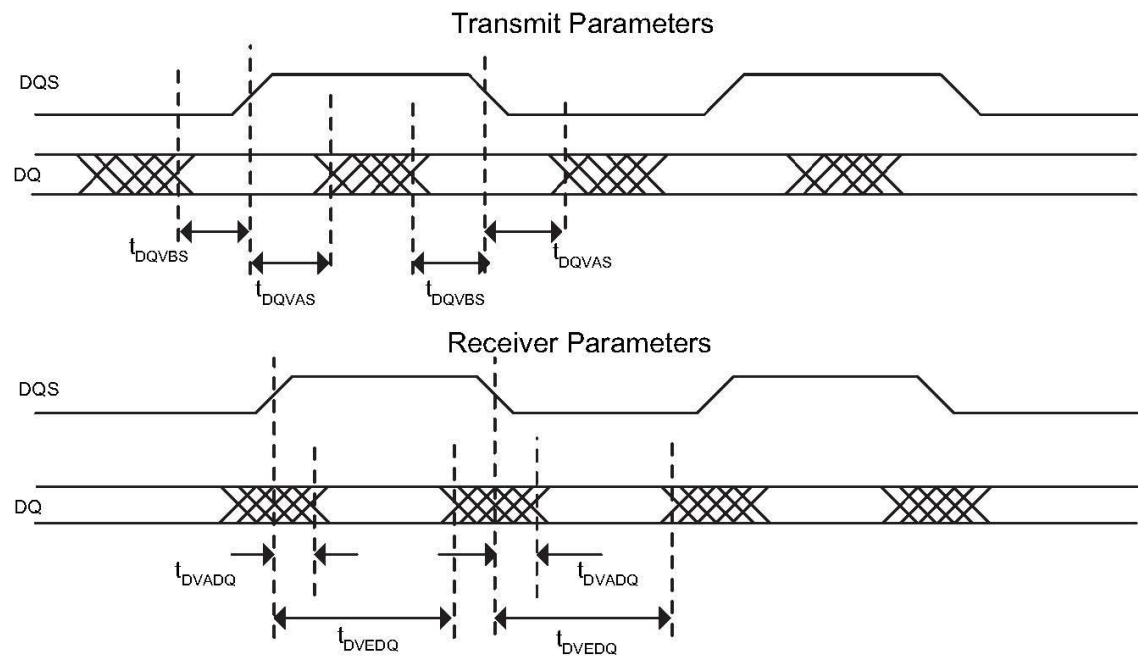
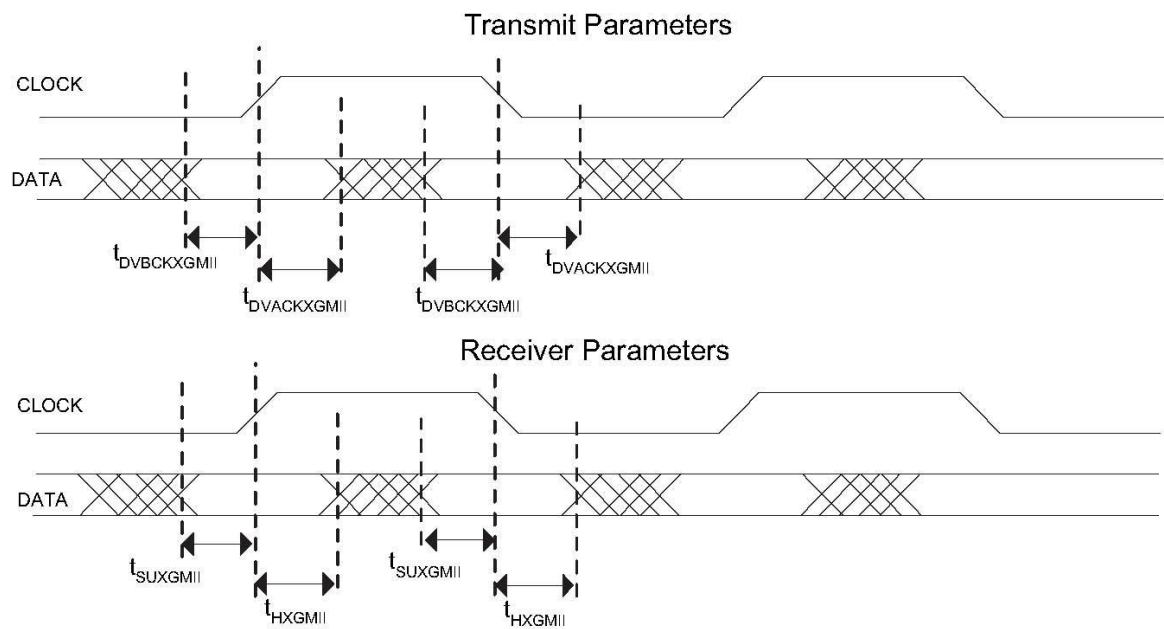


図3-8 XGMIIパラメータ



LatticeECP2/M 内部スイッチング特性¹

推奨動作条件にわたって

パラメータ	記述	-7		-6		-5		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
PFU/PFFロジック・モード・タイミング								
tLUT4_PFU	LUT4 遅延(A〜D 入力から F 出力)	−	0.180	−	0.198	−	0.216	ns
tLUT6_PFU	LUT6 遅延(A〜D 入力から OFX 出力)	−	0.304	−	0.331	−	0.358	ns
tLSR_PFU	セット/リセット対 PFU 出力	−	0.600	−	0.655	−	0.711	ns
tSUM_PFU	入力セットアップ時間、クロック対 Mux(M0、M1)	0.128	−	0.129	−	0.129	−	ns
tHM_PFU	入力ホールド時間、クロック対 Mux(M0、M1)	-0.051	−	-0.049	−	-0.046	−	ns
tSUD_PFU	入力セットアップ時間、クロック対 D 入力	0.061	−	0.071	−	0.081	−	ns
tHD_PFU	ホールド時間、クロック対 D 入力	0.002	−	0.003	−	0.003	−	ns
tCK2Q_PFU	クロック対 Q 遅延、D・タイプ・レジスタ・コンフィグレーション	−	0.285	−	0.309	−	0.333	ns
PFUメモリ・モード・タイミング								
tCORAM_PFU	クロック対出力	−	0.902	−	1.083	−	1.263	ns
tSUDATA_PFU	データ・セットアップ時間	-0.172	−	-0.205	−	-0.238	−	ns
tHDATA_PFU	データ・ホールド時間	0.199	−	0.235	−	0.271	−	ns
tSUADDR_PFU	アドレス・セットアップ時間	-0.245	−	-0.284	−	-0.323	−	ns
tHADDR_PFU	アドレス・ホールド時間	0.246	−	0.285	−	0.324	−	ns
tSUWREN_PFU	リード/ライト・イネーブル・セットアップ時間	-0.122	−	-0.145	−	-0.168	−	ns
tHWREN_PFU	リード/ライト・イネーブル・ホールド時間	0.132	−	0.156	−	0.180	−	ns
PICタイミング								
PIO 入力/出力バッファ・タイミング								
tIN_PIO	入力バッファ遅延	−	0.613	−	0.681	−	0.749	ns
tOUT_PIO	出力バッファ遅延	−	1.115	−	1.115	−	1.343	ns
IOロジック 入力/出力バッファ・タイミング								
tSUI_PIO	入力レジスタ・セットアップ時間(クロック前のデータ)	0.596	−	0.645	−	0.694	−	ns
tHI_PIO	入力レジスタ・ホールド時間(クロック後のデータ)	-0.570	−	-0.614	−	-0.658	−	ns
tCOO_PIO	出力遅延、対出力レジスタ・クロック	−	0.61	−	0.66	−	0.72	ns
tSUCE_PIO	セットアップ時間、入力レジスタ・クロックイネーブル	0.032	−	0.037	−	0.041	−	ns
tHCE_PIO	ホールド時間、入力レジスタ・クロックイネーブル	-0.022	−	-0.025	−	-0.028	−	ns
tSULSR_PIO	セット/リセット・セットアップ時間	0.184	−	0.201	−	0.217	−	ns
tHLSR_PIO	セット/リセット・ホールド時間	-0.080	−	-0.086	−	-0.093	−	ns
EBRタイミング								
tCO_EBR	クロック対出力、アドレスまたはデータから	−	2.51	−	2.75	−	2.99	ns
tCOO_EBR	クロック対出力、EBR 出力レジスタから	−	0.33	−	0.36	−	0.39	ns
tSUDATA_EBR	セットアップ、データ対 EBR メモリ	-0.157	−	-0.181	−	-0.205	−	ns

t _{HDATA_EBR}	ホールド、データ対 EBR メモリ	0.173	-	0.195	-	0.217	-	ns
t _{SUADDR_EBR}	セットアップ、アドレス対 EBR メモリ	-0.115	-	-0.130	-	-0.145	-	ns
t _{HADDR_EBR}	ホールド、アドレス対 EBR メモリ	0.138	-	0.155	-	0.172	-	ns
t _{SUWREN_EBR}	ライト/リード・イネーブル・セットアップ、対 PFU メモリ	-0.128	-	-0.149	-	-0.170	-	ns
t _{HWREN_EBR}	ライト/リード・イネーブルホールド、対 PFU メモリ	0.139	-	0.156	-	0.173	-	ns
t _{SUCE_EBR}	クロックイネーブル・セットアップ時間、対 EBR 出力レジスタ	0.123	-	0.134	-	0.145	-	ns
t _{HCE_EBR}	クロックイネーブル・ホールド時間、対 EBR 出力レジスタ	-0.081	-	-0.090	-	-0.100	-	ns
t _{RSTO_EBR}	出力遅延時間、リセットから EBR 出力レジスタ	-	1.03	-	1.15	-	1.26	ns
t _{SUBE_EBR}	バイトイネーブル・セットアップ時間、対 EBR 出力レジスタ	-0.115	-	-0.130	-	-0.145	-	ns
t _{HBE_EBR}	バイトイネーブル・ホールド時間、対 EBR 出力レジスタ	0.138	-	1.055	-	0.172	-	ns
GPLLパラメータ								
t _{RSTREC_GPLL}	リセット・リカバリ、対クロックの立ち上がり	1.0	-	1.0	-	1.0	-	ns
SPLLパラメータ								
t _{RSTREC_SPLL}	リセット・リカバリ、対クロックの立ち上がり	1.0	-	1.0	-	1.0	-	ns
DSPブロック・タイミグ³								
t _{SUI_DSP}	入力レジスタ・セットアップ時間	0.12	-	0.13	-	0.14	-	ns
t _{HI_DSP}	入力レジスタ・ホールド時間	0.02	-	-0.01	-	-0.03	-	ns
t _{SUP_DSP}	パイプライン・レジスタ・セットアップ時間	2.18	-	2.42	-	2.66	-	ns
t _{HP_DSP}	パイプライン・レジスタ・ホールド時間	-0.68	-	-0.77	-	-0.86	-	ns
t _{SUO_DSP}	出力レジスタ・セットアップ時間	4.26	-	4.71	-	5.16	-	ns
t _{HO_DSP}	出力レジスタ・ホールド時間	-1.25	-	-1.40	-	-1.54	-	ns
t _{COI_DSP}	入力レジスタ・クロック対出力時間	-	3.92	-	4.30	-	4.68	ns
t _{COP_DSP}	パイプライン・レジスタ・クロック対出力時間	-	1.87	-	1.98	-	2.08	ns
t _{COO_DSP}	出力レジスタ・クロック対出力時間	-	0.50	-	0.52	-	0.55	ns
t _{SUADSUB}	AddSub セットアップ時間	-0.24	-	-0.26	-	-0.28	-	ns
t _{HADSUB}	AddSub ホールド時間	0.27	-	0.29	-	0.32	-	ns

1 内部パラメータはキャラクタライズされているが、全デバイスはテストしていない

2 (オリジナル英語版の誤り)

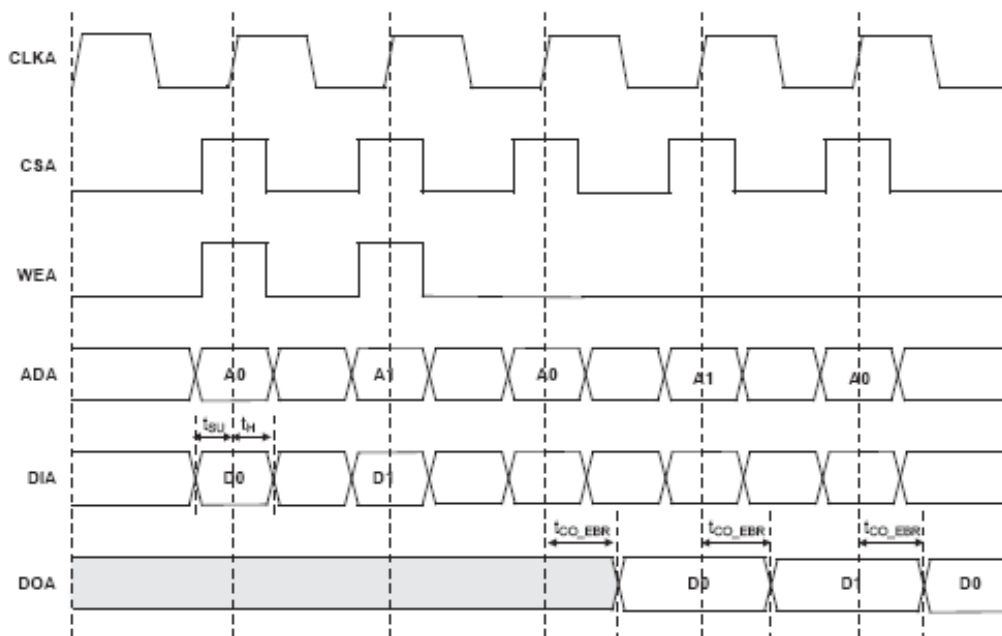
3 DSPブロックの Multiply Add/Sub 18x18 モード

Timing v.A 0.11

タイミング・ダイアグラム

EBRメモリ・タイミング・ダイアグラム

図3-9 リードライトモード(ノーマル)



注: 入力データとアドレスはクロックの正のエッジでレジスタされ、出力データはクロックの正のエッジの後に現れます。

図3-10 入出力レジスタ有りリードライトモード

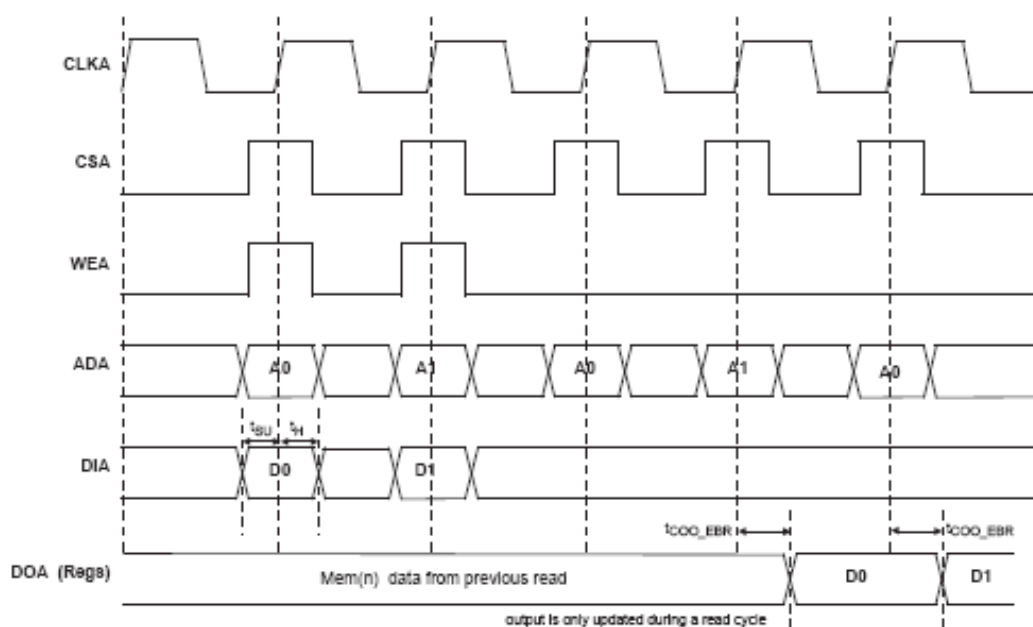
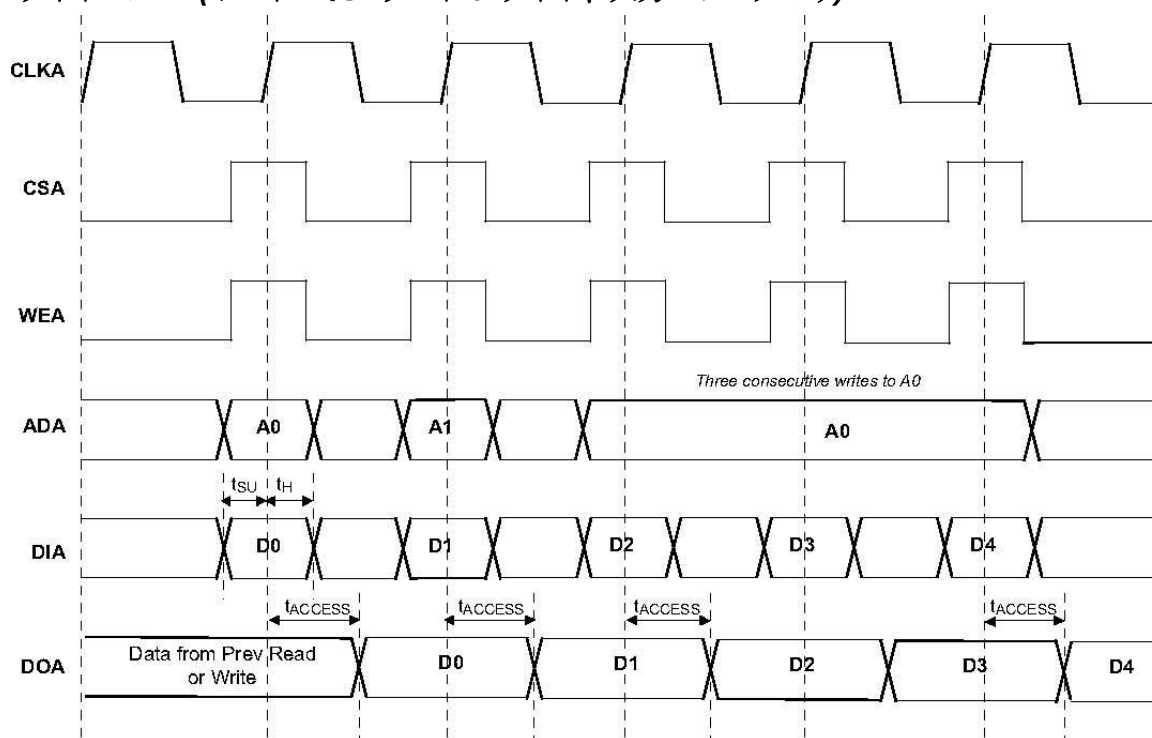


図3-11 ライトスルー (ポートAでSPリード/ライト、入力レジスタのみ)



注: 入力データとアドレスはクロックの正のエッジでレジスタされ、出力データはクロックの正のエッジの後に現れます。

LatticeECP2/Mファミリ タイミングの加算値¹²³

推奨動作条件にわたって

バッファ・タイプ	記述	-7	-6	-5	単位
入力アジャスタ(Adjuster)					
LVDS25	LVDS	-0.04	-0.02	0.00	ns
BLVDS25	BLVDS	-0.04	-0.09	-0.15	ns
MLVDS	LVDS	-0.15	-0.15	-0.15	ns
RSDS	RSDS	0.15	-0.15	-0.15	ns
LVPECL33	LVPECL	0.16	0.15	0.13	ns
HSTL18_I	HSTL_18 クラス I	0.01	-0.01	-0.04	ns
HSTL18_II	HSTL_18 クラス II	0.01	-0.01	-0.04	ns
HSTL18D_I	差動HSTL_18 クラス I	0.01	-0.01	-0.04	ns
HSTL18D_II	差動HSTL_18 クラス II	0.01	-0.01	-0.04	ns
HSTL15_I	HSTL_15 クラス I	0.01	-0.01	-0.04	ns
HSTL15D_I	差動HSTL_15 クラス I	0.01	-0.01	-0.04	ns
SSTL33_I	SSTL_3 クラス I	-0.03	-0.07	-0.10	ns
SSTL33_II	SSTL_3 クラス II	-0.03	-0.07	-0.10	ns
SSTL33D_I	差動SSTL_3 クラス I	-0.03	-0.07	-0.10	ns
SSTL33D_II	差動SSTL_3 クラス II	-0.03	-0.07	-0.10	ns
SSTL25_I	SSTL_2 クラス I	-0.04	-0.07	-0.10	ns
SSTL25_II	SSTL_2 クラス II	-0.04	-0.07	-0.10	ns
SSTL25D_I	差動SSTL_2 クラス I	-0.04	-0.07	-0.10	ns
SSTL25D_II	差動SSTL_2 クラス II	-0.04	-0.07	-0.10	ns
SSTL18_I	SSTL_18 クラス I	-0.01	-0.04	-0.07	ns
SSTL18_II	SSTL_18 クラス II	-0.01	-0.04	-0.07	ns
SSTL18D_I	差動SSTL_18 クラス I	-0.01	-0.04	-0.07	ns
SSTL18D_II	差動SSTL_18 クラス II	-0.01	-0.04	-0.07	ns
LVTTTL33	LVTTTL	-0.16	-0.16	-0.16	ns
LVC MOS33	LVC MOS 3.3	-0.08	-0.12	-0.16	ns
LVC MOS25	LVC MOS 2.5	0.00	0.00	0.00	ns
LVC MOS18	LVC MOS 1.8	-0.16	-0.17	-0.17	ns
LVC MOS15	LVC MOS 1.5	-0.14	-0.14	-0.14	ns
LVC MOS12	LVC MOS 1.2	-0.04	-0.01	-0.01	ns
PCI33	PCI	-0.08	-0.12	-0.16	ns
出力アジャスタ(Adjuster)					
LVDS25E	LVDS 2.5 E ⁴	0.25	0.19	0.13	ns
LVDS25	LVDS 2.5	0.10	0.13	0.17	ns
BLVDS25	BLVDS 2.5	0.00	-0.01	-0.03	ns
MLVDS	MLVDS 2.5 ⁴	0.00	-0.01	-0.03	ns
RSDS	RSDS 2.5 ⁴	0.25	0.19	0.13	ns
LVPECL33	LVPECL 3.3 ⁴	-0.02	-0.04	-0.06	ns
HSTL18_I	HSTL_18 クラス I, 8mAドライブ	-0.19	-0.22	-0.25	ns
HSTL18_II	HSTL_18 クラス II	-0.30	-0.34	-0.37	ns

HSTL18D_I	差動HSTL 18 クラス I, 8mAドライブ	-0.19	-0.22	-0.25	ns
HSTL18D_II	差動HSTL 18 クラス II	-0.30	-0.34	-0.37	ns
HSTL15_I	HSTL_15 クラス I, 4mAドライブ	-0.22	-0.25	-0.27	ns
HSTL15D_I	差動HSTL 15 クラス I, 4mAドライブ	-0.22	-0.25	-0.27	ns
SSTL33_I	SSTL_3 クラス I	-0.12	-0.15	-0.18	ns
SSTL33_II	SSTL_3 クラス II	-0.20	-0.23	-0.27	ns
SSTL33D_I	差動SSTL_3 クラス I	-0.12	-0.15	-0.18	ns
SSTL33D_II	差動SSTL_3 クラス II	-0.20	-0.23	-0.27	ns
SSTL25_I	SSTL_2 クラス I, 8mAドライブ	-0.16	-0.19	-0.22	ns
SSTL25_II	SSTL_2 クラス II, 16mAドライブ	-0.19	-0.22	-0.25	ns
SSTL25D_I	差動SSTL_2 クラス I, 8mAドライブ	-0.16	-0.19	-0.22	ns
SSTL25D_II	差動SSTL_2 クラス II, 16mAドライブ	-0.19	-0.22	-0.25	ns
SSTL18_I	SSTL_1.8 クラス I	-0.14	-0.17	-0.20	ns
SSTL18_II	SSTL_1.8 クラス II, 8mAドライブ	-0.20	-0.23	-0.25	ns
SSTL18D_I	差動SSTL_1.8 クラス I	-0.14	-0.17	-0.20	ns
SSTL18D_II	差動SSTL_1.8 クラス II, 8mAドライブ	-0.20	-0.23	-0.25	ns
LVTTTL33_4mA	LVTTTL 4mA ドライブ	0.52	0.60	0.68	ns
LVTTTL33_8mA	LVTTTL 8mA ドライブ	0.06	0.08	0.09	ns
LVTTTL33_12mA	LVTTTL 12mA ドライブ	0.04	0.04	0.05	ns
LVTTTL33_16mA	LVTTTL 16mA ドライブ	0.03	0.02	0.02	ns
LVTTTL33_20mA	LVTTTL 20mA ドライブ	-0.09	-0.09	-0.10	ns
LVC MOS33_4mA	LVC MOS 3.3 4mA ドライブ, fast	0.52	0.60	0.68	ns
LVC MOS33_8mA	LVC MOS 3.3 8mA ドライブ, fast	0.06	0.08	0.09	ns
LVC MOS33_12mA	LVC MOS 3.3 12mA ドライブ, fast	0.04	0.04	0.05	ns
LVC MOS33_16mA	LVC MOS 3.3 16mA ドライブ, fast	0.03	0.02	0.02	ns
LVC MOS33_20mA	LVC MOS 3.3 20mA ドライブ, fast	-0.09	-0.09	-0.10	ns
LVC MOS25_4mA	LVC MOS 2.5 4mA ドライブ, fast	0.41	0.47	0.53	ns
LVC MOS25_8mA	LVC MOS 2.5 8mA ドライブ, fast	0.01	0.01	0.00	ns
LVC MOS25_12mA	LVC MOS 2.5 12mA ドライブ, fast	0.00	0.00	0.00	ns
LVC MOS25_16mA	LVC MOS 2.5 16mA ドライブ, fast	0.04	0.04	0.04	ns
LVC MOS25_20mA	LVC MOS 2.5 20mA ドライブ, fast	-0.09	-0.10	-0.11	ns
LVC MOS18_4mA	LVC MOS 1.8 4mA ドライブ, fast	0.37	0.40	0.43	ns
LVC MOS18_8mA	LVC MOS 1.8 8mA ドライブ, fast	0.10	0.12	0.13	ns
LVC MOS18_12mA	LVC MOS 1.8 12mA ドライブ, fast	-0.02	-0.02	-0.02	ns
LVC MOS18_16mA	LVC MOS 1.8 16mA ドライブ, fast	-0.02	-0.03	-0.03	ns
LVC MOS15_4mA	LVC MOS 1.5 4mA ドライブ, fast	0.29	0.31	0.32	ns
LVC MOS15_8mA	LVC MOS 1.5 8mA ドライブ, fast	0.05	0.05	0.06	ns
LVC MOS12_2mA	LVC MOS 1.2 2mA ドライブ, fast	0.58	0.69	0.79	ns
LVC MOS12_6mA	LVC MOS 1.2 6mA ドライブ, fast	0.13	0.19	0.26	ns
LVC MOS33_4mA	LVC MOS 3.3 4mA ドライブ, slow	2.17	2.44	2.71	ns
LVC MOS33_8mA	LVC MOS 3.3 8mA ドライブ, slow	2.50	2.67	2.83	ns
LVC MOS33_12mA	LVC MOS 3.3 12mA ドライブ, slow	1.72	1.88	2.05	ns
LVC MOS33_16mA	LVC MOS 3.3 16mA ドライブ, slow	1.64	1.63	1.62	ns
LVC MOS33_20mA	LVC MOS 3.3 20mA ドライブ, slow	1.33	1.36	1.39	ns

LVC MOS25_4mA	LVC MOS 2.5 4mA ドライブ , slow	2.18	2.26	2.33	ns
LVC MOS25_8mA	LVC MOS 2.5 8mA ドライブ, slow	2.19	2.35	2.51	ns
LVC MOS25_12mA	LVC MOS 2.5 12mA ドライブ, slow	1.50	1.68	1.82	ns
LVC MOS25_16mA	LVC MOS 2.5 16mA ドライブ, slow	1.60	1.59	1.58	ns
LVC MOS25_20mA	LVC MOS 2.5 20mA ドライブ, slow	1.43	1.39	1.34	ns
LVC MOS18_4mA	LVC MOS 1.8 4mA ドライブ, slow	2.22	2.27	2.32	ns
LVC MOS18_8mA	LVC MOS 1.8 8mA ドライブ, slow	1.93	2.08	2.23	ns
LVC MOS18_12mA	LVC MOS 1.8 12mA ドライブ, slow	1.43	1.51	1.58	ns
LVC MOS18_16mA	LVC MOS 1.8 16mA ドライブ, slow	1.47	1.46	1.45	ns
LVC MOS15_4mA	LVC MOS 1.5 4mA ドライブ, slow	2.32	2.38	2.43	ns
LVC MOS15_8mA	LVC MOS 1.5 8mA ドライブ, slow	1.84	1.98	2.12	ns
LVC MOS12_2mA	LVC MOS 1.2 2mA ドライブ, slow	2.52	2.63	2.74	ns
LVC MOS12_6mA	LVC MOS 1.2 6mA ドライブ, slow	1.69	1.83	1.96	ns
PCI33	PCI33	0.04	0.04	0.04	ns

1 タイミング加算値はキャラクタライズされているが、全デバイスはテストしていない

2 LVC MOS タイミングは“スイッチングテスト条件”表に規定される負荷条件にて測定

3 他の全ての標準はそれぞれの適切な仕様による

4 これらタイミング加算値は推奨抵抗値で測定

Timing v.A 0.11

sysCLOCK GPLL タイミング

推奨動作条件にわたって

パラメータ	記述	条件	Min.	Typ.	Max.	単位
f _{IN}	入力クロック周波数(CLKI、CLKFB)	外部コンデンサなし	20	–	420	MHz
		外部コンデンサあり ^{5, 6}	2	–	420	MHz
f _{OUT}	出力クロック周波数(CLKOP、CLKOS)	外部コンデンサなし	20	–	420	MHz
		外部コンデンサあり ⁵	5	–	50	MHz
f _{OUT2}	K分周器出力周波数(CLKOK)	外部コンデンサなし	0.195	–	210	MHz
		外部コンデンサあり ⁵	0.039	–	25	MHz
f _{VCO}	PLL VCO周波数		640	–	1280	MHz
f _{PFD}	位相検出器入力周波数	外部コンデンサなし	20	–	420	MHz
		外部コンデンサあり ^{5, 6}	2	–	50	MHz
AC特性						
t _{DT}	出力クロック・デューティサイクル	選択されるデフォルト・デューティサイクル ³	45	50	55	%
t _{PH} ⁴	出力位相精度		–	–	+/-0.05	UI
t _{OPJIT} ¹	出力クロック周期ジッタ	100MHz ≤ f _{OUT}	–	–	+/-125	ps
		50MHz ≤ f _{OUT} < 100MHz	–	–	0.025	UIPP
		f _{OUT} < 50MHz	–	–	0.04	UIPP
t _{SK}	入力クロック対出力クロック・スキュー	N/M = 整数	–	–	+/-250	ps
t _W	出力クロック・パルス幅	90%または10%で	1	–	–	ns
t _{LOCK} ²	PLLロックイン時間	外部コンデンサなし	–	–	150	us
		外部コンデンサあり ⁵	–	–	500	us
t _{PA}	プログラマブル遅延ユニット		85	130	360	ps
t _{IPJIT}	入力クロック周期ジッタ		–	–	+/-200	ps
t _{FBKDLY}	外部フィードバック遅延		–	–	10	ns
t _{HI}	入力クロックHigh時間	90% ～ 90%	0.5	–	–	ns
t _{LO}	入力クロックLow時間	10% ～ 10%	0.5	–	–	ns
t _{RST}	RST信号パルス幅(RESETM, RESETK)		15	–	–	ns
	RST信号パルス幅(CNTRST)	外部コンデンサなし	500	–	–	ns
		外部コンデンサあり ⁵	20	–	–	us

1. ジッタサンプル数は 10,000, プライマリ出力をクリーンな基準クロックで取り込んだ場合

2. PLLリセットとダイナミックな遅延調整では、出力クロックは t_{LOCK} の後に有効

3. LVDS バッファを使用

4. CLKOP に対して

5. 外部コンデンサの値は 5.6nF+/-20%, NPO誘電体、セラミック・チップコンデンサ。1206タイプかそれ以下

6. $f_{OUT(max)} = f_{IN} * 10$ 、 $f_{IN} \leq 5\text{MHz}$ の場合

Timing v.A 0.11

sysCLOCK SPLL タイミング

推奨動作条件にわたって

パラメータ	記述	条件	Min.	Typ.	Max.	単位
f _{IN}	入力クロック周波数(CLKI、CLKFB)	外部コンデンサなし	33	－	420	MHz
		外部コンデンサあり ⁵	2	－	420	MHz
f _{OUT}	出力クロック周波数(CLKOP、CLKOS)	外部コンデンサなし	33	－	420	MHz
		外部コンデンサあり ⁵	5	－	50	MHz
f _{OUT2}	K分周器出力周波数(CLKOK)	外部コンデンサなし	0.258	－	210	MHz
		外部コンデンサあり ⁵	0.039	－	25	MHz
f _{VCO}	PLL VCO周波数		640	－	1280	MHz
f _{PFD}	位相検出器入力周波数	外部コンデンサなし	33	－	420	MHz
		外部コンデンサあり ⁶	2	－	50	MHz
AC特性						
t _{DT}	出力クロック・デューティサイクル	選択されるデフォルト・デューティサイクル ³	45	50	60	%
t _{PH} ⁴	出力位相精度		－	－	+/-0.05	UI
t _{OPJIT} ¹	出力クロック周期ジッタ	100MHz ≤ f _{OUT}	－	－	+/-125	ps
		50MHz ≤ f _{OUT} < 100MHz	－	－	0.025	UIPP
		f _{OUT} < 50MHz	－	－	0.04	UIPP
t _{SK}	入力クロック対出力クロック・スキュー	分周比 = 整数	－	－	+/-250	ps
t _W	出力クロック・パルス幅	90%または10%で	1	－	－	ns
t _{LOCK} ²	PLLロックイン時間	外部コンデンサなし	－	－	150	us
		外部コンデンサあり ⁵	－	－	500	us
t _{IPJIT}	入力クロック周期ジッタ		－	－	+/-200	ps
t _{FBKDLY}	外部フィードバック遅延		－	－	10	ns
t _{HI}	入力クロックHigh時間	90% ～ 90%	0.5	－	－	ns
t _{LO}	入力クロックLow時間	10% ～ 10%	0.5	－	－	ns
t _{RST}	RST信号パルス幅(RESETM, RESETK)		15	－	－	ns
		外部コンデンサなし	500	－	－	ns
		外部コンデンサあり ⁵	20	－	－	us

1. ジッタサンプル数は 10,000, プライマリ出力をクリーンな基準クロックで取り込んだ場合

2. PLLリセットとダイナミックな遅延調整では、出力クロックは t_{LOCK} の後に有効

3. LVDS パッファを使用

4. CLKOPのCLKOP に対する位相精度

5. PLLCAPピン外付けコンデンサの値は 5.6nF+/-20%, NPO誘電体、セラミック・チップコンデンサ。1206タイプかそれ以下のサイズ

6. $f_{OUT(max)} = f_{IN} * 10$, $f_{IN} \leq 5\text{MHz}$ の場合

Timing v.A 0.11

DLLタイミグ

推奨動作条件にわたって

パラメータ	記 述	Min.	Typ.	Max.	単位
f_{REF}	入力基準周波数（オンチップ、オフチップ）	100	–	500	MHz
f_{FB}	フィードバッククロック周波数（オンチップ、オフチップ）	100	–	500	MHz
f_{CLKOP}^1	CLKOP出力クロック周波数	100	–	500	MHz
f_{CLKOS}^2	CLKOS出力クロック周波数	25	–	500	MHz
f_{PJIT}	出力クロック周期ジッタ（クリーンな入力）		–	250	ps p-p
t_{DCYJIT}	出力クロックサイクルジッタ（クリーンな入力）			250	ps p-p
t_{DUTY}	出力クロック・デューティサイクル（50%レベルにて。入力クロックは50%デューティ。時間基準遅延モード）	35	–	65	%
$t_{DUTYTRD}$	出力クロック・デューティサイクル（50%レベルにて。入力クロックは任意デューティ。時間基準遅延モード）	40	–	60	%
$t_{DUTYCIR}$	出力クロック・デューティサイクル（50%レベルにて。入力クロックは任意デューティ。クロックインジェクション除去モード）	40	–	60	%
t_{SKEW}^3	同一位相に設定した2クロック出力間のスキュー	–	–	100	ps
t_{PWH}	入力クロック最小High時間（80%レベル）	750	–	–	ps
t_{PWL}	入力クロック最小Low時間（20%レベル）	750	–	–	ps
t_R, t_F	入力クロック立ち上がり・立ち下がり時間（20%と80%レベル）	–	–	1	ps
t_{INSTB}	入力クロック周期ジッタ	–	–	+/-250	ps
t_{LOCK}	DLLロック時間（入力はLOCKがアサートまで安定）	18,500	–		サイクル
t_{RSWD}	デジタルリセット最小パルス幅（80%レベル）	3	–	–	ns
t_{PA}	遅延ステップサイズ	16.5	42	59.4	ps
t_{RANGE1}	一遅延ブロックあたりの最大遅延設定（144タップ）	2.376	6	8.553	ns
t_{RANGE4}	4遅延ブロック従属接続時の最大遅延設定	9.504	24	34.214	ns

1. CLKOPは入力周波数と同一

2. 最小CLKOS周波数は4分周して得る

3. これは“バスマッチング”設計のガイドラインを意図しており、測定可能な機能ではない

Timing v.A 0.11

SERDES高速データ・トランスミッタ¹ (LatticeECP2Mファミリのみ)

表3-7 シリアル出力タイミングとレベル

シンボル	記 述	周波数	Min.	Typ.	Max.	単位
V _{TX-DIFF-P-P-0}	差動振幅 (1.25V設定) ^{1,2}	0.25~3.125Gbps	–	1.25		V, p-p
V _{TX-DIFF-P-P-1}	差動振幅 (1.4V設定) ^{1,2}	0.25~3.125Gbps	–	1.4		V, p-p
V _{TX-DIFF-P-P-4}	差動振幅 (1.0V設定) ^{1,2}	0.25~3.125Gbps	–	1.0		V, p-p
V _{TX-DIFF-P-P-7}	差動振幅 (1.2V設定) ^{1,2}	0.25~3.125Gbps	–	1.2		V, p-p
V _{OCM}	出力コモンモード電圧		–	0.8		V
T _{TX-R}	立ち上がり時間 (20%から80%)		–	70		ps
T _{TX-F}	立ち下がり時間 (80%から20%)		–	70		ps
Z _{TX-OI-SE}	出力インピーダンス50/70/HiZ kΩ (シングルエンド)		–	50/75/HiZ		Ω
RL _{TX-RL}	リターンロス (パッケージあり)		–	9		dB

1. すべての測定結果は50Ωインピーダンスでの値

2. バイナリの設定とmin-max範囲はテクニカルノートTN1124 (LatticeECP2/M SERDES/PCS Usage Guide)を参照。

表3-8 チャネル出力ジッタ (x10モード)

記 述	周波数	Min.	Typ.	Max.	単位
デターミニスティック・ジッタ	3.125Gbps	–	0.08	0.12	UI, p-p
ランダムジッタ	3.125Gbps	–	0.22	0.38	UI, p-p
トータルジッタ	3.125Gbps	–	0.33	0.43	UI, p-p
デターミニスティック・ジッタ	2.5Gbps	–	0.08	0.17	UI, p-p
ランダムジッタ	2.5Gbps	–	0.20	0.35	UI, p-p
トータルジッタ	2.5Gbps	–	0.25	0.35	UI, p-p
デターミニスティック・ジッタ	1.25Gbps	–	0.03	0.10	UI, p-p
ランダムジッタ	1.25Gbps	–	0.14	0.19	UI, p-p
トータルジッタ	1.25Gbps	–	0.17	0.24	UI, p-p
デターミニスティック・ジッタ	250Mbps	–	0.04	0.17	UI, p-p
ランダムジッタ	250Mbps	–	0.12	0.13	UI, p-p
トータルジッタ	250Mbps	–	0.15	0.29	UI, p-p

注: 測定はPRBS2⁷-1データ・パターンで、全チャネル動作、FPGAロジックを動作、SERDES周囲のI/Oは静止、基準周波数は10Xモード

表3-9 チャネル出力ジッタ (x20モード)

記 述	周波数	Min.	Typ.	Max.	単位
デターミニスティック・ジッタ	3.125Gbps	–	0.08	0.12	UI, p-p
ランダムジッタ	3.125Gbps	–	0.27	0.51	UI, p-p
トータルジッタ	3.125Gbps	–	0.35	0.59	UI, p-p
デターミニスティック・ジッタ	2.5Gbps	–	0.09	0.19	UI, p-p
ランダムジッタ	2.5Gbps	–	0.23	0.34	UI, p-p
トータルジッタ	2.5Gbps	–	0.29	0.45	UI, p-p
デターミニスティック・ジッタ	1.25Gbps	–	0.05	0.11	UI, p-p
ランダムジッタ	1.25Gbps	–	0.16	0.22	UI, p-p
トータルジッタ	1.25Gbps	–	0.20	0.28	UI, p-p

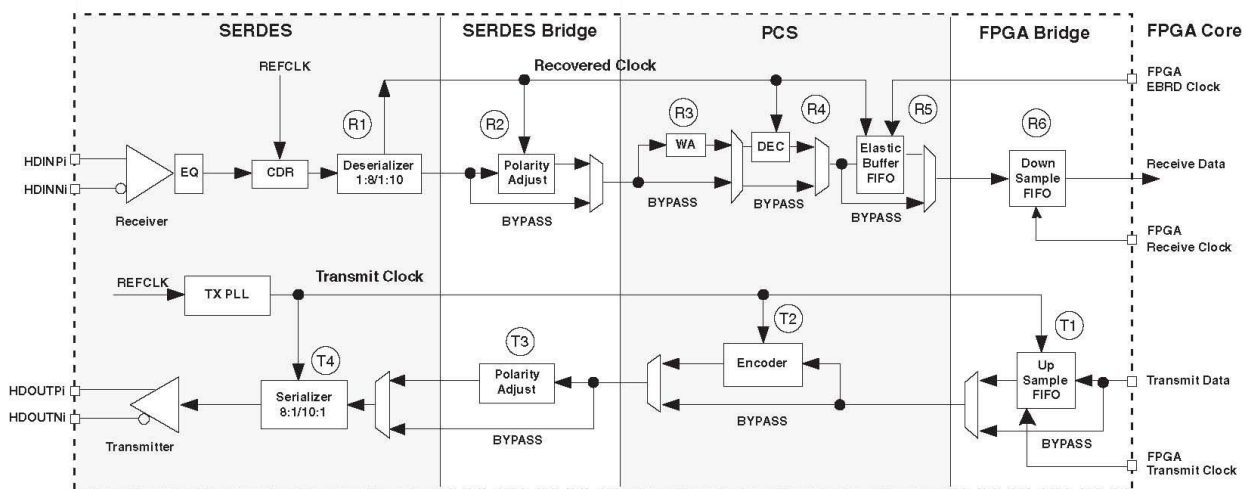
注: 測定はPRBS2⁷-1データ・パターンで、全チャネル動作、FPGAロジックを動作、SERDES周囲のI/Oは静止、基準周波数は20Xモード

表3-10 SERDES/PCS遅延の詳細 (パラレルクロック周期相当)

アイテム	記 述	Min.	平均	Max.	バイパス
送信データ遅延					
T1	FPGA Bridge Transmit	1	3	5	1
T2	8b10bエンコーダ	2	2	2	1
T3	SERDES Bridge Transmit	2	2	2	1
T4	シリアライザ(Serializer)			2.4	
受信データ遅延					
R1	デシリアライザ(Deserializer)			1.2	
R2	SERDES Bridge Receive	2	2	2	1
R3	ワードアライメント	4	4	4	0
R4	8b10bデコーダ	1	1	1	1
R5	クロックトレランス補償	7	15	23	1
R6	FPGA Bridge Receive	1	3	5	1

1. PCS内部パラレルクロック。レートはrxfullclkと同じ
2. FPGAブリッジの遅延値はアップサンプル/ダウンサンプルFIFOリード/ライトによって変わる。この野値は8b10bインターフェイスでのもの。アップサンプル/ダウンサンプルFIFOの深さは4。最短のリードは、ダウンサンプルFIFOがライトクロックサイクル(1クロック)後に行うことで可能。16b20bインターフェイスでは、数値は倍になる。即ちmin.=2、max=10。遅延は内部FIFOフラグ動作に依存する。
3. $\Delta 1=245\text{ps}$ 、 $\Delta 2=700\text{ps}$

図3-12 トランスミッタ/レシーバ・ブロック図



SERDES高速データ・レシーバ (LatticeECP2Mファミリのみ)

表3-11 シリアル入力データ仕様

シンボル	記 述	Min.	Typ.	Max.	単位
RX-CID _S	遷移のないストリーム長 ¹ (CID=Consecutive Identical Digits)、10 ⁻¹² BERにて		7 @3.125Gbps 20 @1.25Gbps		Bits
V _{RX-DIFF-S}	差動入力感度	100	–	–	mV, p-p
V _{RX-IN}	入力レベル	0	–	V _{CCRX} +0.8	V
V _{RX-CM-DC}	入力コモンモード範囲 (DC結合)	0.5	–	1.2	V
V _{RX-CM-AC}	入力コモンモード範囲 (AC結合) ³	0	–	1.5	V
T _{RX-RELOCK}	CDR再ロック時間 ²	–	–	3000	Bits
Z _{RX-TERM}	入力終端 50/70/HiZ Ω	–	50		Ω
RL _{RX-RL}	リターンロス、パッケージなし	–	9	–	dB

- これはDC結合を用いる場合、入力されるデータストリームに許容できる遷移のない連続ビット数
- これは8b/10bがデータを符号化したと想定した場合、新しい位相か周波数に+/- 300ppm以内で再ロックするビット時間の典型的な数である。CDRがアンロック状態にあるとき、或いはリセットが与えられたとき、トータルの再ロックまでの時間はアナログのセトリング時間とキャリブレーション時間、およびアクイジション時間を含めて約4msである
- LVPECLとLVDSへのインターフェイスにはAC結合が用いられる

入力データ・ジッタ耐性

入力される信号のジッタを許容するレシーバ能力は、ジッタタイプに非常に依存します。高速シリアルインターフェース標準ではジッタタイプへの依存性を認識し、最近特定のプロトコル(例えば、FCなど)に関連して、異なったジッタタイプごとの許容レベルを示すように仕様を修正しました。正弦波ジッタは最悪ケースのジッタタイプであると考えられます。

表3-12 レシーバ、トータルジッタ耐性仕様

記 述	周波数	条件	Min.	Typ.	Max.	単位
デターミニスティック・ジッタ	3.125Gbps	600mV差動アイ	–	–	0.54	UI, p-p
ランダムジッタ	3.125Gbps	600mV差動アイ	–	–	0.26	UI, p-p
トータルジッタ	3.125Gbps	600mV差動アイ	–	–	0.80	UI, p-p
デターミニスティック・ジッタ	2.5Gbps	600mV差動アイ	–	–	0.61	UI, p-p
ランダムジッタ	2.5Gbps	600mV差動アイ	–	–	0.22	UI, p-p
トータルジッタ	2.5Gbps	600mV差動アイ	–	–	0.81	UI, p-p
デターミニスティック・ジッタ	1.25Gbps	600mV差動アイ	–	–	0.53	UI, p-p
ランダムジッタ	1.25Gbps	600mV差動アイ	–	–	0.22	UI, p-p
トータルジッタ	1.25Gbps	600mV差動アイ	–	–	0.80	UI, p-p
デターミニスティック・ジッタ	250Mbps	600mV差動アイ	–	–	0.42	UI, p-p
ランダムジッタ	250Mbps	600mV差動アイ	–	–	0.10	UI, p-p
トータルジッタ	250Mbps	600mV差動アイ	–	–	0.60	UI, p-p

- 測定はPRBS2¹-1データ・パターンで、全チャネル動作、FPGAロジックを動作、SERDES周囲のI/Oは静止、電源電圧はTYP.、室温
- ジッタ規格は測定装置の性能により制約される

表3-13 レシーバ、周期ジッタ耐性仕様

記 述		条件	Min.	Typ.	Max.	単位
周期ジッタ	3.125Gbps	600mV 差動アイ	–	–	0.20	UI, p-p

周期ジッタ	2.5Gbps	600mV差動アイ	—	—	0.22	UI, p-p
周期ジッタ	1.25Gbps	600mV差動アイ	—	—	0.20	UI, p-p
周期ジッタ	250Mbps	600mV差動アイ	—	—	0.08	UI, p-p

1. 測定はPRBS2⁷-1データ・パターンで、全チャネル動作時
2. ジッタ規格は測定装置の性能により制約される

SERDES外部基準クロック（LatticeECP2Mファミリのみ）

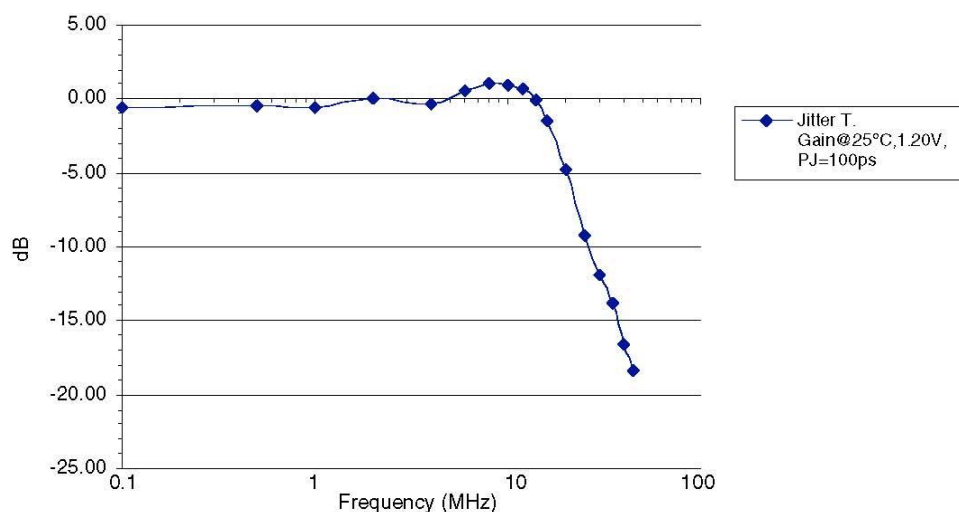
外部基準クロック選択とそのインターフェイスは、この製品のシステム・アプリケーションの重要な部分です。表3-14は動作条件の全範囲にわたって基準クロック要件を規定します。

表3-14 外部基準クロック仕様(refclkp/refclkn)

シンボル	記 述	Min.	Typ.	Max.	単位
F _{REF}	周波数範囲	25	—	320	MHz
F _{REF-PPM}	周波数許容値	-300	—	300	ppm
V _{REF-IN-SE}	入力振幅、シングルエンド・クロック ¹	100	—	1200	mV, p-p
V _{REF-IN}	入力レベル	0	—	V _{CCR_X} +0.8	V
V _{REF-CM-DC}	入力コモンモード範囲（DC結合）	0.5	—	1.2	V
V _{REF-CM-AC}	入力コモンモード範囲（AC結合） ²	0	—	1.5	V
D _{REF}	デューティサイクル ³	40	—	60	%
T _{REF-R}	立ち上がり時間（20%から80%）	—	500	1000	ps
T _{REF-F}	立ち下がり時間（80%から20%）	—	500	1000	ps
Z _{REF-IN-TERM}	入力終端	—	50/2k	—	Ω
C _{REF-IN-TERM}	入力容量 ⁴	—	—	1.5	pF

1. シングルエンド入力のクロックの信号振幅は、入力レシーバで同じ利得を得るために、差動入力クロック時のピーク・ツー・ピーク振幅と同じくらい大きくなければならない
クロックの小さい振幅になり得るが、その場合はジッタを増加させる傾向になる
2. AC結合の際、入力コモンモード範囲は以下で決まる： (Min入力レベル) + (ピーク・ツー・ピーク入力振幅)/2 ≤ (入力コモンモード電圧) ≤ (Max入力レベル) - (ピーク・ツー・ピーク入力振幅)/2
3. 50%の振幅で測定
4. 1.5pFの入力容量はデバイスとパッケージの両方を含む全静電容量

図3-13 ジッタトランスファ特性



Note: This graph is for a nominal device.

SERDESパワーダウン/パワーアップ仕様(LatticeECP2Mファミリのみ)**表3-15 パワーダウンとパワーアップ仕様**

シンボル	記 述	Typ.	単位
t _{PWRDN}	全パワーダウン・レジスタビットが '0' に設定されてからパワーダウンするまで	10	us
t _{PWRUP}	全パワーダウン・レジスタビットが '1' に設定されてからパワーアップするまで	100	us

PCI Express電氣的 / タイミング仕様**ACとDC特性****表3-16 送信^{1,2}**

シンボル	記述	テスト条件	Min.	Typ.	Max.	単位
UI	ユニットインターバル		399.88	400	400.12	ps
V _{TX-DIFF_P-P}	差動ピーク・ピーク出力電圧		0.8	1.0	1.2	V
V _{TX-DE_RATIO}	ディエンファシス差動出力電圧比		0	-3.5	-7.96	dB
V _{TX-CM-AC_P}	RMS ACピーク・コモンモード出力電圧		–	20	–	mV
V _{TX-CM-DC-LINE-DELTA}	n/pチャネル最大コモンモード電圧差		–	–	25	mV
V _{TX-DC-CM}	Tx DCコモンモード電圧		0	–	V _{CCOB} +5%	V
I _{TX-SHORT}	出力短絡時電流	V _{TX-D+} = 0.0V V _{TX-D-} = 0.0V	–	–	90	mA
Z _{TX-DIFF-DC}	差動出力インピーダンス		80	100	120	Ω
T _{TX-RISE}	Tx立ち上がり時間	20% ~ 80%	0.125	–	–	UI
T _{TX-FALL}	Tx立ち下がり時間	80% ~ 20%	0.125	–	–	UI
L _{TX-SKEW}	ポート/リンク内レーン間スタティック出力スキュー		–	–	1.3	ns
T _{TX-EYE}	トランスミッタ・アイ幅		0.75	–	–	UI
T _{TX-EYE-MEDIAN-TO-MAX-JITTER} ³			–	–	0.125	UI
C _{TX}	AC結合コンデンサ		75	–	200	nF

注 1. 値は2.5Gbpsで測定。 2. PCI 1.1に適合。 3. Measured at 60ps with plug-in board and jitter due to socket removed.

表3-17 受信²

シンボル	記述	テスト条件	Min.	Typ.	Max.	単位
UI	ユニットインターバル		399.88	400	400.12	ps
V _{RX-DIFF_P-P}	差動ピーク・ピーク入力電圧		0.175	–	–	V
V _{RX-IDLE-DET-DIFF_PP}	アイドル検出閾値		65	–	175	mV
Z _{RX-DIFF-DC}	DC差動入力インピーダンス		80	100	120	Ω
Z _{RX-DC}	DC入力インピーダンス		40	50	60	Ω
Z _{RX-HIGH-IMP-DC} ¹	パワーダウン時DC入力インピーダンス		200k	–	–	Ω
T _{RX-EYE}	レシーバ・アイ幅		0.4	–	–	UI
T _{RX-EYE-MEDIAN-TO-MAX-JITTER}			–	–	0.3	UI

注 1. レシーバに外部AC結合で測定。 2. 値は2.5Gbpsで測定。

表3-18 基準クロック

シンボル	記述	テスト条件	Min.	Typ.	Max.	単位
F_{REFCLK}	基準クロック周波数		–	100	–	ps
V_{CM}	入力コモンモード電圧		–	0.65	–	V
T_R/T_F	クロック入力立ち上がり/立ち下がり時間		–	–	1.0	mV
V_{SW}	差動入力電圧振幅		0.6	–	1.6	Ω
DC_{REFCLK}	入力クロックデューティサイクル		40	50	60	Ω
PPM	基準クロック許容値		-300	–	+300	ppm

LatticeECP2/M sysCONFIGポート・タイミング仕様

推奨動作条件にわたって

パラメータ	記 述	Min.	Max.	単位
sysCONFIGバイト・データフロー				
t _{SUCBDI}	バイトD[0:7]セットアップ時間、対CCLK	7	–	ns
t _{HCBDI}	バイトD[0:7]ホールド時間、対CCLK	1	–	ns
t _{CODO}	クロックからDout、フロースルー・モード	–	12	ns
t _{SUCS}	CS[0:1]セットアップ時間、対CCLK	7	–	ns
t _{HCS}	CS[0:1]ホールド時間、対CCLK	1	–	ns
t _{SUWD}	ライト信号セットアップ時間、対CCLK	7	–	ns
t _{HWD}	ライト信号ホールド時間、対CCLK	1	–	ns
t _{DCB}	BUSY遅延時間、対CCLK	–	12	ns
t _{CORD}	リード・データ出力、対クロック	–	12	ns
sysCONFIGバイト・スレーブ・クロック				
t _{BSCH}	バイト・スレーブ・クロック、最小Highパルス	6	–	ns
t _{BSCL}	バイト・スレーブ・クロック、最小Lowパルス	9	–	ns
t _{BSCYC}	バイト・スレーブ・クロック周期時間	15	–	ns
sysCONFIGシリアル(Bit)データフロー				
t _{SUSCDI}	DIセットアップ時間、対CCLK。スレーブ・モード	7		ns
t _{HSCLDI}	DIホールド時間、対CCLK。スレーブ・モード	1		ns
t _{CODO}	CCLKからDOUT、フロースルー・モード		12	ns
sysCONFIG シリアル・スレーブ・クロック				
t _{SSCH}	シリアル・スレーブ・クロック、最小Highパルス	6	–	ns
t _{SSCL}	シリアル・スレーブ・クロック、最小Lowパルス	6	–	ns
sysCONFIG POR, 初期化とウェイク・アップ				
t _{ICFG}	V _{CC} から INIT High 時間	–	28	ms
t _{VMC}	t _{ICFG} から有効なマスタ・クロックまでの時間	–	2	us
t _{PRGMRJ}	PROGRAMNピン・パルス拒絶（無効）	–	8	ns
t _{PRGM}	PROGRAMNピンLow入力からコンフィグレーション開始まで	25	–	ns
t _{DINIT}	遅延時間、PROGRAMNピン入力 High から INIT High	–	1	ms
t _{DPPINIT}	遅延時間、PROGRAMNピン入力 Low から INIT Low	–	37	ns
t _{DINITD}	遅延時間、PROGRAMNピン入力 Low から Done Low	–	37	ns
t _{ODISS}	PROGRAMNピン入力 Low からユーザI/O Disable	–	35	ns
t _{IOENSS}	起動シーケンス時、CCLKエッジからユーザI/Oがイネーブルされるまでの時間	–	25	ns
t _{MWC}	DoneピンHigh後の起動用マスタ・クロック数	120	–	サイクル
sysCONFIG SPI ポート				
t _{CFGX}	Init HighからCCLK Low	–	1	us
t _{CSSPI}	Init HighからCSSPIN Low	–	2	us
t _{SCCCLK}	CSSPIN Lowになる前のCCLK Low	0	–	ns
t _{SOCDO}	CCLK Lowからの出力が有効になるまで	–	15	ns
t _{SOE}	セットアップ時間、CSSPINアクティブ	300	–	ns
t _{CSPID}	セットアップ時間、CSSPIN Lowから最初のクロック・エッジ	300+3cyc	600+6cyc	ns

f_{MAXSPI}	SPI 用最大周波数、SPI リードコマンド0x03 (SPIFASTN=1)	-	20	MHz
	SPI 用最大周波数、SPI リードコマンド0x0B (SPIFASTN=0)	-	50	MHz
f_{SUSPI}	SOSPI データ・セットアップ時間、対CCLK	7	-	ns
f_{HSPI}	SOSPI データ・ホールド時間、対CCLK	2	-	ns

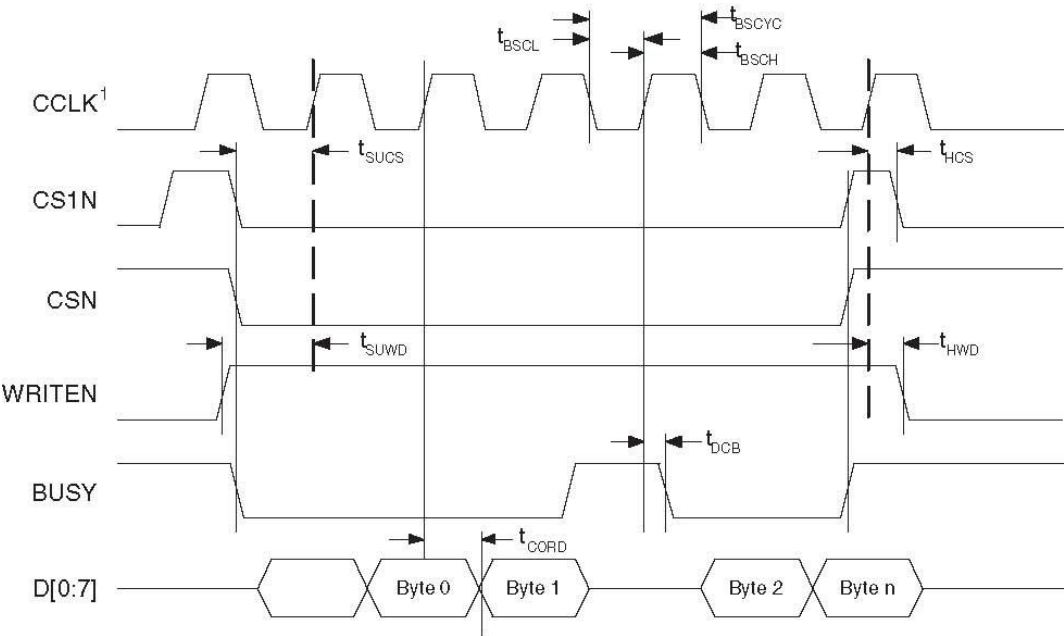
- 1. INITピンがHighになる前にPROGRAMNピンをトグルすることは許容されていませんので、避けなければなりません。
- 2. SEDには、SEDCLKIN動作周波数が20MHz以上でなければなりません。SEDCLKINがマスタクロックから得られると周波数には+/-30%のバラつきがあります。

Timing v.0.11

パラメータ	Min.	Max.	単位
マスタクロック周波数	選択値の-30%	選択値の30%	MHz
デューティサイクル	40	60	%

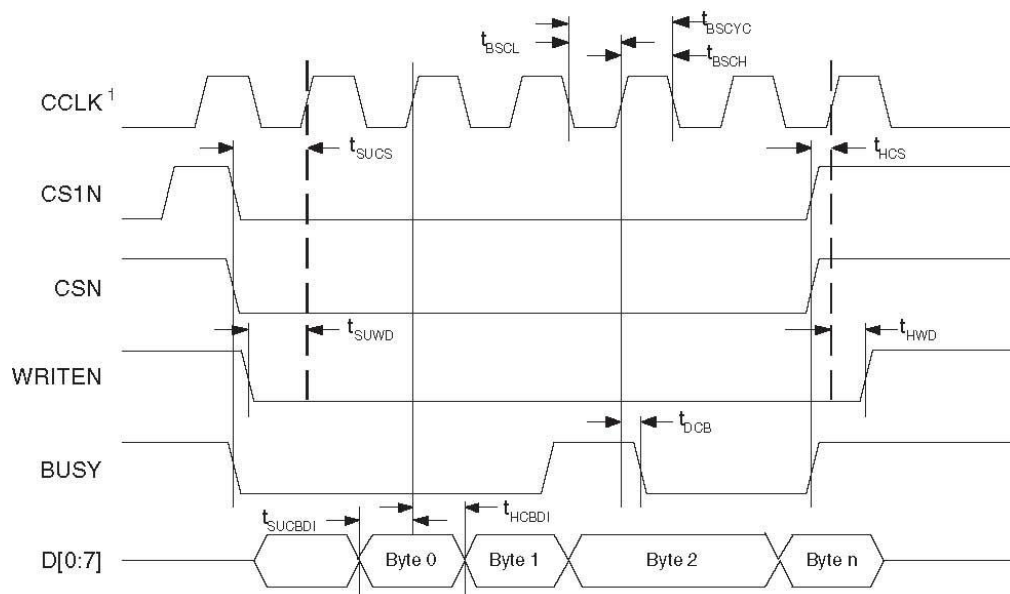
Timing v.A 0.11

図3-14 sysCONFIG パラレルポート・リードサイクル



1. In Master Parallel Mode the FPGA provides CCLK. In Slave Parallel Mode the external device provides CCLK.

図3-15 sysCONFIGパラレルポート、ライトサイクル



1. In Master Parallel Mode the FPGA provides CCLK. In Slave Parallel Mode the external device provides CCLK.

図3-16 sysCONFIGスレーブ、シリアルポート・タイミング

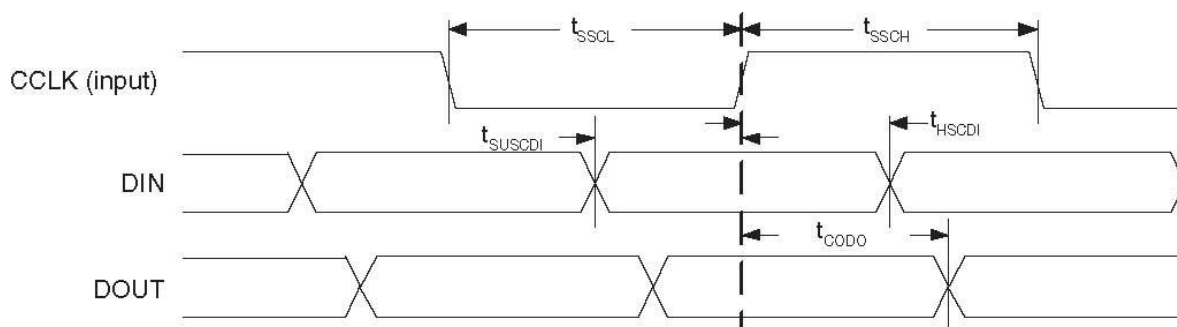
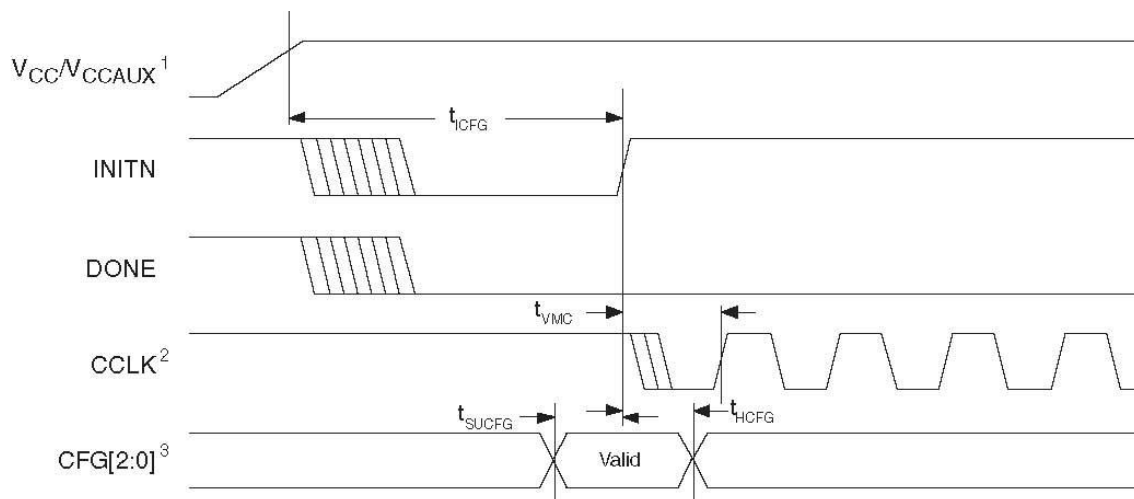
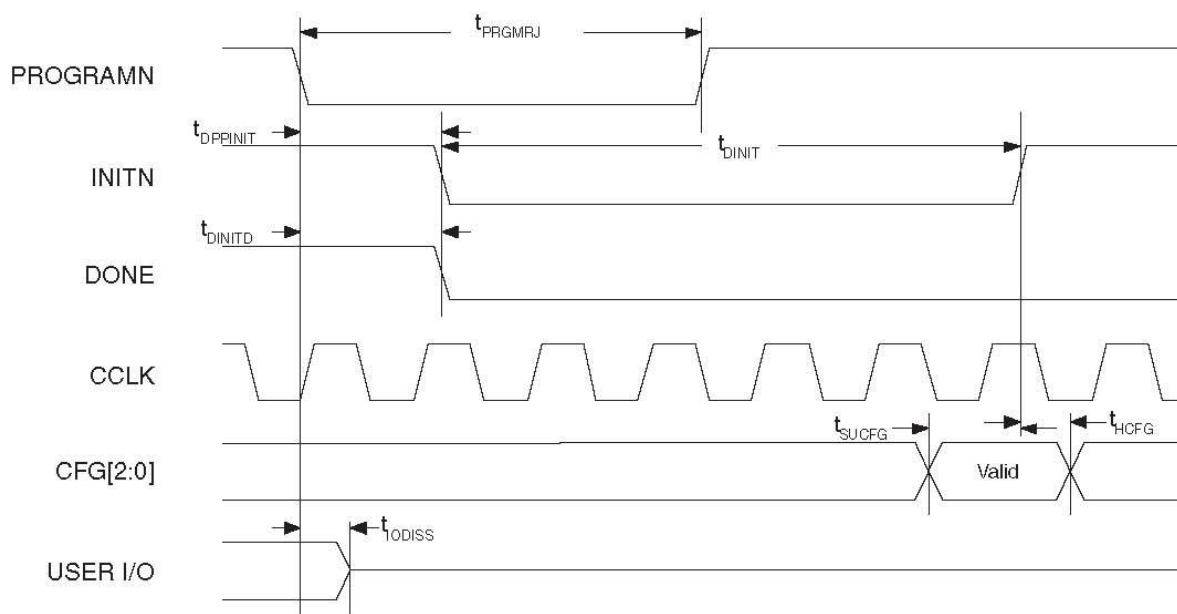


図3-17 パワーオンリセット (POR) タイミング



1. Time taken from V_{CC} or V_{CCAUX} , whichever is the last to reach its V_{MIN} .
2. Device is in a Master Mode.
3. The CFG pins are normally static (hard wired).

図3-18 PROGRAMN ピンからのコンフィグレーションのタイミング



1. The CFG pins are normally static (hard wired)

図3-19 ウェイクアップ・タイミング

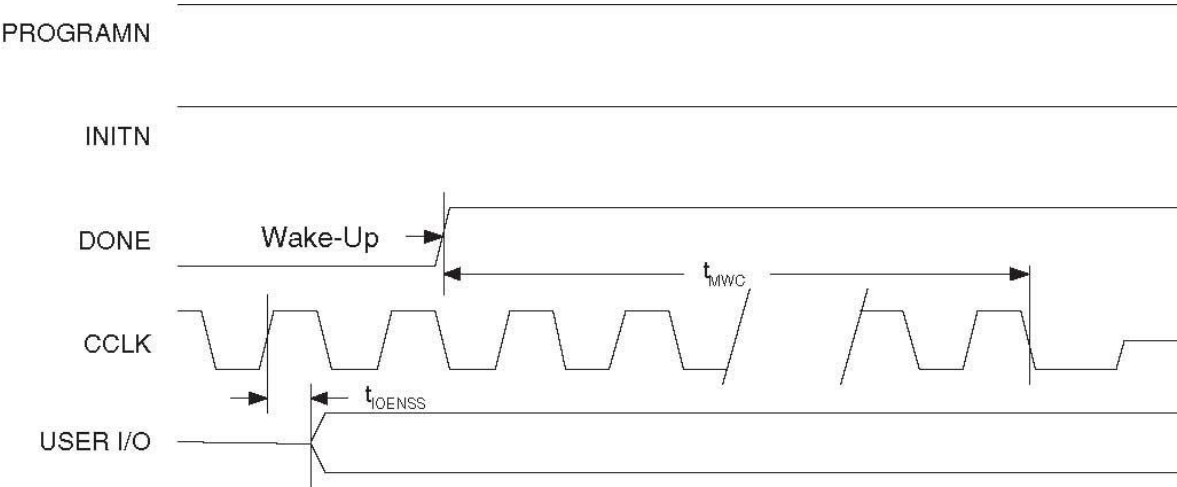
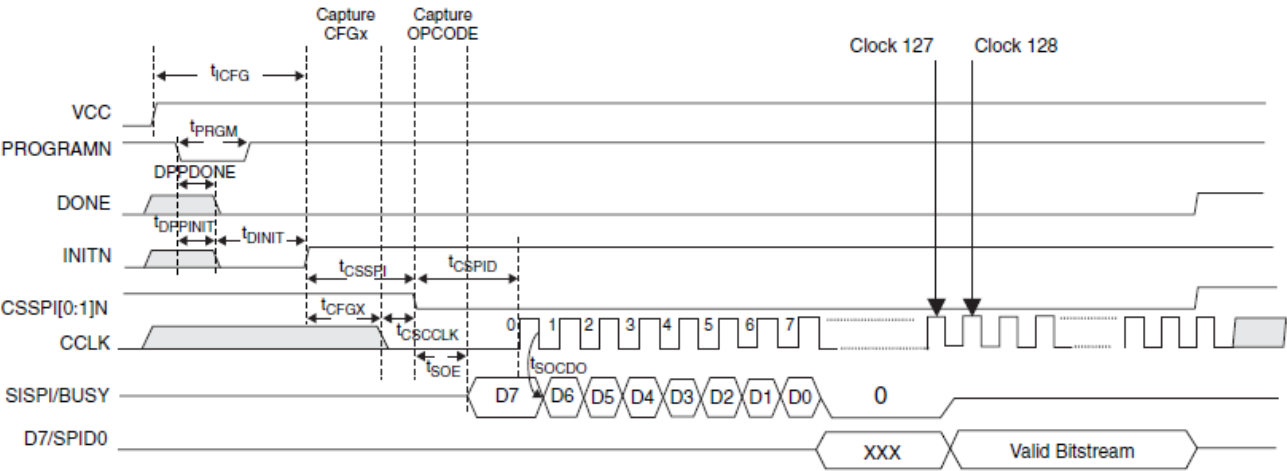


図3-20 SPI/SPIm コンフィグレーション波形



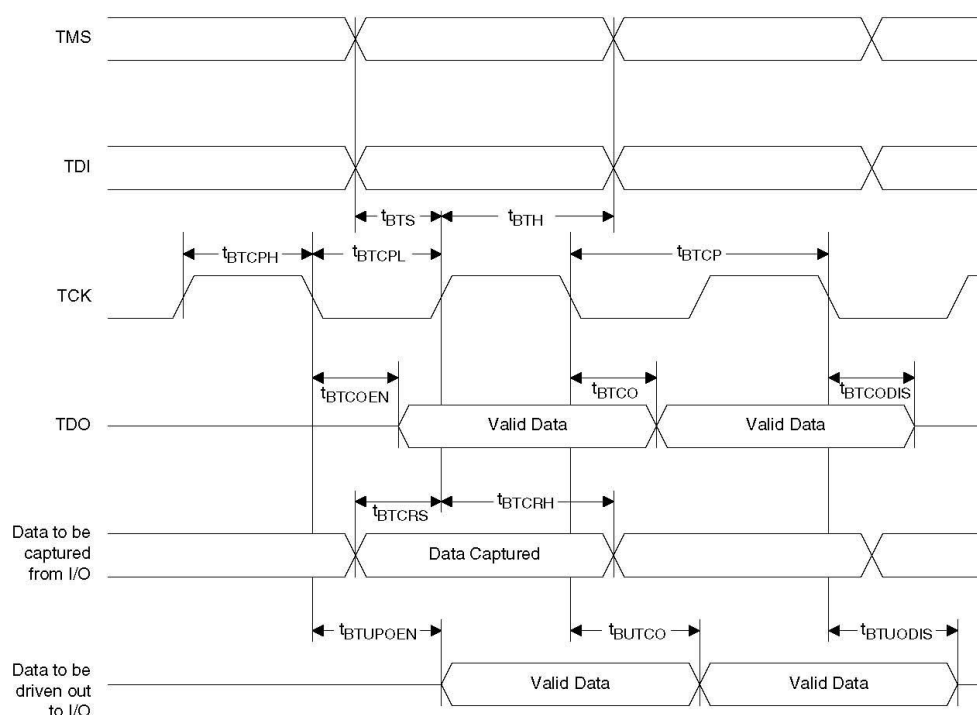
JTAGポート・タイミング仕様

推奨動作条件にわたって

シンボル	パラメータ	Min.	Max.	単位
f_{MAX}	TCK クロック周波数	–	25	MHz
t_{BTCP}	TCK [BSCAN] クロックパルス幅	40	–	ns
t_{BTCPH}	TCK [BSCAN] クロックパルス幅、High	20	–	ns
t_{BTCPL}	TCK [BSCAN] クロックパルス幅、Low	20	–	ns
t_{BTS}	TCK [BSCAN] セットアップ時間	8	–	ns
t_{BTH}	TCK [BSCAN] ホールド時間	10	–	ns
t_{BTRF}	TCK [BSCAN] 立ち上がり/立ち下がり時間	50	–	mV/ns
t_{BTCO}	TAP コントローラ、クロック立ち下がりエッジから有効出力	–	10	ns
$t_{BTCODIS}$	TAP コントローラ、クロック立ち下がりエッジから有効ディセーブル	–	10	ns
t_{BTCOEN}	TAP コントローラ、クロック立ち下がりエッジから有効イネーブル	–	10	ns
t_{BTCRS}	BSCAN テスト・キャプチャ・レジスタ、セットアップ時間	8	–	ns
t_{BTCRH}	BSCAN テスト・キャプチャ・レジスタ、ホールド時間	25	–	ns
t_{BUTCO}	BSCAN テスト・アップデート・レジスタ、クロック立ち下がりエッジから有効出力	–	25	ns
$t_{BTUODIS}$	BSCAN テスト・アップデート・レジスタ、クロック立ち下がりエッジから有効ディセーブル	–	25	ns
$t_{BTUPOEN}$	BSCAN テスト・アップデート・レジスタ、クロック立ち下がりエッジから有効イネーブル	–	25	ns

Timing v.A 0.11

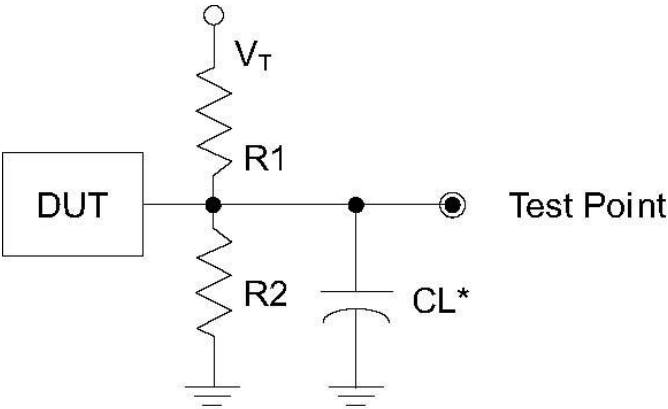
図3-21 JTAGポートタイミング波形



スイッチング・テスト条件

図3-23はACテストに用いられる出力テスト負荷を示します。抵抗、キャパシタンス、電圧、および他のテスト条件の特定の値は表3-18で示されます。

図3-22 出力テスト負荷、LVTTTLおよびLVCMOS標準



*CL Includes Test Fixture and Probe Capacitance

表3-19 テストフィクスチャの必要なコンポーネント、非終端インターフェイス

テスト条件	R_1	R_1	C_L	タイミング Ref.	V_T
LVTTTLと他のLVCMOS設定 (L -> H, H -> L)	∞	∞	0pF	LVCMOS 3.3 = 1.5V	-
				LVCMOS 2.5 = $V_{CCIO}/2$	-
				LVCMOS 1.8 = $V_{CCIO}/2$	-
				LVCMOS 1.5 = $V_{CCIO}/2$	-
				LVCMOS 1.2 = $V_{CCIO}/2$	-
LVCMOS 2.5 I/O (Z -> H)	∞	1M Ω		$V_{CCIO}/2$	-
LVCMOS 2.5 I/O (Z -> L)	1M Ω	∞		$V_{CCIO}/2$	V_{CCIO}
LVCMOS 2.5 I/O (H -> Z)	∞	100		$V_{OH} - 0.10$	-
LVCMOS 2.5 I/O (L -> Z)	100	∞		$V_{OL} + 0.10$	V_{CCIO}

注: 他の全てのインターフェイス用の出力テスト条件はそれぞれの標準で決定される

LatticeECP2/M ファミリデータシート

ピンアウト情報（共通部分のみ）

信号記述

信号名	I/O	記述
汎用		
P[Edge] [Row/Column Number*]_[A/B]	I/O	[Edge]はパッドがあるデバイスの端(エッジ)を示します。有効なエッジ名はL(左)、B(下)、R(右)、T(上)です。 [Row/Column Number]はデバイスのそのPICがあるPFU Row(列)かColumn(行)を示します。EdgeがTかBのときは、Row番号のみを明示する必要があります。EdgeがLかRのときは、Column番号のみを明示する必要があります。 [A/B]はパッドが接続されているPIC内のPIOを示します。これらユーザ・プログラマブルなピンのいくつかは特別な機能ピンと共有されます。専用ピンとして用いられない時は、ユーザロジックのためのI/Oとしてこれらのピンをプログラムすることができます。コンフィグレーションの間、内部プルアップ抵抗がイネーブルされた状態で、ユーザ・プログラマブルI/Oはトライステートにされます。また、どれかのピンが使用されていない(または、パッケージ・ピンにボンディングされていない)場合、コンフィグレーションの後に内部プルアップ抵抗がイネーブルした状態で、それはトライステートにされます。
GSRN	I	グローバル・リセット信号(Lowアクティブ)。どのI/OピンもGSRNにできません。
NC	—	非接続(NC)
GND	—	グラウンド。専用ピン
V _{CC}	—	コア・ロジックのための電源ピン。専用ピン
V _{CCAUX}	—	補助(Auxiliary)電源供給ピン。それは全ての差動と基準電圧を参照する入力バッファを動かします。専用ピン
V _{CCIOx}	—	I/Oバンクx用の電源供給ピン。専用ピン
V _{REF1(x)} , V _{REF2(x)}	—	I/Oバンクxのための参照電源供給ピン。V _{REF} 入力が割り当てられるピンは各バンクで予め決まっています。VREF入力として用いられないと、それらはI/Oピンとして用いることができます。
XRES	—	このパッドとグラウンドの間に10K ohm +/-1%抵抗を接続しなければなりません。
PLLCAP	—	PLL用の外部コンデンサ接続ピン。
PLLとクロック機能(PLLかクロック・ピンとして使用しない場合は、ユーザ・プログラマブルI/Oピンとして用いられます)		
[LOC][num]_V _{CCPLL}	I	PLLの電源供給ピン: ULM, LLM, URM, LRM, num = 中央からのrow,
[LOC][num]_GPLL[T, C]_IN_A	I	汎用PLL(GPLL)用基準クロック入力パッド: ULM, LLM, URM, LRM, num = 中央からのrow, T = true and C = complement, インデックスはそれぞれの側でA,B,C..
[LOC][num]_GPLL[T, C]_FB_A	I	オプションの汎用PLL(GPLL)用フィードバック(PLL)入力パッド: ULM, LLM, URM, LRM, num = 中央からのrow, T = true and C = complement, インデックスはそれぞれの側でA,B,C..
[LOC][num]_SPLL[T, C]_IN_A	I	標準PLL(SPLL)用基準クロック入力パッド: ULM, LLM, URM, LRM, num = 中央からのrow, T = true and C = complement, インデックスはそれぞれの側でA,B,C..
[LOC][num]_SPLL[T, C]_FB_A	I	オプションの標準PLL(SPLL)用フィードバック(PLL)入力パッド: ULM, LLM, URM, LRM, num = 中央からのrow, T = true and C = complement, インデックスはそれぞれの側でA,B,C..

[LOC][num]_DLL[T, C]_IN_A	I	DLL用クロック入力パッド: ULM, LLM, URM, LRM, num = 中央からのrow, T = true and C = complement, インデックスはそれぞれの側でA,B,C..
[LOC][num]_DLL[T, C]_FB_A	I	オプションのDLL用フィードバック入力パッド: ULM, LLM, URM, LRM, num = 中央からのrow, T = true and C = complement, インデックスはそれぞれの側でA,B,C..
PCLK[T, C]_[n:0]_[3:0]	I	プライマリクロック・パッド: T = true and C = complement, 辺あたりn個, インデックスはそれぞれのバンクで0,1,2,3
[LOC]DQS[num]	I	DQS入力パッド: T (Top), R (Right), B (Bottom), L (Left), DQS, num = ボール機能番号。
[LOC]DQ[num]	I	DQ入力パッド: T (Top), R (Right), B (Bottom), L (Left), DQS, num = ボール機能番号。
テストとプログラミング(専用ピン)		
TMS	I	テストモード選択入力。 1149.1 ステート・マシンを制御するために用いられる。コンフィグレーションの間、プルアップがイネーブルされる。
TCK	I	テストクロック入力ピン。 1149.1 ステート・マシンのクロックとして用いられる。プルアップはイネーブルされない。
TDI	I	テストデータ・ピン。 1149.1 ステート・マシンを用いて、デバイスヘデータをロードするために使用される。パワーアップの後、適切なコマンドを送ることによって、このTAPポートはコンフィグレーションのための動作をさせることができる。 (注: コンフィグレーション・ポートがいったん選択されると、それはロックされます。パワーアップ・シーケンスまで別のコンフィグレーション・ポートを選択することができない。)コンフィグレーションの間、プルアップがイネーブルされます。
TDO	O	出力ピン。テストデータ出力ピンは、 1149.1 によってデータをデバイスからシフトアウトするために用いられる。
V _{CCJ}	—	V _{CCJ} - JTAG TAPのための電源ピン。
コンフィグレーション・パッド(sysCONFIGの間、用いられる)		
CFG[2:0]	I	モード・ピンはINITNの立ち上がりエッジでラッチされ、コンフィグレーション・モード値を指定する。コンフィグレーションの間、プルアップがイネーブルされる。専用ピン。
INITN	I/O	オープンドレイン・ピン。FPGAが構成される準備ができているのを示す。コンフィグレーションの間、プルアップはイネーブルされる。専用ピン。
PROGRAMN	I	Lowにアサートされると、コンフィグレーション・シーケンスを開始する。このピンには、常にアクティブ・プルアップがある。専用ピン。
DONE	I/O	オープンドレイン・ピン。コンフィグレーション・シーケンスが完了し、スタートアップ・シーケンスが進行しているのを示す。専用ピン。
CCLK	I/O	sysCONFIGモードでFPGAを構成するためのコンフィグレーション・クロック。
BUSY/SISPI	I/O	SPIあるいはSPIImモードでのリード制御コマンド。
CSN	I	sysCONFIGチップセレクト(Lowアクティブ)。コンフィグレーションの間、プルアップはイネーブルされる。
CS1N	I	sysCONFIGチップセレクト(Lowアクティブ)。コンフィグレーションの間、プルアップはイネーブルされる。
WRITEN	I	パラレルポートへのライトデータ(Lowアクティブ)。
D[0]/SPIFASTN	I/O	パラレルモード、SPI及びSPIImモードではsysCONFIGのデータI/O。SPIやSPIImモードでは本ピンはフローティングにせず、必ずHighかLowにする。
D[1:6]	I/O	sysCONFIGポートのデータI/O。
D[7]/SPID0	I/O	パラレルモード、SPI及びSPIImモードでsysCONFIGのデータI/O。
DOOUT/CSN	O	sysCONFIGポートを用いる時のシリアル・コンフィギュレーション・データ出力(CCLKの立ち上がりエッジ)。

DI/CSSPIN	I/O	sysCONFIGポートを用いている時のシリアル・コンフィギュレーション・データ入力(CCLKの立ち上がりエッジ)。コンフィギュレーションの間、プルアップはイネーブルされる。SPI/SPI _m モードとして使用する場合は出力。
SERDES専用ピン¹²³		
[LOC]_SQ_VCCAUX33	—	終端抵抗のスイッチング電源(3.3V)
[LOC]_SQ_REFCLKN	I	基準クロック入力、負極性
[LOC]_SQ_REFCLKP	I	基準クロック入力、正極性
[LOC]_SQ_VCCP	—	PLLと入力クロックバッファの電源 (1.2V)
[LOC]_SQ_VCCIB _m	—	入力バッファの電源、チャンネル m (1.2V/1.5V)
[LOC]_SQ_VCCOB _m	—	出力バッファの電源、チャンネル m (1.2V/1.5V)
[LOC]_SQ_HDOU _{Nm}	O	高速出力、チャンネル m 負極性
[LOC]_SQ_HDOU _{Pm}	O	高速出力、チャンネル m 正極性
[LOC]_SQ_HDIN _{Nm}	I	高速入力、チャンネル m 負極性
[LOC]_SQ_HDIN _{Pm}	I	高速入力、チャンネル m 正極性
[LOC]_SQ_VCCT _{Xm} ⁴	—	トランスミッタ電源、チャンネル m (1.2V)
[LOC]_SQ_VCCR _{Xm} ⁴	—	レシーバ電源、チャンネル m (1.2V)

1. これらの信号はLatticeECP2Mファミリに関連する
2. mはクワッド内で関連するチャンネルを定義する
3. これらの信号はクワッド内で定義されており、[LOC]はSERDESクワッドが配置されているコーナーを示す:ULC(左上)、URC(右上)、LLC(左下)、LRC(右下)
4. これら供給電源ピンはデバイスに通常の電圧が加えられるべく設計されている。スイッチングするI/Oを周囲に配置する際の注意事項については次を参照のこと。TN1159 LatticeECP2/M Pin Assignment Recommendations.

個々のピン・信号配置については英語版データシートを参照して下さい。

日本語版改訂履歴

Ver.	ページ	更 新 内 容
2.8-J2		英語版2.8対応、2007年11月発行
3.2-J1	全般	英語版2.9～3.2各変更点に対応。アドバンスドD/S → データシート
	1-1, 1-2	セレクションガイドのECP2-70のEBRブロック数、ECP2M100の最大I/O数更新
	2-14	セカンダリクロック記述追加
	2-19	Read-Before-Writeモードの記述削除
	2-42, 3-12	表2-14にLVCMOS33D追加。DS25E項の後にその記述追加
	3-5	ECP2M スタンバイ電流表更新
	3-17	レジスタ間パフォーマンスの表からRead-Before-Writeモード削除
	3-19～36	各タイミング数値、バージョン Timing v.A 0.11（外部スイッチング仕様にECP2M50/70/100を追加。内部スイッチング仕様GPLL/SPLLパラメータ更新）
	3-29～30	図3-9, 3-10更新。図3-11 Read-Before-Write削除。以降図番全て繰り下げ
	3-37, 3-39	表3-8 ジッタ仕様値更新、表3-10入力レベルと再ロック時間更新、表11/12 250M値
	4-2	BUSY/SISPI記述修正。sysCONFIG/SPI関連ピンの記述を更新
3.2-J2	(タイポ修正)	表2-2 FCI、表2-12 OPOSx/NEGx タイプ、p.3-11 LVDS Vos-typ.値、p.3-16 MLVDS RTL値、など
3.4-J	2-14, 2-15	セカンダリクロック記述更新、図2-16差し替え
	3-38	表3-8 Tx ジッタ値更新(x10)。表3-9 Tx-J追加 (x20)。以降の表全部番号スライド。
	4-2	ピン記述表に DQ 追加
3.9J	(複数)	ispLEVER → Diamond
	2-1	最終行、SED記述削除
	2-46	SED節、記述更新
	3-2	ESD節追加
	(以下日本語版のみの3.4と3.9差分更新、およびタイポ修正)	
	(複数)	図番2章の2-21以降ズレ (タイポ) 修正
	2-45	バウンダリスキャン節、最終パラグラフ記述更新
	3-3など	表の脚注更新：該当ページ数は3-3, 3-6, 3-7, 3-8上, 3-38, 3-39上と中, 3-40上, 3-41中と下, 3-44
	3-37	表3-8, 3-9タイトルを更新
	3-41	表3-15値を更新