

LatticeECP/ECファミリ

データシート

機能

- 幅広いロジック規模とパッケージのオプション
 - 1.5Kから32.8KのLUT4
 - 65～496 I/O
 - ロジック規模のマイグレーションをサポート
- sysDSPブロック (LatticeECPバージョン)
 - 高性能の積和演算機能
 - 4～8ブロック
 - 4～8個の36×36乗算器、または
 - 16～32個の18×18乗算器、または
 - 32～64個の9×9乗算器
- 組み込みメモリ (EBR) と分散メモリ
 - 18Kbits～535Kbits sysMEM 組み込みブロックRAM(EBR)
 - 最大131Kbitの分散メモリ (RAM)
 - 自由度の高いメモリ・リソース:
 - 分散メモリとブロック・メモリ
- 専用のDDRメモリ・サポート
 - DDR333(166MHz)までのインターフェイス実装に対応

- 自由度の高い入出力バッファ
 - プログラマブルなsysIOバッファは広範囲のインターフェイスをサポート
 - LVCMOS 3.3/2.5/1.8/1.5/1.2
 - LVTTTL
 - SSTL 3/2クラスI, II, SSTL18クラスI
 - HSTL 18クラスI, II, III, HSTL15クラスI, III
 - PCI
 - LVDS, Bus-LVDS, LVPECL
- sysCLOCK PLL
 - 1デバイスあたり最大4個のアナログPLL
 - クロックのてい倍、分周、および位相シフト
- システムレベル・サポート
 - IEEE標準1149.1バウンダリ・スキャン、およびispTRACY (内部組み込みのロジックアナライザ機能)
 - SPIブート・フラッシュ・インターフェイス
 - 1.2V電源
- 低コストFPGA
 - 主流のアプリケーションのために最適化された機能
 - 低コストのTQFPとPQFPパッケージ

表 1-1 LatticeECP/ECファミリ・セレクション・ガイド

デバイス	LFEC1	LFEC3	LFEC6 / LFECP6	LFEC10/ LFECP10	LFEC15/ LFECP15	LFEC20/ LFECP20	LFEC33/ LFECP33
PFU/PFF Row数	12	16	24	32	40	44	64
PFU/PFF Column数	16	24	32	40	48	56	64
PFU/PFF 総数	192	384	768	1280	1920	2464	5120
LUT サイズ (K)	1.5	3.1	6.1	10.2	15.4	19.7	32.8
分散 RAM (Kbits)	6	12	25	41	61	79	131
EBR SRAM (Kbits)	18	55	92	277	350	424	535
EBR SRAMブロック数	2	6	10	30	38	46	58
SysDSP ブロック*1	—	—	4	5	6	7	8
18x18 乗算器*1	—	—	16	20	24	28	32
V _{CC} 電圧 (V)	1.2	1.2	1.2	1.2	1.2	1.2	1.2
PLL 数	2	2	2	4	4	4	4
パッケージとI/O							
100-pin TQFP (14 x 14 mm)	67	67					
144-pin TQFP (20 x 20 mm)	97	97	97				
208-pin PQFP (28 x 28 mm)	112	145	147	147			
256-ball fpBGA (17 x 17 mm)		160	195	195	195		
484-ball fpBGA (23 x 23 mm)			224	288	352	360	360
672-ball fpBGA (27 x 27 mm)						400	400

1. LatticeECPデバイス(LFECPxx)のみ

イントロダクション

FPGAデバイスのLatticeECP/ECファミリは、低コストで主流のFPGA機能を提供するために最適化されました。最大性能と価値のために、LatticeECP(Economy Plus)FPGAのコンセプトは、効率的なFPGAファブリックを高速の専用機能を組み合わせるものです。このアプローチを実装するラティスの最初のファミリは、専用の高性能DSPブロックをオンチップで提供するLatticeECP-DSP(Economy Plus DSP)ファミリです。

LatticeEC(Economy)ファミリは、低コスト・ソリューションを達成するために、LatticeECPデバイスの専用機能ブロックを除いた汎用機能を全てサポートします。LatticeECP/EC FPGAファブリックは、低コストを念頭に設計着手されながら、すべての重要なFPGA要素を持っています。LUTベースのロジック、組み込み/分散メモリ、PLL、および主要なI/Oのサポート、専用のDDRメモリ・インターフェイス・ロジックも内蔵されており、ますますコスト重視のアプリケーションで一般的になっているこのメモリをサポートします。ラティスからのispLEVER設計ツールにより、大きい複雑なデザインも、LatticeECP/ECファミリを用いることで効率的に実装できます。標準的な論理合成ツール用に、LatticeECP/EC用ライブラリをサポートします。

ispLEVER[®]ツールはLatticeECP/ECデバイスにデザインを配置配線するために、論理合成ツール出力をフロア・プランニング・ツールからの制約と共に用います。ispLEVERツールは、タイミング検証のために、配線からタイミング情報を抽出して、デザインにバック・アノテートします。

ラティスは予め設計された多くのIP(Intellectual Property) ispLeverCOREモジュールをLatticeECP/ECファミリのために提供します。標準化されたブロックとしてこれらのIPを用いることによって、設計者は自らの設計独自な部分に集中することができ、生産性を上げることができます。

LatticeECP/ECファミリデータシート

アーキテクチャ

アーキテクチャ概要

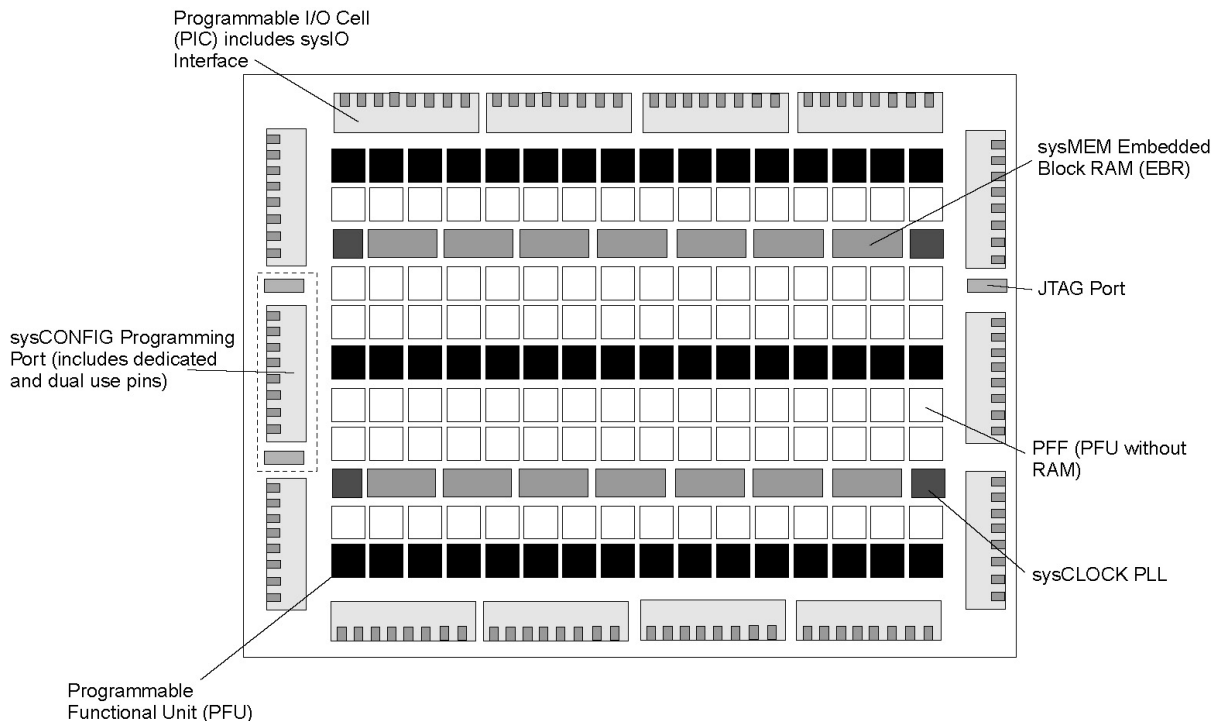
LatticeECP-DSPとLatticeECアーキテクチャはプログラマブルI/Oセル(PIC)によって囲まれた論理ブロックのアレイを含んでいます。論理ブロックの列の間に点在するのは、図2-1と図2-2で示されるsysMEM組み込みブロックRAM(EBR)の列です。さらに、LatticeECP-DSPは図2-2で示されるように追加のDSPブロック列をサポートします。

2種類の論理ブロック、プログラマブル・ファンクション・ユニット(PFU)、およびRAM/ROMなしのPFUユニット(PFF)があります。PFUはロジック、演算、RAM、ROM、およびレジスタ機能のためのビルディング・ブロックを含みます。PFFブロックはロジック、演算、およびROM機能のためのビルディング・ブロックを含んでいます。PFUとPFFブロックは共に、複雑なデザインを迅速にかつ効率的に実装できるように柔軟性が最適化されています。論理ブロックは2次元配列でアレンジされており、1つのタイプのブロックだけが列単位で用いられます。PFUブロックは外側の列で用いられています。コアの残りはPFUブロックの列が点在するPFFブロックの列から成ります。3列のPFFブロックごとにPFUブロックが1列あります。

各PICブロックはそれぞれのsysIOインターフェイスで2PIO(PIOペア)を取り囲みます。デバイスの左右のエッジにあるPIOペアは送受信LVDSペアとして構成することができます。sysMEM EBRは大きく、専用の高速メモリ・ブロックです。RAMかROMとしてそれらを構成することができます。

PFU、PFF、PIC、およびEBRブロックは図2-1で示されるように二次元格子の列とコラムで配置されます。ブロックは多くの縦方向と横方向の配線チャネルリソースに接続されます。配置配線ソフトウェア・ツールは自動的にこれらの配線リソースを割り当てます。

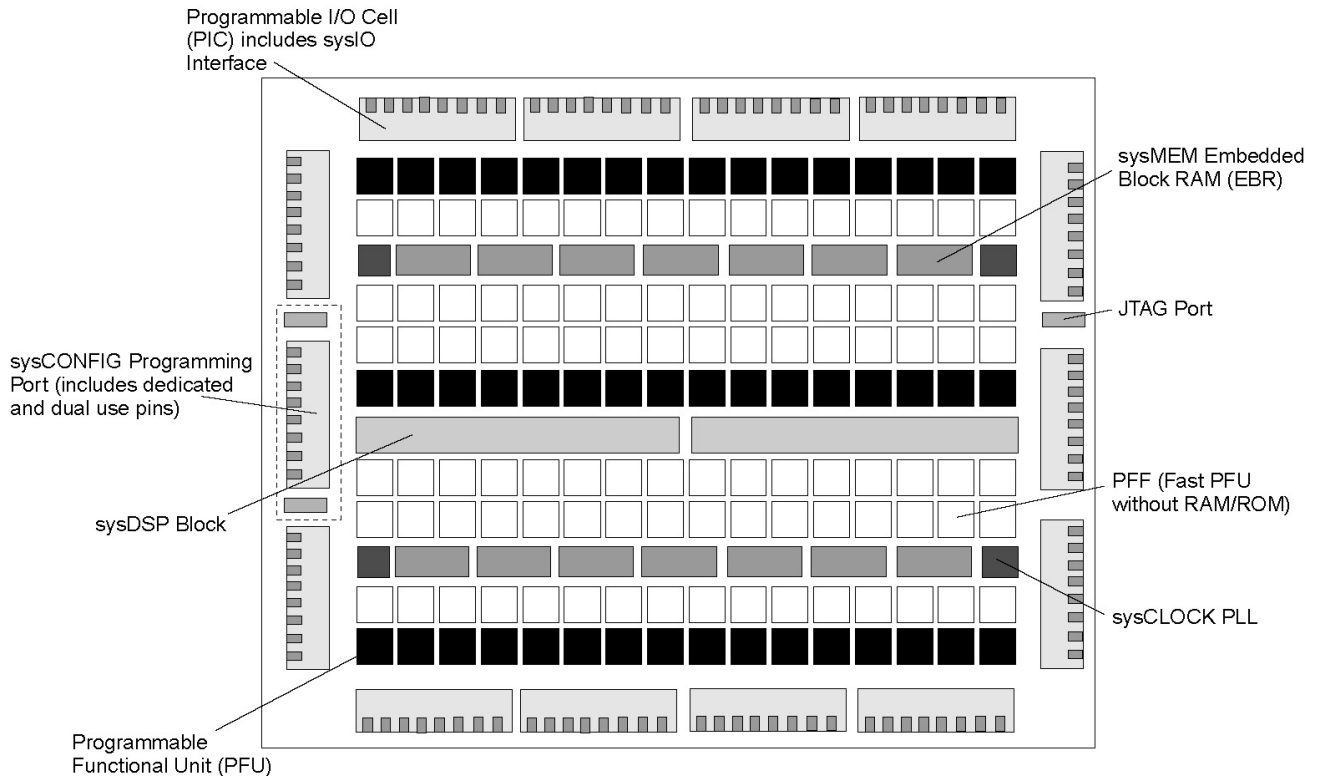
図2-1 LatticeECP/ECデバイスの簡略なブロック図(トップレベル)



sysMEMブロックを含む列の終わりに、sysCLOCK位相ロック・ループ(PLL)ブロックがあります。これらのPLLには10倍、分周、および位相シフトの能力があります。それらは、クロックの位相関係を管理するのに用いられます。LatticeECP/ECアーキテクチャは1デバイスあたり最大4個のPLLを提供します。

ファミリの全デバイスにはJTAGポートがあり、組み込むことができるロジック・アナライザ(ispTRACY)機能のアクセスにも用いられます。sysCONFIGポートはシリアルまたはパラレルのデバイス・コンフィグレーションを可能にします。LatticeECP/ECデバイスはそのコア電圧として1.2Vを用います。

図2-2 LatticeECP-DSPデバイスの簡略なブロック図(トップレベル)

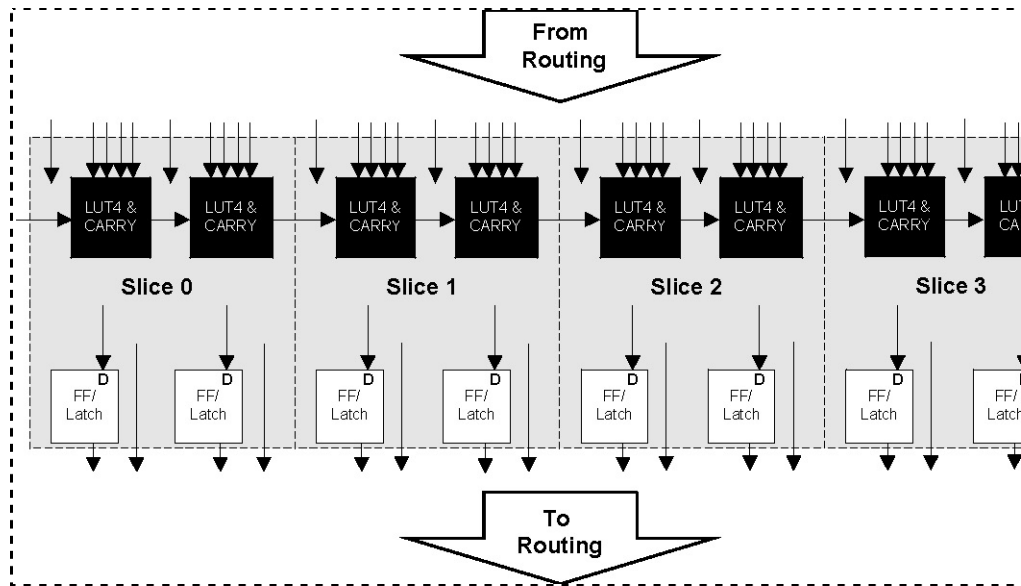


PFU / PFFブロック

LatticeECP/ECデバイスのコアはPFUとPFFブロックから成ります。PFUはロジック、演算、分散RAM、および分散ROM機能を実行するようにプログラムすることができます。PFFブロックはロジック、演算、およびROM機能を実行するようにプログラムすることができます。特に明記する場合を除いて、データシートの残りでは、PFUとPFFブロックの両方を示すのに用語PFUを用います。

それぞれのPFUブロックは、図2-3で示されるように0~3と番号付けられた4つの相互接続されたスライスから成ります。PFUブロックに出入りするすべての相互接続は配線（領域）から来ています。それぞれのPFUブロックに関連する53本の入力と25本の出力があります。

図2-3 PFUダイアグラム



スライス

各スライスは、2つのレジスタ(FFかLatchモードでプログラムされる)に接続する2個のLUT4ルックアップ・テーブルよりなり、さらにLUTがLUT5や、LUT6、LUT7およびLUT8などの機能を実行するために組み合わせられるようにする関連ロジックを含んでいます。セット/リセット機能(同期か非同期でプログラムできる)、クロック選択、チップセレクト、そしてより広いRAM/ROM機能を実行するための制御ロジックがあります。図2-4はスライスの内部ロジックの概観を示します。正/負の、そしてエッジ/レベル・クロック用にスライス内のレジスタを構成することができます。

スライスには14の入力信号があります。配線からの13本の信号と、キャリ・チェーンからの1本(隣接しているスライスかPFUから)です。7本の出力があります。配線への6本と(隣接しているPFUへの)キャリ・チェーンの1本です。表2-1は各スライスに関連している信号をリストアップします。

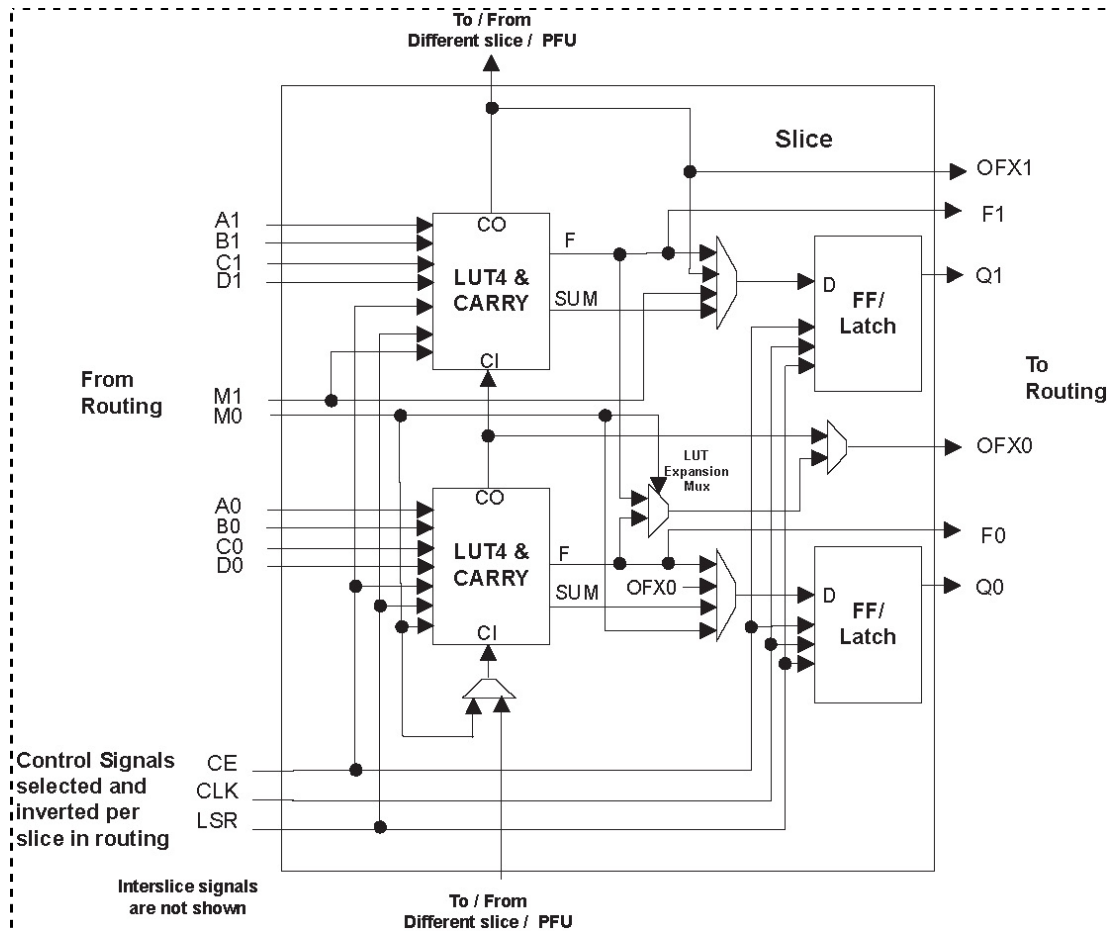
表2-1 スライス信号記述

機能	タイプ	信号名	記述
入力	データ信号	A0, B0, C0, D0	LUT4入力
入力	データ信号	A1, B1, C1, D1	LUT4入力
入力	複数用途	M0	複数用途入力
入力	複数用途	M1	複数用途入力
入力	制御信号	CE	クロック・イネーブル
入力	制御信号	LSR	ローカル・セット/リセット
入力	制御信号	CLK	システム・クロック
入力	PFU間信号	FCIN	高速キャリ入力 ¹
出力	データ信号	F0, F1	LUT4出力レジスタ・バイパス信号
出力	データ信号	Q0, Q1	レジスタ出力
出力	データ信号	OFX0	LUT5 MUX出力
出力	データ信号	OFX1	LUT6, LUT7, LUT8 ² MUX 出力、スライスに依存
出力	PFU間信号	FCO	最右PFU用の高速キャリ・チェーン出力 ¹

1. 接続の詳細については図2-3を参照。

2. 2 PFUが必要。

図2-4 スライス・ダイアグラム



動作モード

それぞれのスライスには4動作モードがあり、それはロジック、リップル、RAM、およびROMです。PFFのスライスはRAM以外の全モードができます。表2-2はモードとスライス・ブロックの機能をリストします。

表2-2 スライス・モード

	ロジック	リップル	RAM	ROM
PFU スライス	LUT 4x2 or LUT 5x1	2-bit 演算ユニット	SPR16x2	ROM16x1 x 2
PFF スライス	LUT 4x2 or LUT 5x1	2-bit 演算ユニット	N/A	ROM16x1 x 2

ロジック・モード: このモードで、各スライスにおけるLUTは、4入力の組み合わせルックアップ・テーブルとして構成されます。LUT4は16の可能な入力組み合わせを持つことができます。このルックアップ・テーブルをプログラムすることによって、4入力があるどんなロジック機能も生成することができます。1スライスあたり2個のLUT4があるので、1スライスでLUT5を組み立てることができます。他のスライスを連結することによって、LUT6や、LUT7、LUT8などのより大きいルックアップ・テーブルを構成することができます。

リップル・モード: リップル・モードは小さな演算機能の効率的な実装ができます。リップル・モードでは、各スライスは以下の機能を実装することができます。

- 2ビット加算
- 2ビット減算
- 動的な制御での2ビット加算・減算

- 2ビット・アップカウンタ
- 2ビット・ダウンカウンタ
- リップル・モード乗算器ビルディング・ブロック
- AとB入力のコンパレータ機能
 - AはBより等しいか大きい
 - AはBに等しくない
 - AはBより等しいか小さい

2つの追加信号。**Carry Generate**（キャリ生成）と**Carry Propagate**（キャリ伝播）はこのモードでスライス単位で生成され、スライスを連結することによって高速演算機能が構成できます。

RAMモード；このモードでは、16×1ビットのメモリとしてそれぞれのLUTブロックを用いることで、分散メモリ(RAM)を構成することができます。LUTとスライスの組み合わせで、さまざまな異なったメモリを構成することができます。

ラティス・デザインツールは種々異なるサイズのメモリ作成をサポートします。適切な場合、PFUの能力を示す分散メモリ・プリミティブを用いることで、ソフトウェアはこれらを構成します。表2-3は異なる分散メモリ(RAM)プリミティブを実装するのに必要なスライス数を示します。図2-5は分散メモリ・プリミティブ・ブロック図を示します。デュアルポート・メモリは2つのスライスの組み合わせにかかわっており、一方のスライスはリード・ライト・ポートとして機能します。もう片方のスライスは、リードオンリ・ポートをサポートします。LatticeECP/ECデバイスでRAMを用いる詳しい情報に関しては、テクニカル・ドキュメンテーション (TN1051)を参照してください。

図2-5 分散メモリ・プリミティブ

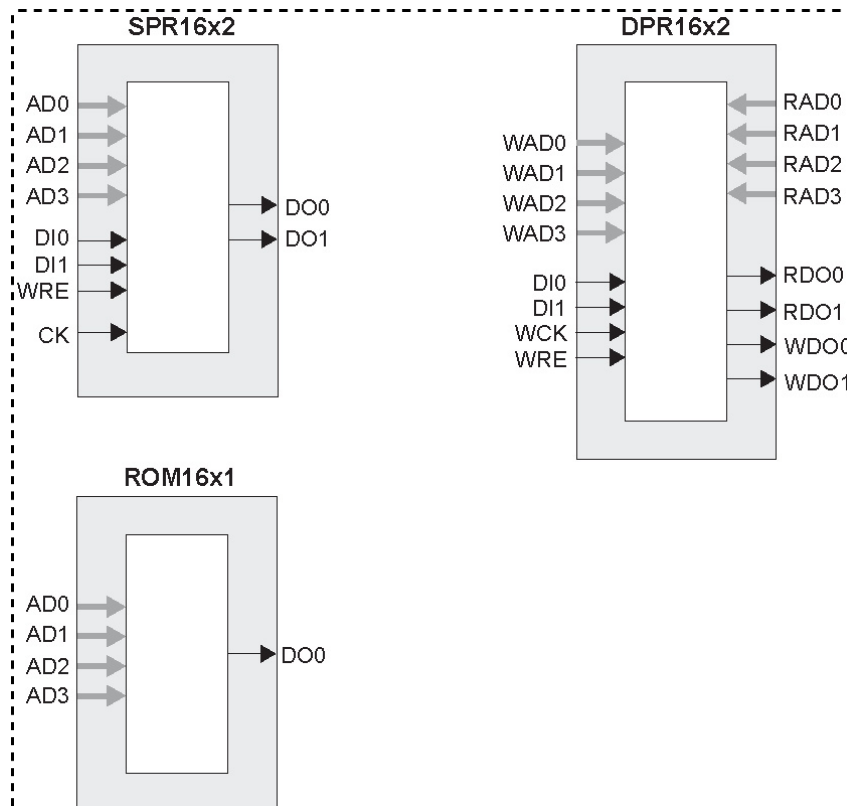


表2-3 分散RAMの実装に必要なスライス数

	SPR16x2	DPR16x2
スライス数	1	2

注: SPR = Single Port RAM, DPR = Dual Port RAM

ROMモード:ROMモードはライト・ポートを除いてRAMモードと同じ原則を用います。プリロードはコンフィグレーションの間、プログラミング・インターフェイスを通して達成されます。

PFU動作モード

より大きい機能を形成するためにPFU内でスライスを組み合わせることができます。表2-4はこれらのモードを表にしており、PFUレベルで可能な機能を記述します。

表2-4 PFU動作モード

ロジック	リップル	RAM ¹	ROM
LUT 4x8 or MUX 2x1 x 8	2-bit Add x 4	SPR16x2 x 4 DPR16x2 x 2	ROM16x1 x 8
LUT 5x4 or MUX 4x1 x 4	2-bit Sub x 4	SPR16x4 x 2 DPR16x4 x 1	ROM16x2 x 4
LUT 6x2 or MUX 8x1 x 2	2-bit Counter x 4	SPR16x8 x 1	ROM16x4 x 2
LUT 7x1 or MUX 16x1 x 1	2-bit Comp x 4		ROM16x8 x 1

1. このモードはPFFブロックにはない

配線

単独信号かバス信号として関連する制御信号と共に配線するための多くのリソースがLatticeECP/ECデバイスに用意されています。配線リソースはスイッチング回路、バッファ、およびメタル・インターコネクト(配線)セグメントから成ります。

PFU相互の接続は(2PFUにまたがる)x1ライン、(3PFUにまたがる)x2ライン、および(7PFUにまたがる)x6ラインで行われます。x1とx2接続は速くて効率の良い接続を横方向と縦方向に提供します。x2とx6リソースはバッファリングされ、PFU間に短い接続と長い接続配線を可能にします。

ispLEVERデザイン・ツールは、論理合成ツールの出力を取り込んで、デザインを配置配線します。デザインを最適化するために対話的な配線エディタが利用できますが、一般に配置配線ツールは完全に自動です。

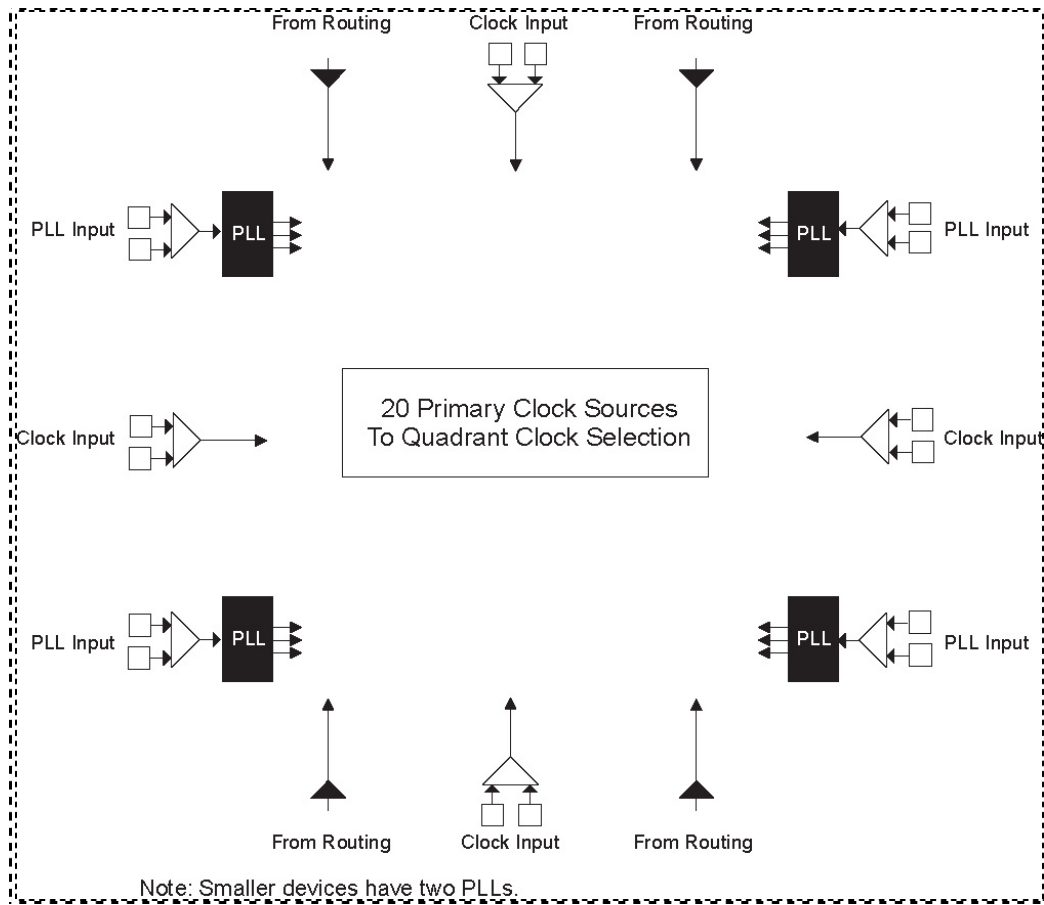
クロック分配ネットワーク

クロック入力 は外部I/O、sysCLOCK PLLまたは配線から選択されます。これらのクロック入力 はクロック分配システムを介してチップ全体に与えられます。

プライマリ・クロック・ソース

LatticeECP/ECデバイスは3プライマリ・ソースからクロックを得ます。それらはPLL出力、専用のクロック入力、および配線です。LatticeECP/ECデバイスは左右の側に位置する2~4個のsysCLOCK PLLを持っています。デバイスには計4本の専用クロック入力があり、それぞれの辺に一本あります。図2-6は20本のプライマリ・クロック・ソースを示します。

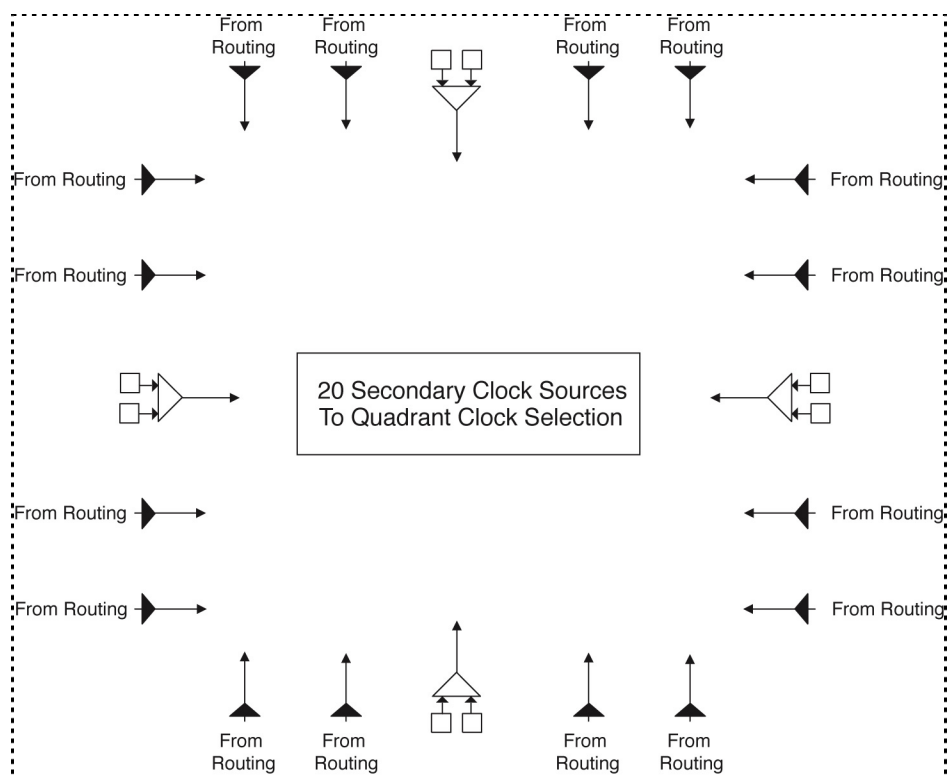
図2-6 プライマリ・クロック・ソース



セカンダリ・クロック・ソース

LatticeECP/ECデバイスはクワドラント（チップ内を4分割した領域）毎に4本のセカンダリ・クロック・ソースがあります。セカンダリ・クロックは全てのPFUに分岐タップがあります。これらセカンダリ・クロック・ネットワークは制御信号や高ファンアウトのデータ線にも使用することができます。セカンダリ・クロックは、4本のクロック入力パッドと16本の配線領域からの信号より得られ、図2-7に示されています。

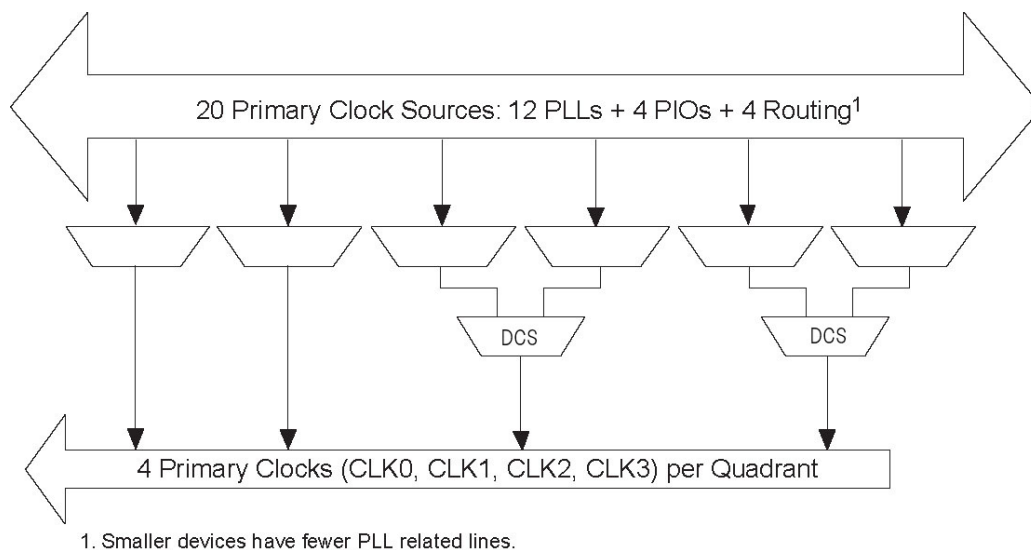
図2-7 セカンダリ・クロック・ソース



クロック配線

LatticeECP/ECデバイスにおけるクロック配線構造は、クワドラントごとに4本のプライマリ・クロック線と、1本のセカンダリ・クロック・ネットワークから成ります。プライマリ・クロックはそれぞれクワドラントに位置するマルチプレクサから生成されます。図2-8はこのクロック配線を示します。

図2-8 クワドラントあたりのプライマリ・クロック選択



4本のセカンダリ・クロックは図2-9に示されるように、各クワドラントにあるマルチプレクサから生成されます。各スライスは図2-10で示されるように、プライマリ・クロック・ライン、セカンダリ・クロック・ライン、および配線からクロックをもらいます。

図2-9 クワドラントあたりのセカンダリ・クロックの選択

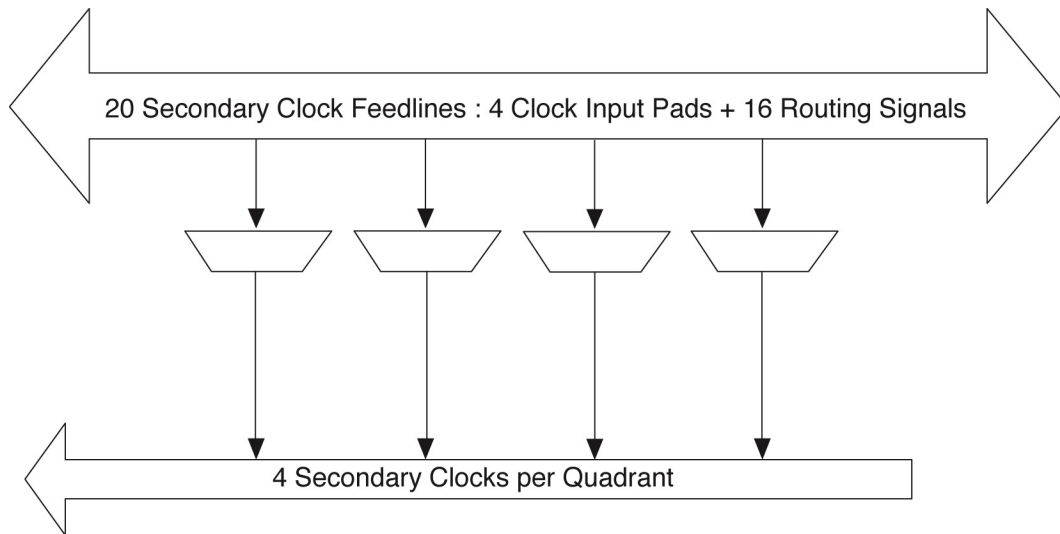
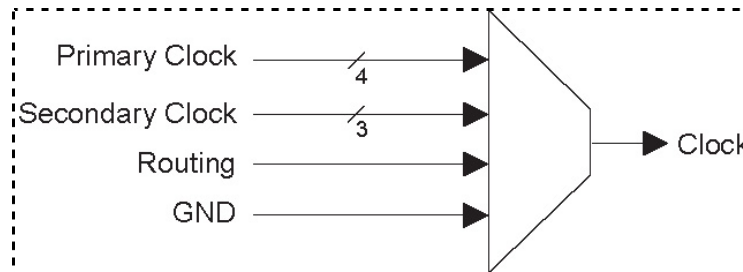


図2-10 スライスのクロック選択



sysCLOCK位相ロック・ループ(PLL)

PLLへのクロック入力、ピンか配線から入力クロック分周器に与えられます。フィードバック分周器へのフィードバック信号としては4つのソースがあります。これらはクロック・ネット、後段の分周器出力、配線、そして外部ピンです。VCOが入力クロック信号にロックしたことを示すために、PLL_LOCK信号があります。図2-11はsysCLOCK PLLダイアグラムを示します。

PLLのフィードバックか入力経路に遅延をプログラムすることによって、デバイスのセットアップとホールド時間を改良することができますが、これによって入力クロックに対し出力クロックを進めるかまたは遅らせるためです。この遅延は、コンフィグレーションの間プログラムするか、またはダイナミックに調整することができます。ダイナミックなモードでは、PLLは調整の後にロックを失い、 t_{Lock} パラメータが満たされるまで再ロックしないかもしれません。さらに、位相とデューティサイクル・ブロックで、ユーザはCLKOS出力の位相とデューティ比を調整できます。

sysCLOCK PLLはクロック周波数を合成する機能があります。各PLLには、それに関連する4つの分周器があり、それらは入力クロック分周器、フィードバック分周器、スカラの分周器とセカンダリ・クロック分周器です。入力クロック分周器は入力クロック信号を分周し、他方フィードバック分周器は $\frac{1}{N}$ 倍することに等価です。ポスト・スカラ分周器によりVCOがクロック出力より高い周波数で動作することを可能にし、その結果周波数範囲を増大させます。セカンダリ分周器は、より低い周波数出力を引き出すのに用いられます。

図2-11 PLL ダイアグラム

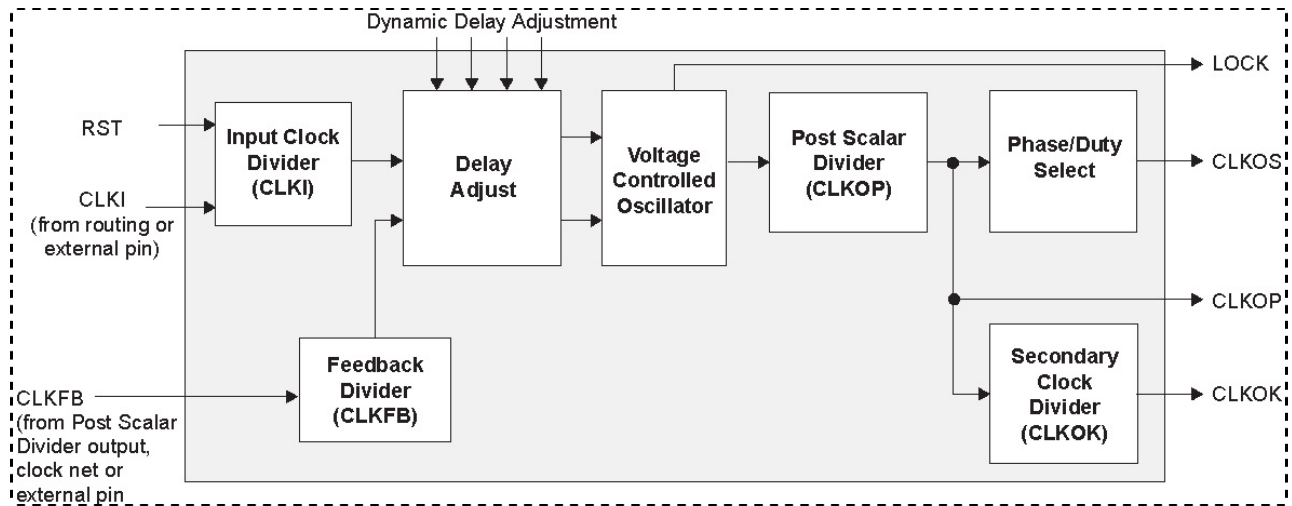


図2-12は利用できるPLLのマクロを示します。表2-5はPLLブロックの信号記述を与えます。

図2-12 PLL プリミティブ

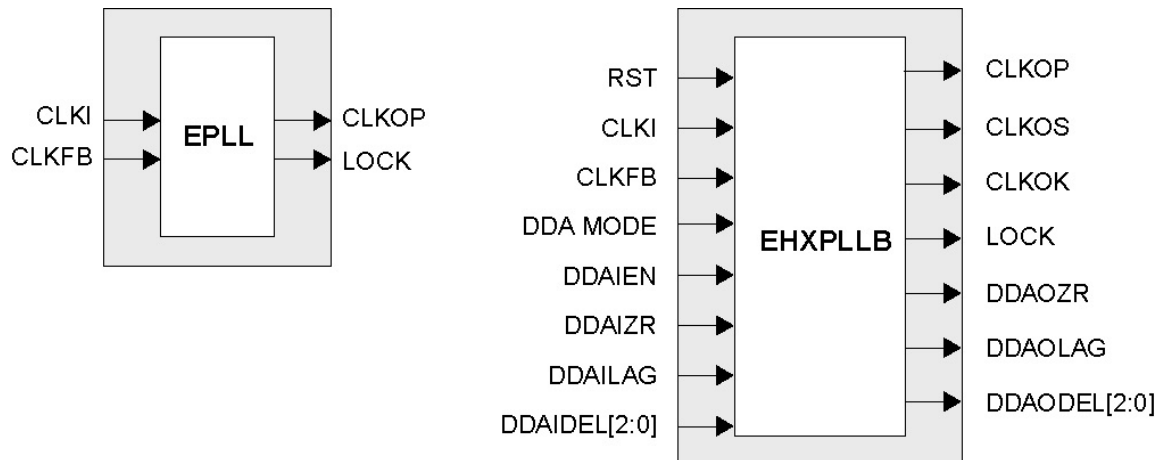


表2-5 PLL 信号記述

信号	I/O	記述
CLKI	I	クロック入力。外部ピンもしくは配線から
CLKFB	I	PLLフィードバック入力。PLL出力、クロックネット、配線、または外部ピンから
RST	I	“1” でクロック・ドライバをリセット
CLKOS	O	PLL出力クロック。クロックツリーへ (位相シフト、デューティ比可変)
CLKOP	O	PLL出力クロック。クロックツリーへ (位相シフトなし)
CLKOK	O	PLL出力。セカンダリ・クロック・ドライバを介してクロックツリーへ
LOCK	O	“1” でPLLがCLKIにロック
DDAMODE	I	ダイナミック遅延イネーブル。“1” ピン制御 (動的), “0”: フューズ制御 (静的)
DDAIZR	I	ダイナミック遅延ゼロ。“1”: 遅延 = 0, “0”: 遅延 = on
DDAILAG	I	ダイナミック遅延動的遅延。“1”: 遅れ (Lag)、“0”: 進み (Lead)
DDAIDEL[2:0]	I	ダイナミック遅延入力
DDAOZR	O	ダイナミック遅延ゼロ出力

DDAOLAG	O	ダイナミック遅延動的遅延 (Lag/Lead) 出力
DDAOEL[2:0]	O	ダイナミック遅延出力

PLLの詳しい情報に関しては、テクニカル・ドキュメンテーション (TN1049) を参照してください。

ダイナミック・クロック・セレクト(DCS)

DCSはマルチプレクサ機能のついたグローバル・クロック・バッファです。グリッチや細ったパルスを出す事なしに2クロック入力から1出力を選択します。これはクロック信号がどこでトグルするかに係わらず行われます。デバイス内には8つのDCSブロックがあり、各辺の中央に2つの組で配置されています。図2-13はDCSマクロ・ブロックを示します。

図2-13 DCSブロック・プリミティブ

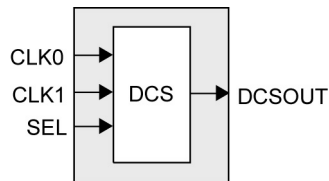
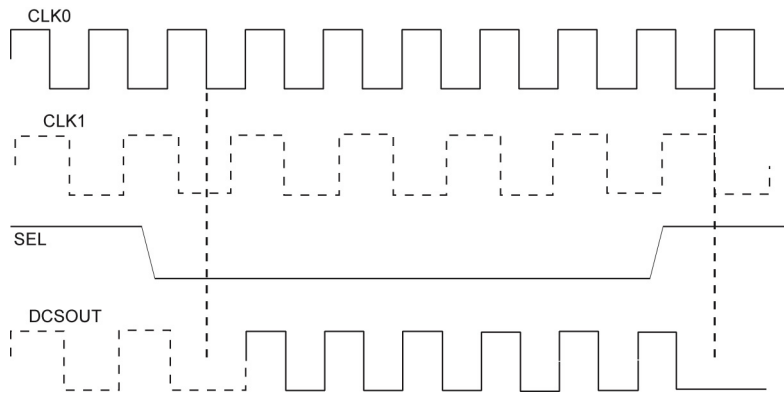


図2/14はデフォルト・モード時のDCSのタイミング波形を示します。DCSは他の動作モードにも設定できます。DCSの詳しい情報に関しては、テクニカル・ドキュメンテーション (TN1049) を参照してください。

図2-14 DCS波形



sysMEMメモリ

LatticeECP/ECファミリのデバイスは多くのsysMEM組み込みブロックRAM(EBR)を持っています。EBRは専用の入出力レジスタがある9kビットのRAMから成ります。

sysMEMメモリ・ブロック

sysMEMブロックはシングルポート、デュアルポートまたは疑似デュアルポート・メモリを実装することができます。表2-6に示されるようにさまざまな深さと幅で各ブロックを用いることができます。

表2-6 sysMEMブロック・コンフィグレーション

メモリ・モード	構成
シングルポート	8,192 x 1 4,096 x 2 2,048 x 4 1,024 x 9 512 x 18 256 x 36
真のデュアルポート	8,192 x 1 4,096 x 2 2,048 x 4 1,024 x 9 512 x 18
擬似デュアルポート	8,192 x 1 4,096 x 2 2,048 x 4 1,024 x 9 512 x 18 256 x 36

バス・サイズ・マッチング

多ポート・メモリ・モードのすべてがそれぞれの異なるポート幅をサポートします。RAMビットはWord0のLSBからMSBへ、Word1のLSBからMSBへというように配置されます。ワード長とワード数はポートごとに異なりますが、このマッピング体系は各ポートに適用されます。

RAMの初期化とROM動作

望む場合、デバイス・コンフィグレーションの際に、RAMの内容をプリロードすることができます。チップ・コンフィグレーション・サイクルの間、RAMブロックをプリロードし、書き込み制御をディセーブル（不許可）することで、sysMEMブロックはまた、ROMとして利用することができます。

メモリの連結

EBR sysMEMブロックを用いることで、より大きくて、より深いRAMブロックを作成することができます。通常、ラティス・デザインツールは特定の設計への入力に基づいて透過的に（暗黙に）メモリを連結します。

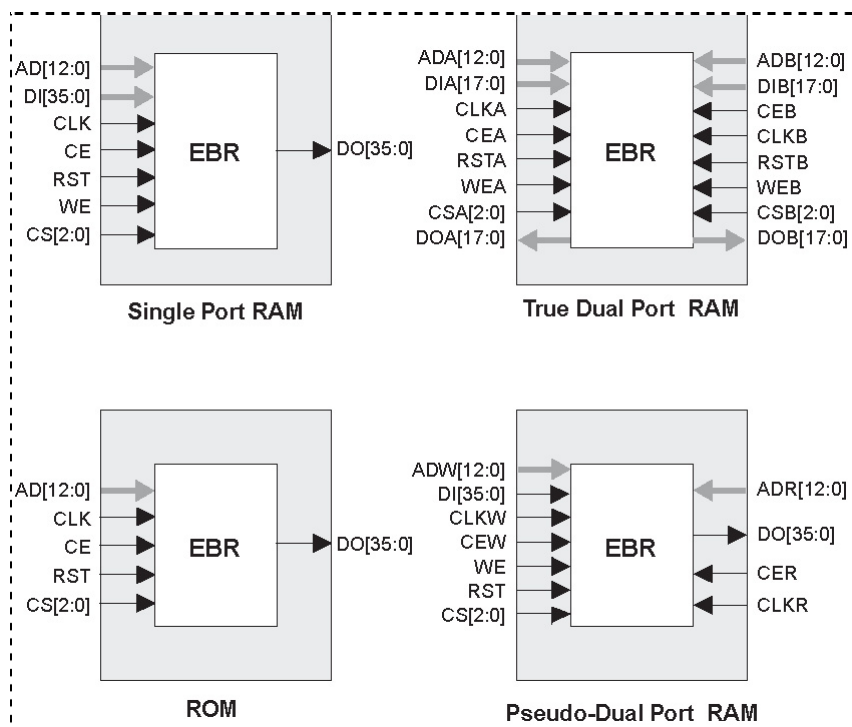
シングル/デュアル/擬似デュアルポート・モード

図2-15は4つの基本的なメモリ・コンフィグレーションとそれらの入力/出力名を示します。全てのsysMEM RAMモードで、ポートへの入力データとアドレスにはメモリ・アレイの入力レジスタがあります。メモリの出力データへのレジスタはオプションです。

EBRメモリはシングルポートかデュアルポート動作のための書き込みの振舞いとして3つの形態をサポートします。

1. **標準**；出力データはリード・サイクルの間だけ現れます。ライト・サイクルの間、現在のアドレスのデータは出力に現れません。
2. **ライトスルー**；ライト・サイクルの間、入力データのコピーが同じポートの出力に現れます。
3. **リード・ビフォー・ライト**；新しいデータが書かれときに、アドレスの古い内容が出力に現れます。

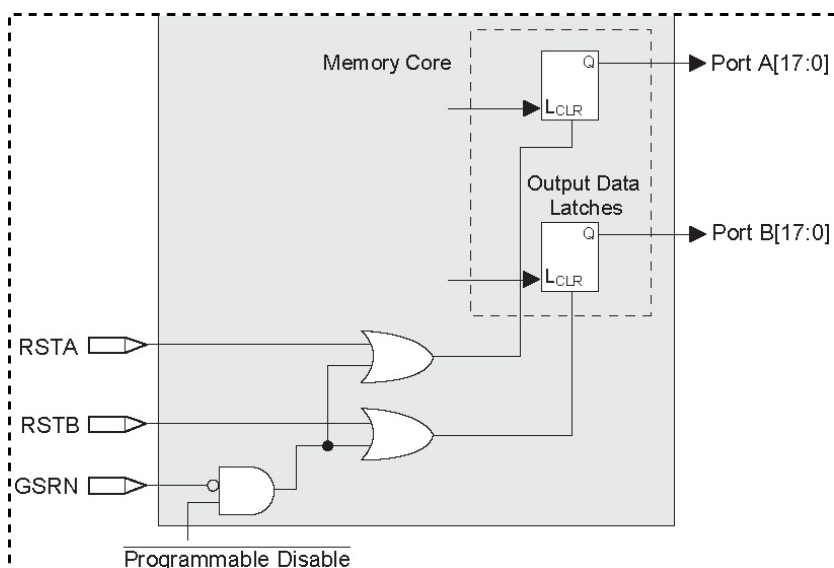
図2-15 sysMEM EBRプリミティブ



メモリア・リセット

EBRのメモリ・アレイはA出力とB出力ポートのラッチを利用します。これらのラッチを非同期か同期でリセットすることができます。RSTAとRSTBはローカルの信号で、出力ラッチをリセットし、それぞれPort AとPort Bに関連します。Global Reset(GSRN)信号は両ポートをリセットします。両ポートのための出力データ・ラッチと関連するリセットが図2-16で示されます。

図2-16 メモリア・リセット



sysMEM EBRブロックの詳しい情報に関しては、テクニカル・ドキュメンテーション (TN1051) を参照してください。

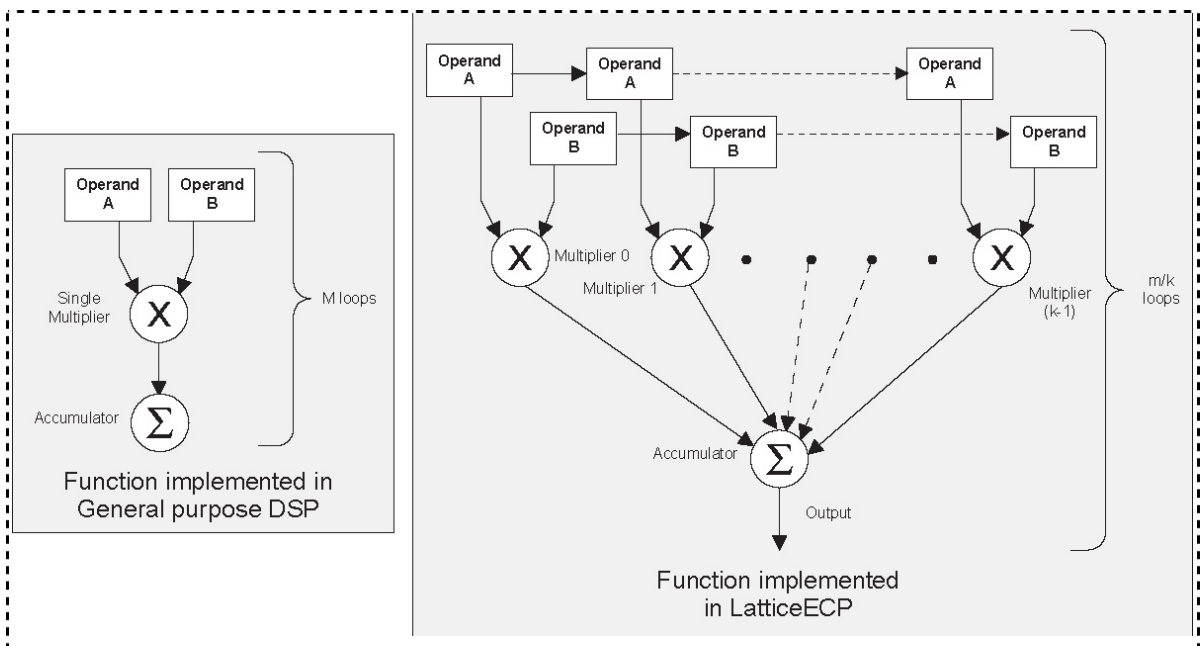
sysDSPブロック

LatticeECP-DSPファミリはsysDSPブロックを提供し、これにより低コストで高性能のデジタル信号処理 (DSP) アプリケーションに理想的に適しています。これらのアプリケーションで用いられる典型的な機能は有限インパルス応答 (FIR) フィルタです。高速フーリエ変換 (FFT) 機能、相関器、リード・ソロモン/ターボ/たたみ込み符号器、および復号器。これらの複雑な信号処理機能は、加算器と乗算器やアキュムレータと乗算器のように類似のビルディング・ブロックを用います。

sysDSPブロック・アプローチと汎用DSPとの比較

従来の汎用DSPチップは固定データ幅のMAC(乗算とアキュミュレート)ユニットを通常1~4個含んでいます。これは限られた並列度と限られたスループットに通じます。それらのスループットは、より高いクロックスピードによって増加されます。他方LatticeECPには、異なったデータ幅をサポートする多くのDSPブロックがあります。これで、設計者はDSP機能の非常に並列度のある実装ができます。設計者は、適切なレベルの並列度を選ぶことによって、エリアに対するDSP性能を最適化することができます。図2-17はシリアル実装と並列実装を比較します。

図2-17 汎用DSPとLatticeECP-DSPアプローチの比較



sysDSPブロック能力

LatticeECP-DSPファミリにおけるsysDSPブロックは、4個の機能要素を9、18と36の3種のデータパス幅でサポートします。ユーザは機能要素をDSPブロック用に選択して、次にオペランドの幅とタイプ(符号あり/なし)を選びます。LatticeECP-DSPファミリsysDSPブロックにおけるオペランドは、符号ありか符号なしですが、機能要素の中で混在できません。同様に、オペランド幅もブロックの中で混在できません。

各sysDSPブロックにおけるリソースは以下の4つの要素をサポートするために構成することができます。

- | | |
|--------------|-----------------------|
| • MULT | 乗算 |
| • MAC | 積和 (乗算とアキュミュレート (累積)) |
| • MULTADD | 乗算、加算/減算 |
| • MULTADDSUM | 乗算、加算/減算、アキュミュレート |

各ブロックで利用できる要素の数は、**x9**、**x18**、および**x36**の3つのオプションに依存します。これらの多くの要素はDSP機能の並列度の高い実装のために連結できます。表2-1はブロックの機能を示します。

表2-7 ブロックにおける最大の要素数

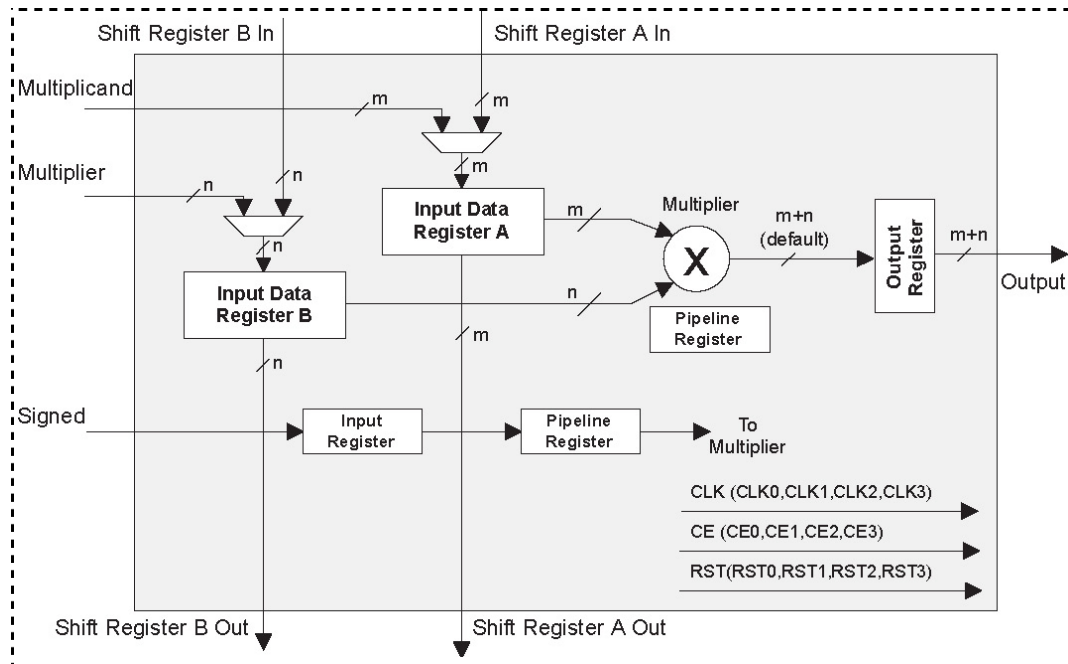
乗算器幅 (-->)	x9	x18	x36
MULT	8	4	1
MAC	4	2	—
MULTADD	4	2	—
MULTADDSUM	2	1	—

4つの要素ではいくつかのオプションが利用できます。すべての要素の入力レジスタには、直接ロードするか、または直前のオペランドのシフト・レジスタからロードできます。符号あり/なしオプションでの”ダイナミック動作”を選択することに加えて、オペランドを各サイクルごとに符号あり・符号なしを切り換えることができます。同様に、”Add/Sub”オプションでダイナミック動作を選択することによって、アキュムレータを各サイクルごとに加算と減算で切り換えることができます。

MULT sysDSP要素

この乗算器要素は加算/アキュムレータ・ノードなしで乗算します。二つのオペランド(AとB)は、乗算され、そして、結果が出力に出てきます。ユーザは入力/出力/パイプライン各レジスタをイネーブルすることができます。図2-18はMULT sysDSP要素を示します。

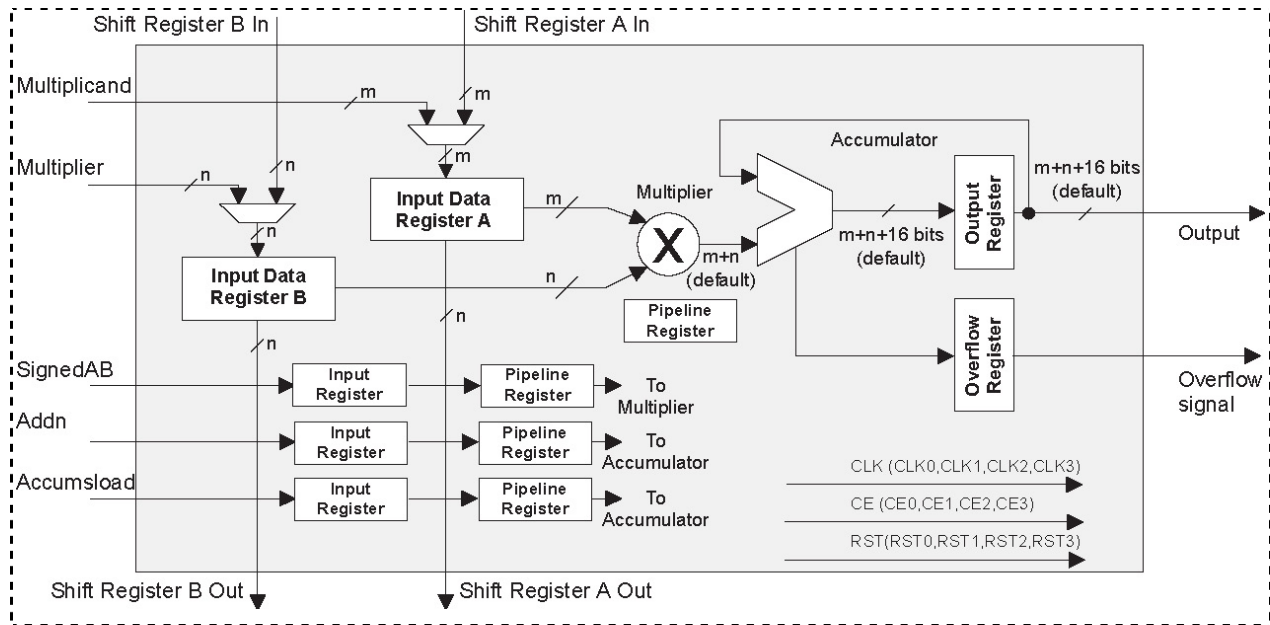
図2-18. MULT sysDSP要素



MAC sysDSP 要素

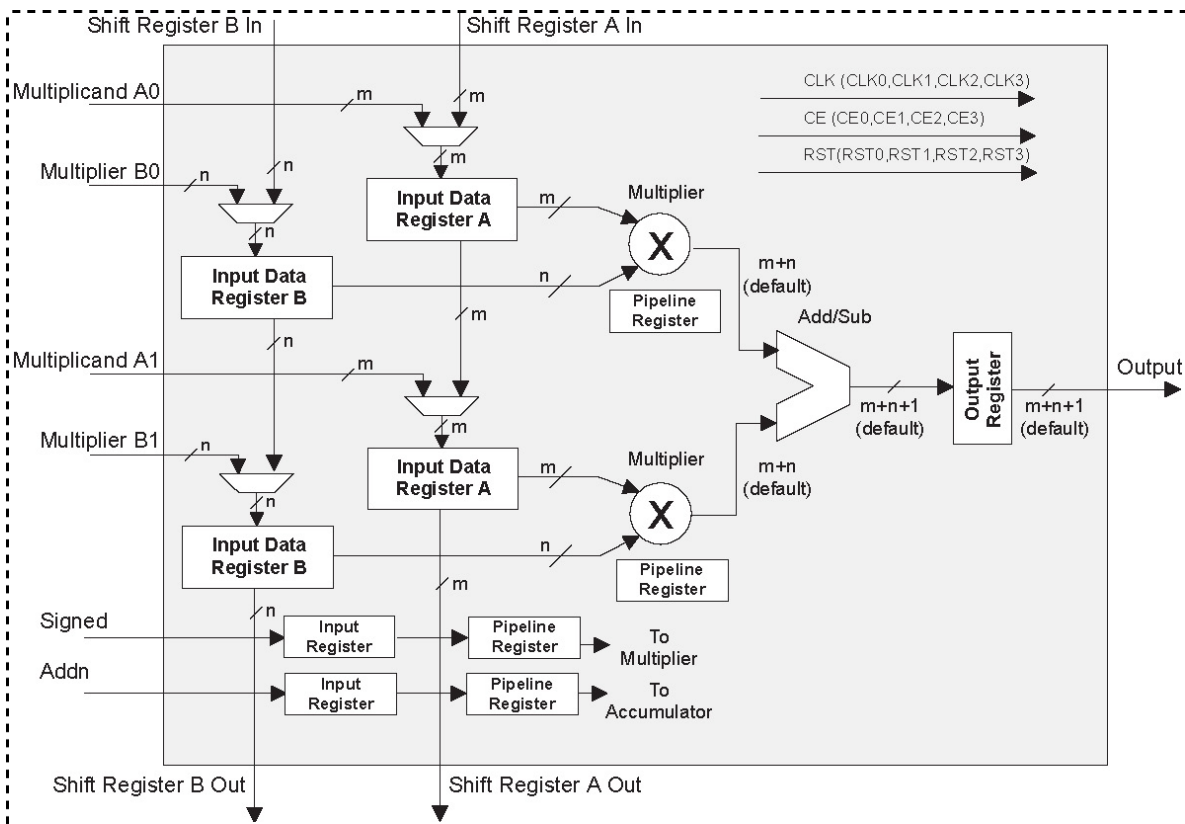
この場合、二つのオペランド(AとB)は乗算されて、結果はアキュミュレート（累積）された直前の値に加えられます（積和動作）。このアキュミュレート値は出力で利用できます。ユーザは入力とパイプライン・レジスタをイネーブルすることができますが、出力レジスタは常にイネーブルされます。出力レジスタは、アキュミュレートされた値を保持するために用いられます。また、レジスタのあるオーバーフロー信号も利用できます。本ドキュメントの後ではオーバーフロー条件を示します。図2-19はMAC sysDSP要素を示します。

図2-19. MAC sysDSP要素

**MULTADD sysDSP要素**

オペランドのA0とB0は乗算されて、その結果は、オペランドA1とA2の乗算の結果に加えられるか、または引き算されます。ユーザは入力/出力パイプライン各レジスタをイネーブルすることができます。図2-20はMULTADD sysDSP要素を示します。

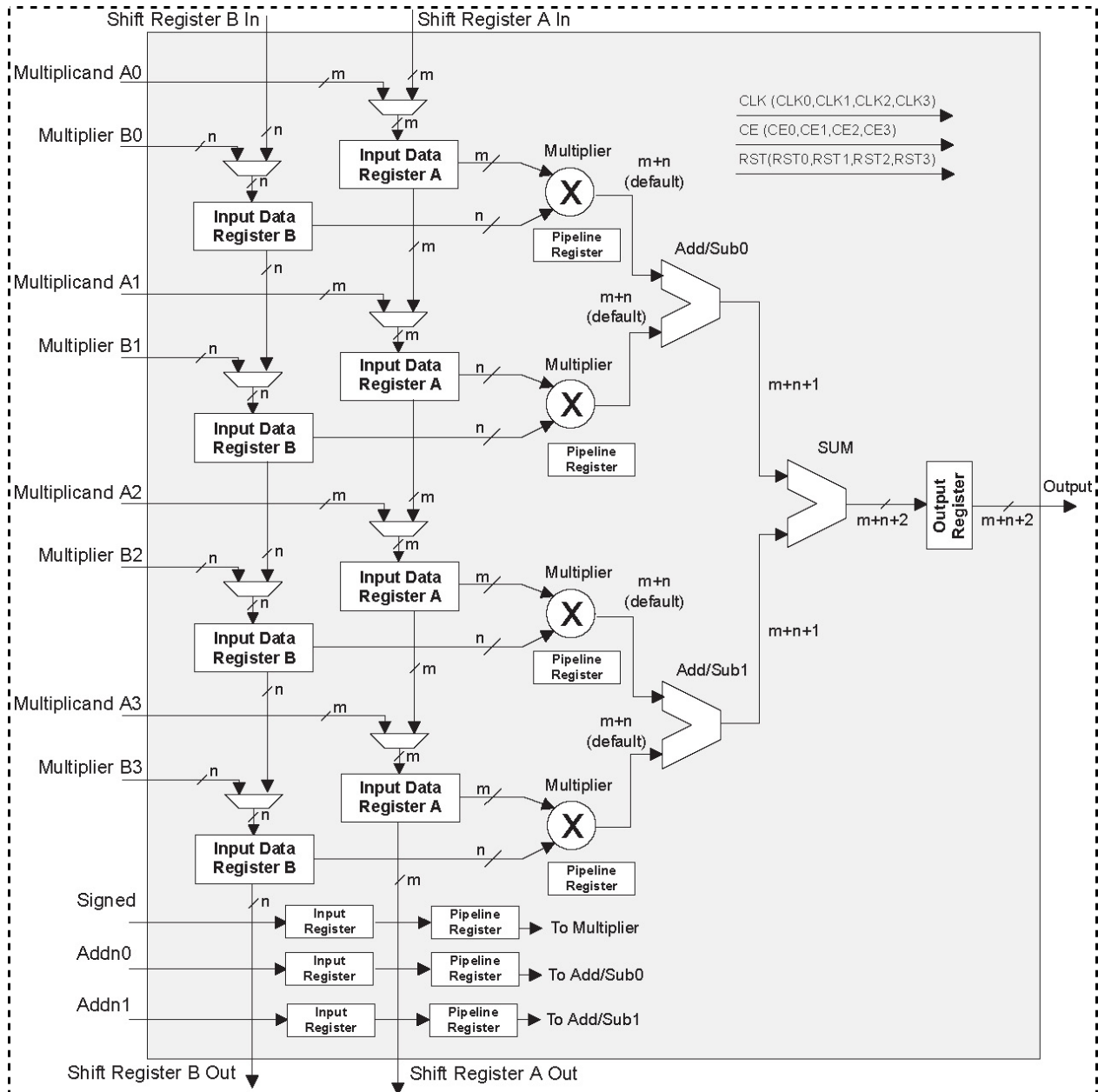
図2-20. MULTADD要素



MULTADDSUM sysDSP要素

オペランドのA0とB0は乗算されて、その結果は、オペランドA1とB1の乗算の結果に加えられるか、または引き算されます。オペランドのA2とB2は乗算されて、その結果は、オペランドのA3とB3の乗算の結果にさらに加えられるか、または引き算されます。加算/減算の結果は共に総和（加算）ブロックで加えられます。ユーザは入力/出力パイプライン各レジスタをイネーブ爾することができます。図2-21はMULTADDSUM sysDSP要素を示します。

図2-21. MULTADDSUM要素



クロック、クロック・イネーブル、およびリセット・リソース

配線からのグローバル・クロック、クロック・イネーブルとリセット信号は全てのDSPブロックで使用できます。各4本のクロック、リセット、およびクロック・イネーブル信号はsysDSPブロックのために選択されます。4つのクロック・ソース(CLK0、CLK1、CLK2、CLK3)から、1つのクロックがそれぞれの入力レジスタ、パイプライン・レジスタ、および出力レジスタのために選択されます。同様に、クロック・イネーブル(CE)とリセット(RST)は各4つのソース(CE0、CE1、CE2、CE3とRST0、RST1、RST2、RST3)から入力/パイプライン/出力レジスタでそれぞれ選択されます。

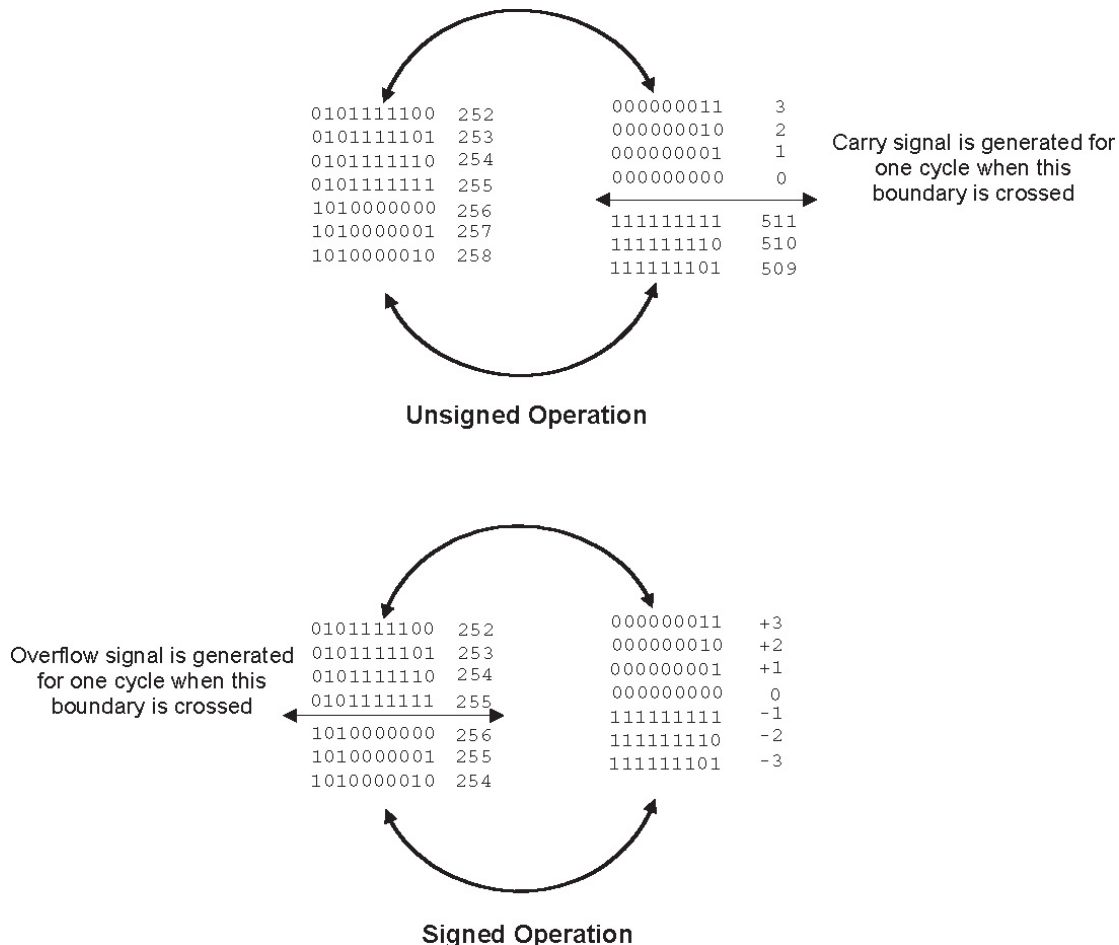
異なる幅での符号あり・符号なし

DSPブロックはx9、x18、およびx36ビット幅以外に、符号あり・符号なしで乗算器の異なる幅をサポートします。符号なしオペランドにおいて、未使用の上位データ・ビットは、有効なx9、x18またはx36オペランドを作成するために拡張されなければなりません。符号あり2の補数オペランドにおいて、x9、x18またはx36幅に達するまで、最上位ビット(MSB)の符号拡張は実行されるべきです。表2-8はこの例を示します。

表2-8 符号拡張に関する例

値	符号なし	符号なし 9-bit	符号なし 18-bit	符号あり	2の補数 符号あり 9-bit	2の補数 符号あり 18-bit
+5	0101	000000101	000000000000000101	0101	000000101	000000000000000101
-6	0110	000000110	000000000000000110	1010	111111010	111111111111111010

図2-22 アキュムレータ・オーバーフロー/アンダフロー条件



MACからのOVERFLOWフラグ

sysDSPブロックは、アキュムレータがオーバーフローしたことを示すための出力を提供します。2つの符号なし数が加えられて、結果がそれらより小さい数になった時、アキュムレータ・ロールオーバーが起こったと言い、オーバーフロー信号が示されます。2つの正数が加算されその和が負であるとき、または2つの負数が加算され和が正数の場合、アキュムレータ・ロールオーバーが起こったと言い、そしてオーバーフロー信号が示されます。オーバーフロー・フラグは1サイクルだけの間存在していますので、オーバーフローがいつ起こるかに注意する必要があります。FPGAロジックでこれらのオーバーフロー・パルスを数えることによって、より大きいアキュムレータを構成することができます。符号ありおよび符号なしオペランドでのオーバーフロー状態は図2-22でリストアップされています。

ispLEVERモジュール・マネージャ(Module Manager)

ユーザは、それぞれのDSPモジュール(または、モジュールのグループ)を構成するオプションを持っているispLEVERモジュール・マネージャか、或いは直接HDLインスタンス化を通してsysDSPブロックにアクセスすることができます。さらにラティスは、グラフィカルなシミュレーション環境であるSimulinkツール内のインスタンス化をサポートするMathwork社とパートナーになっています。SimulinkはispLEVERと共に動作して、ラティスFPGAでのDSP設計サイクルを劇的に短くします。

最適化されたDSP機能

ラティスは最適化されたDSP IP機能のライブラリを提供します。LatticeECP DSP用に計画されているIPのいくつかは以下の通りです。ビット相関器、高速フーリエ変換、有限インパルス応答 (FIR) フィルタ、リード・ソロモン符号器/復号器、ターボ符号器/復号器、および畳み込み符号器/復号器。利用できるDSP IPの最新のリストについてはラティスまで連絡してください。

LatticeECPファミリで利用できるリソース

表2-9はLatticeECPファミリの各メンバーの最大乗算器数を示します。表2-10はそれぞれのLatticeECPファミリにおける利用できる最大EBR RAMブロックを示します。EBRブロックは、分散RAMと共に、高速DSP動作のために変数を局所的に格納するために用いることができます。

表2-9 LatticeECPファミリにおけるDSPブロック数

デバイス	DSP ブロック	9x9 乗算器	18x18乗算器	36x36乗算器
LFCEP6	4	32	16	4
LFCEP10	5	40	20	5
LFCEP15	6	48	24	6
LFCEP20	7	56	28	7
LFCEP33	8	64	32	8

表2-10LatticeECPファミリにおけるエンベデッドSRAM

デバイス	EBR SRAM ブロック	総 EBR SRAM (Kbits)
LFCEP6	10	92
LFCEP10	30	276
LFCEP15	38	350
LFCEP20	46	424
LFCEP33	58	535

LatticeECPファミリのDSPの性能

表2-11はLatticeECPファミリ各メンバーの最大性能を、百万MAC毎秒(MMAC)の単位でリストしています。

表2-11 LatticeECPファミリのDSPブロック性能

デバイス	DSP ブロック	DSP 性能MMAC
LFEC6	4	3680
LFEC10	5	4600
LFEC15	6	5520
LFEC20	7	6440
LFEC33	8	7360

sysDSPの詳しい情報に関しては、テクニカル・ドキュメンテーション (TN1050) を参照してください。

プログラマブルI/Oセル(PIC)

各PICは図2-23に示されるように2PIOを含んでおり、これはそれぞれのsysIOバッファにそしてパッドに接続されています。PIOブロックは出力データ(DO)とトライステート制御信号(TO)をsysIOバッファに提供し、バッファから入力を受け取ります。

図2-23 PICダイアグラム

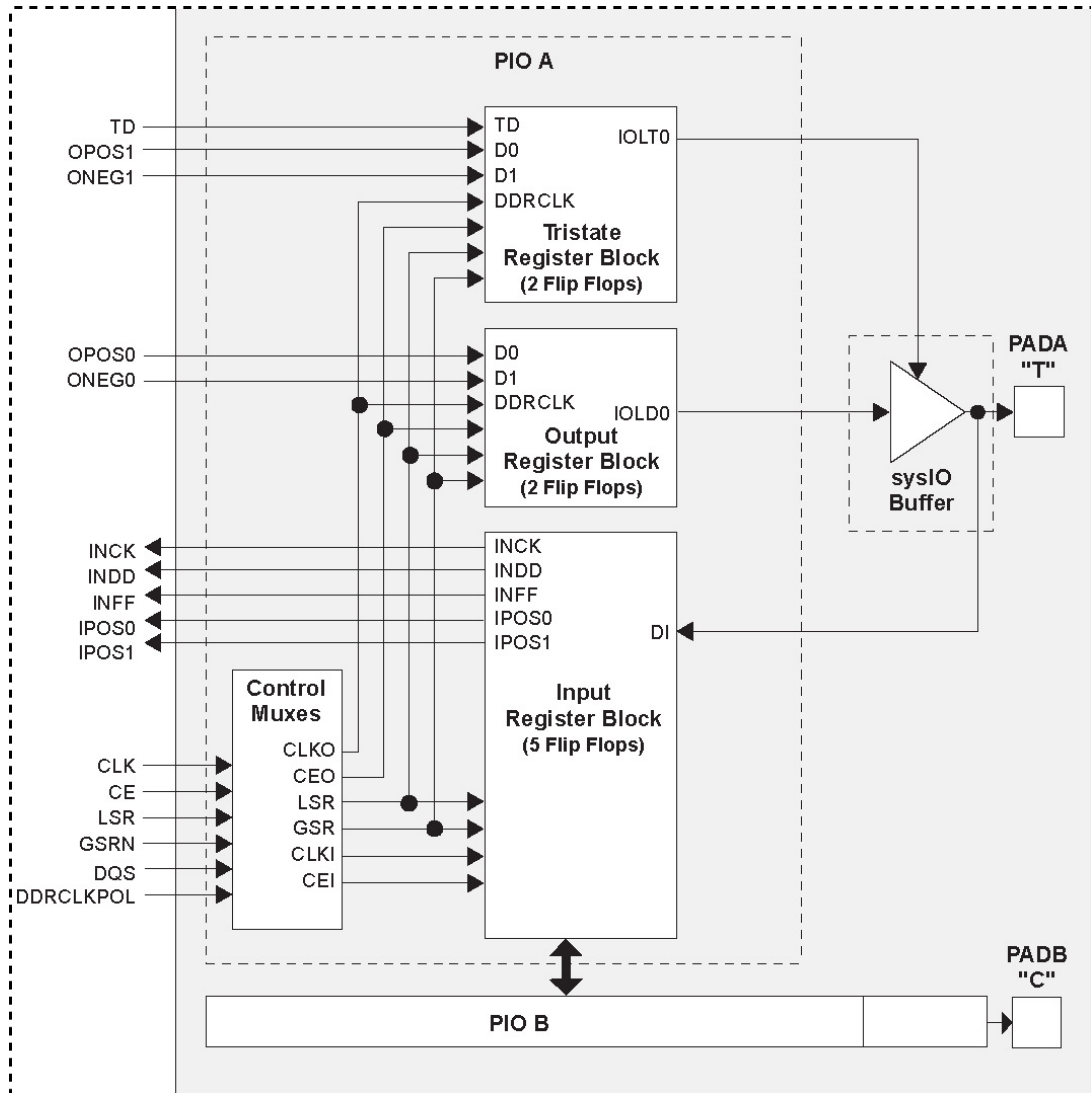


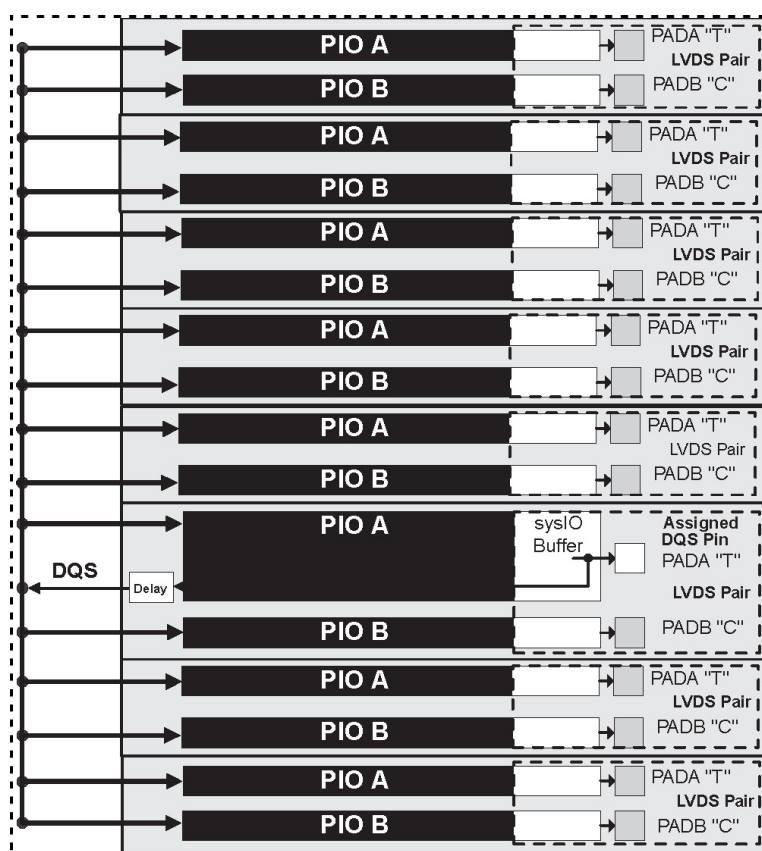
図2-24に示されるように差動I/Oペアを提供するために隣接している2PIOを組み合わせることができます。パッドは2PIOを区別するために“T”と“C”にラベルされます。デバイスの左・右辺のPIOペアしか送受信をLVDSに構成することができません。

16PIO毎の1つはDQS信号の生成を容易にする遅延素子を含んでいます。DQS信号は複数の16PIOの組にまたがるDQSバスを与えます。バスからのDQS信号は、メモリからのDDRデータを入力レジスタ・ブロックにストローブするために用いられます。このインターフェイスは、8ビットのデータあたり1つのDQSストローブをサポートするメモリ用に設計されています。

表2-12 PIO信号リスト

名称	タイプ	記述
CE0, CE1	コアからの制御	クロックイネーブル。入出力ブロックのFF用
CLK0, CLK1	コアからの制御	システムクロック。入出力ブロック用
LSR	コアからの制御	ローカル・セット/リセット
GSRN	配線からの制御	グローバル・セット/リセット t (lowアクティブ).
INCK	コアへの入力	プライマリ・クロック・ネットへの入力、またはPLL基準入力
DQS	PIOへの入力	DQS信号。ロジック(配線)からPIOへ。
INDD	コアへの入力	レジスタされないデータ入力。コアへ
INFF	コアへの入力	レジスタされる入力。クロック(CLK0)の立ち上がりで
IPOS0, IPOS1	コアへの入力	DDRレジスタされる入力。コアへ
ONEG0	コアからの制御	出力信号。コアから、SDRとDDR動作用。
OPOS0,	コアからの制御	出力信号。コアから、DDR動作用。
OPOS1 ONEG1	コアからのトライステート制御	トライステート・レジスタブロックへ、DDR動作用
TD	コアからのトライステート制御	トライステート信号。コアから、SDR動作用。
DDRCLKPOL	クロック極性バスからの制御	DDR入力ブロックに与えられるクロック (CLK0)の極性を制御。

図2-24 DQS配線



PIO

PIOは4ブロックを含んでいます。入力レジスタ・ブロック、出力レジスタ・ブロック、トライステート・レジスタ・ブロック、および制御論理ブロックです。これらのブロックは、必要なクロックと選択ロジックと共に、シングル・データレート(SDR)とダブル・データレート(DDR)動作の両方のためのレジスタを含んで

います。入ってくるクロックとデータ信号をシフトするプログラマブル遅延線がこれらのブロックに含まれています。

入力レジスタ・ブロック

入力レジスタ・ブロックはそれらがデバイス・コアに渡される前に信号を整えるために用いることができる遅延素子とレジスタを含んでいます。図2-25は入力レジスタ・ブロックのダイアグラムを示します。

入力信号は(信号DIとして)sysIOバッファから入力レジスタ・ブロックに加えられます。望まれる場合、入力信号はレジスタと遅延素子をバイパスして、直接組み合わせ信号(INDD)として用いることができます。バイパス・オプションの1つが選ばれない場合、信号は最初にオプションの遅延ブロックを通り抜けます。この遅延が選択されてグローバル・クロックが用いられるとき、入力レジスタのホールド時間要件を減らします。

入力ブロックは**2動作モード**を許容します。**シングル・データレート(SDR)**では、データは**SDR同期レジスタ・ブロック**内のレジスタの**1つ**によってシステム・クロックでサンプルされます。**DDRモード**では、**2つの**レジスタが用いられ、**DQS信号**の正と負のエッジでデータをサンプルして、**2本のデータ・ストリーム、D0およびD2**を作ります。これらの**2つのデータ・ストリーム**はコアに入る前にシステムクロックと同期化されます。このトピックについてのさらなる議論はこのデータシートの**DDRメモリ・セクション**にあります。

図2-26は、DDR動作の入力レジスタ波形を示し、また図2-27がデザインツール・プリミティブを示します。SDR/SYNCレジスタには、リセットとクロック・イネーブルがあります。

信号**DDRCLKPOL**は同期レジスタで用いられるクロックの極性を制御します。これで**DQS**からシステム・クロック・ドメインまでデータを転送するとき、適切なタイミングを確実にします。このトピックについてのさらなる議論に関しては、このデータシートの**DDRメモリ・セクション**を参照してください。

図2-25 入力レジスタ・ダイアグラム

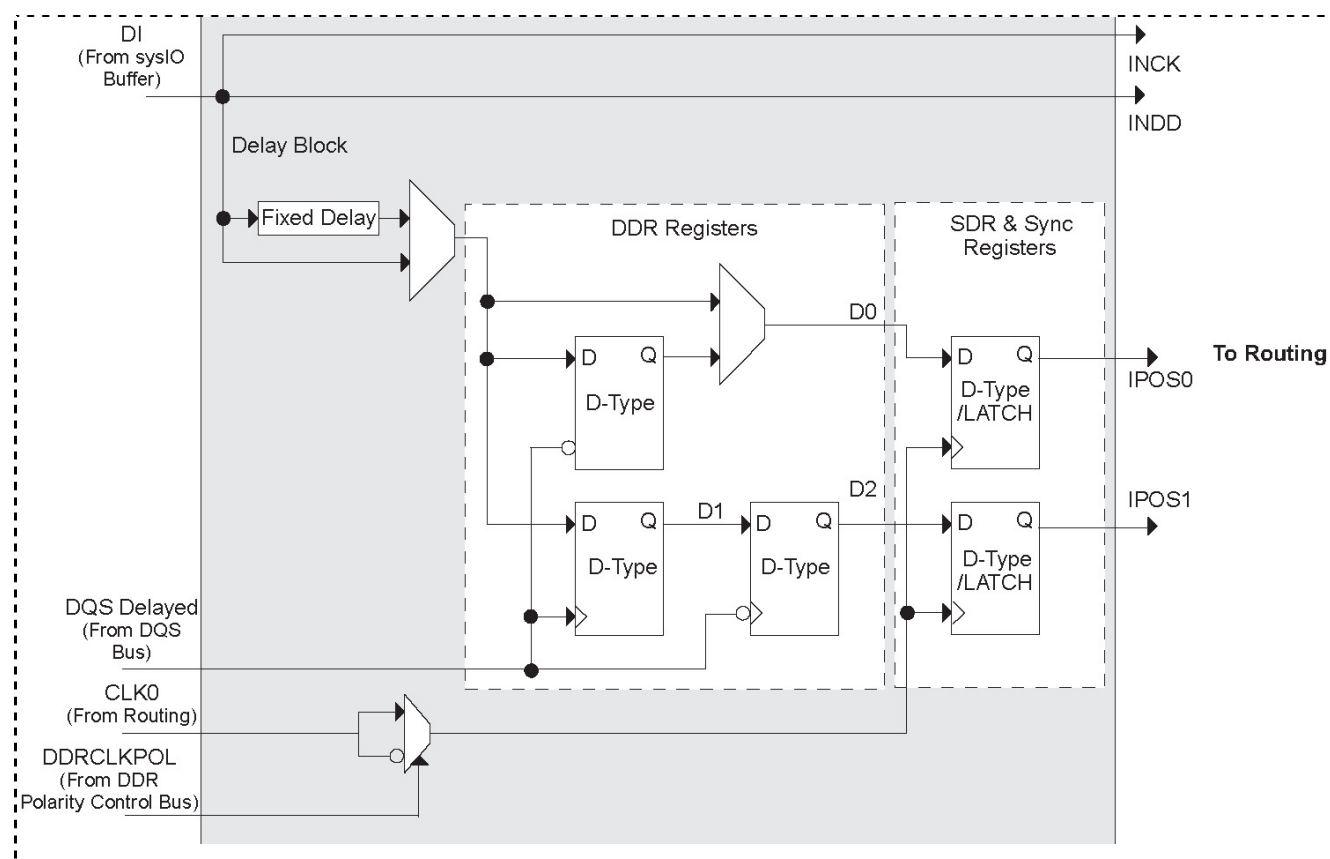


図2-26 入力レジスタDDR波形

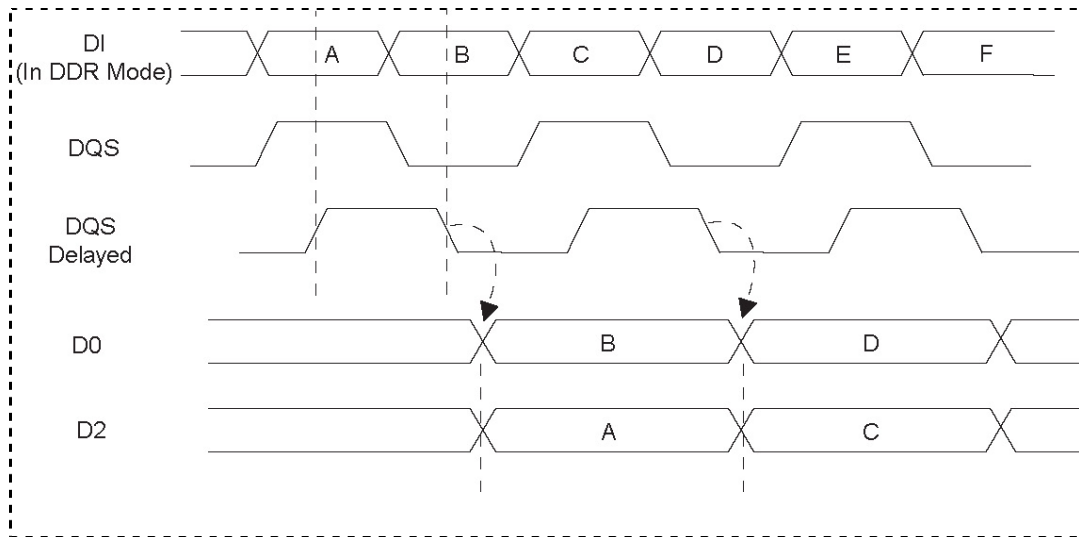
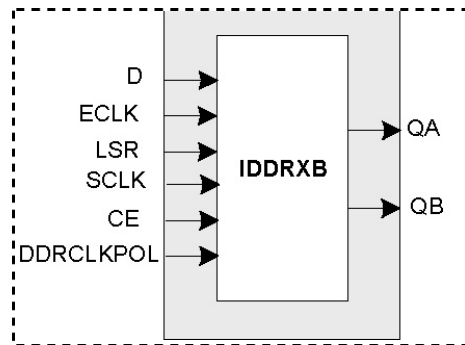


図2-27 INDDRxBプリミティブ



出力レジスタ・ブロック

出力レジスタ・ブロックでは、信号がデバイスのコアからsysIOバッファに渡される前にサンプルすることができます。このブロックはSDR動作のためのレジスタを含んでおり、DDR動作のための追加ラッチと組み合わせられます。図2-28は出力レジスタ・ブロックのダイアグラムを示します。

SDRモードでは、ONEG0はフリップフロップの1つに与えられ、それが出力につながります。フリップフロップは、D-タイプかラッチとして構成されます。DDRモードで、ONEG0をクロックの正のエッジで一方のレジスタに与えられ、そして、OPOS0がラッチされます。同じクロックで動作するマルチプレクサが、出力(D0)に信号を与える正しいレジスタを選択します。

図2-29はデザインツールDDRプリミティブを示します。SDR出力レジスタにはリセットとクロック・イネーブルがあります。DDR動作のための追加レジスタにはリセットやクロック・イネーブルは利用できません。

図2-28 出力レジスタ・ブロック

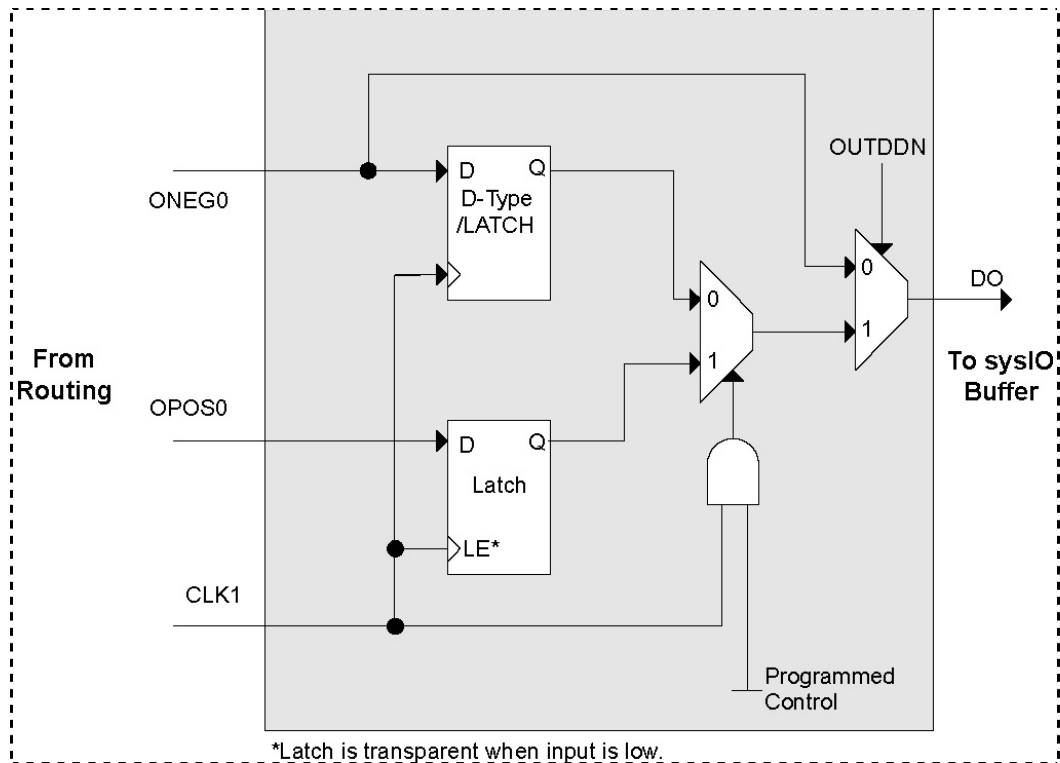
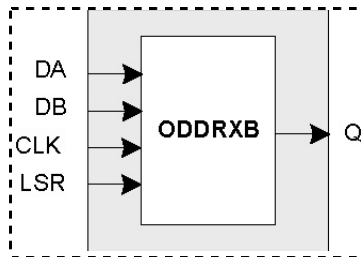


図2-29 ODDRxBプリミティブ



トライステート・レジスタ・ブロック

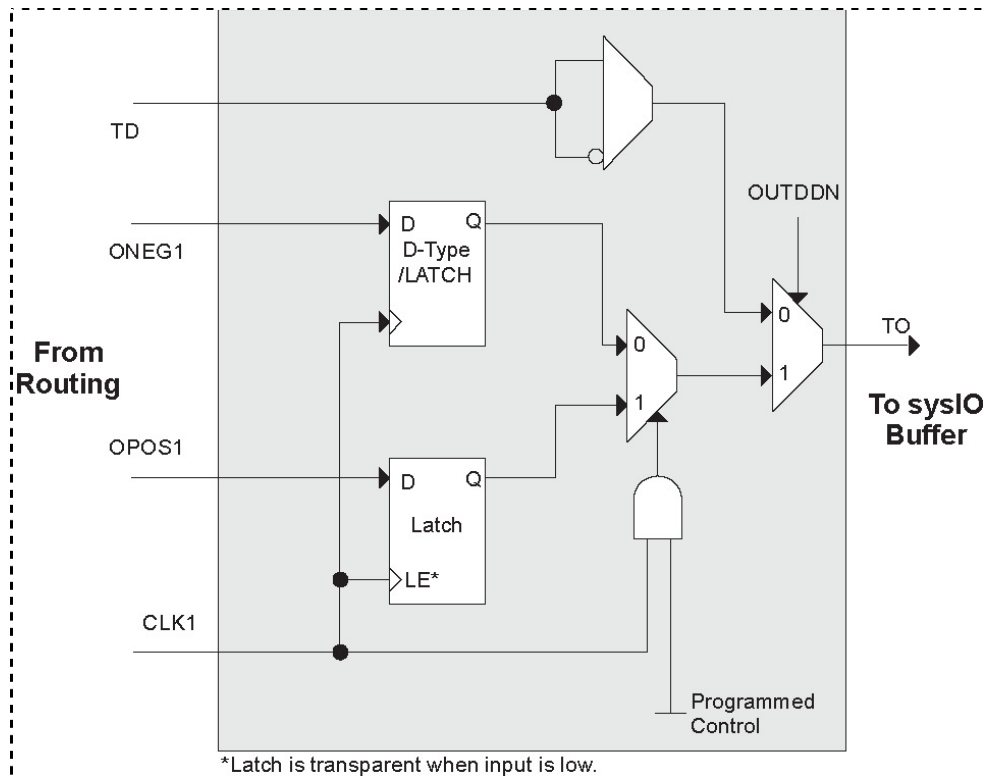
トライステート・レジスタ・ブロックでは、信号がデバイスのコアからsysIOバッファに渡される前にサンプルすることができます。このブロックはSDR動作のためのレジスタとDDR動作のための追加ラッチを含んでいます。図2-30はトライステート・レジスタ・ブロックのダイヤグラムを示します。

SDRモードでは、ONEG1はフリップフロップの1つに与えられ、それが出力につながります。フリップフロップは、D-タイプかラッチとして構成されます。DDRモードで、ONEG1をクロックの正のエッジで一方のレジスタに与えられ、そして、OPOS1がラッチされます。同じクロックで動作するマルチプレクサが、出力(D0)に信号を与える正しいレジスタを選択します。

制御ロジック・ブロック

制御ロジック・ブロックは、PIOブロック内で使用される制御信号の選択と変更を可能にします。クロックは、汎用の配線から提供されたクロック信号か、プログラマブルDQSピンから提供されたDQS信号の1つから選択されます。クロックは任意に(optionally)反転することができます。

図2-30 トライステート・レジスタ・ブロック



クロック・イネーブルとローカルのリセット信号は、配線から選択されて、任意に反転します。グローバルなトライステート信号はこのブロックを通り抜けます。

DDRメモリ・サポート

高性能DDRメモリ・インターフェイスを実装することは、入力(読み出し動作のため)と出力(書き込み動作のため)で専用のDDRレジスタ構造を必要とします。PIOロジック・セクションにみられるように、ECデバイスはこの機能を提供します。これらのレジスタに加えて、ECデバイスは読み出し動作のために入力構造の設計を簡素化するために2つの要素を含んでいます。それはDQS遅延ブロックと極性制御ロジックです。

DLLにより校正されるDQS遅延ブロック

一般に、ソース・シンクロナス・インターフェイスは、入力レジスタで正しくデータをキャプチャするために入力クロックが調整されることを必要とします。殆どどのインターフェイスにおいてはPLLがこの調整に用いられますが、DDRメモリではクロック(DQSと呼ばれる)は、フリーランしていませんので、このアプローチを用いることができません。DQS遅延ブロックは必要なクロック・アライメントをDDRメモリ・インターフェイスに提供します。

DQS信号(特定のPIOのみ)はパッドから専用のDQS配線リソースを通してDQS遅延素子に入れます。DQS信号はまた、クロック極性制御ロジックにも与えられ、これは入力レジスタ・ブロック内の同期化レジスタへのクロックの極性を制御します。図2-31と図2-32 DQS転送信号がどうPIOに配線されるかを示します。

DQS遅延ブロックの温度、電圧、およびプロセス変動は、デバイスの反対側に位置する2個のDLLから与えられる1組の校正信号(6ビットのバス)によって補償されます。各DLLは図2-32に示されるようにデバイスの半分でDQS遅延を補償します。DLLループは、システム・クロックとフィードバック・ループによって温度、電圧、およびプロセス変動が補償されます。

図2-31 DQS ローカル・バス

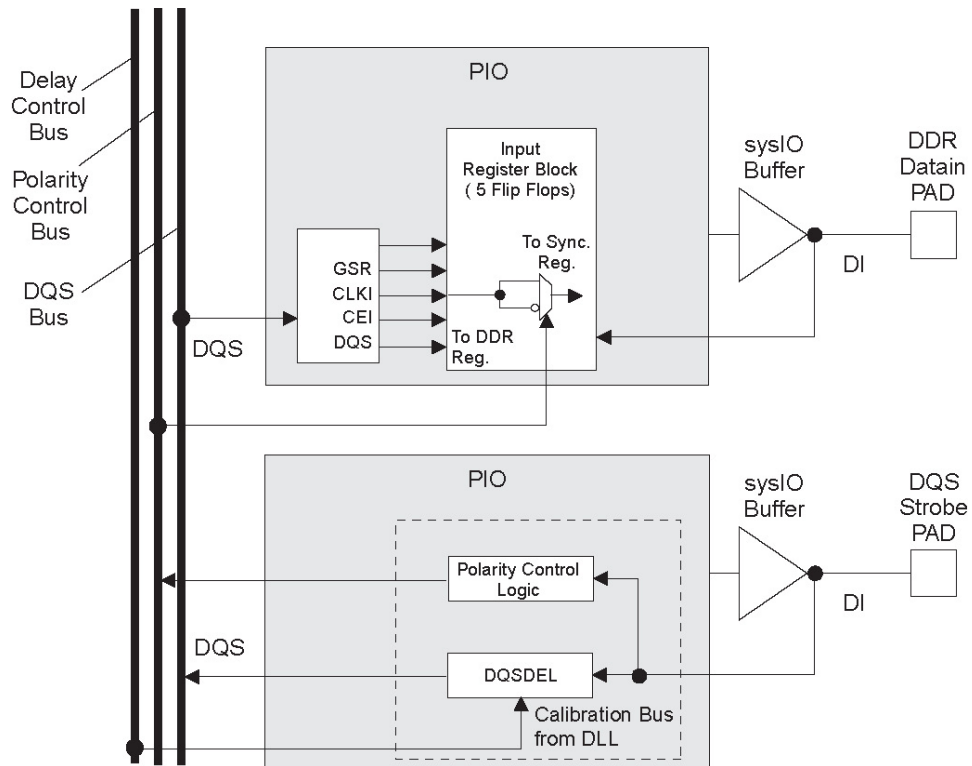
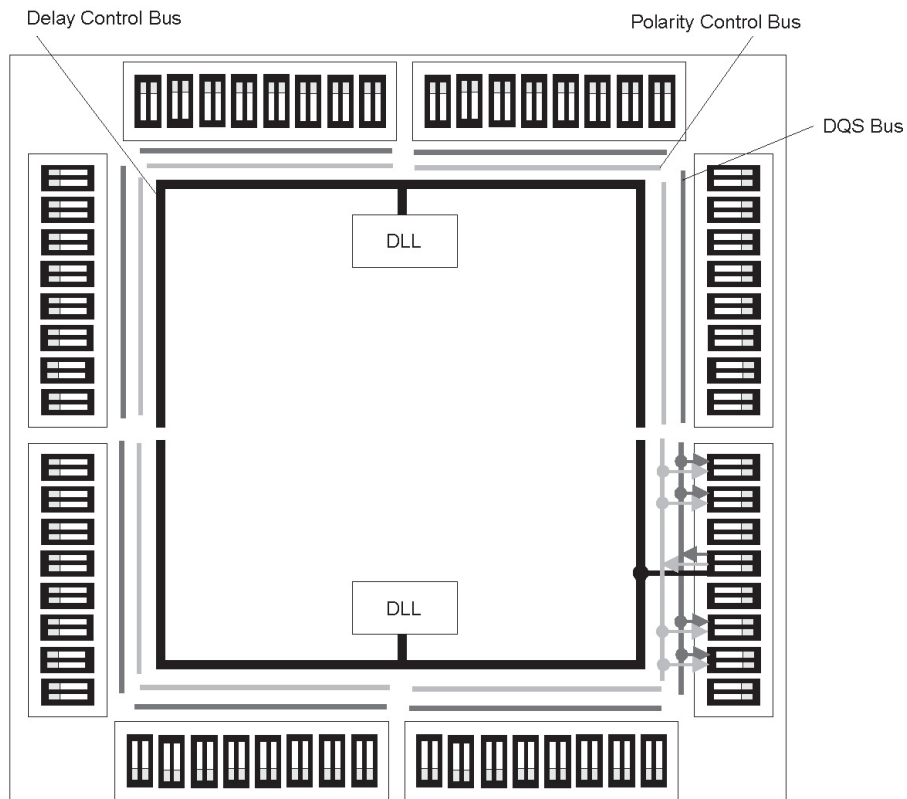


図2-32 DLL 校正(Calibration)バスとDQS/DQS転送分配



極性制御ロジック

典型的なDDRメモリ・インターフェイスの設計では、入力される遅れたDQSストロブと内部のシステム・クロック(リードサイクルの間)との位相関係は未知です。

LatticeECP/ECファミリはこれらドメイン間のデータ転送に専用回路を含んでいます。ドメイン転送のときにセットアップ/ホールド時間違反を防ぐため、クロック極性セクタが使用されます。これはデータが入力レジスタ・ブロック内の同期レジスタでサンプルされるエッジを変えます。これは正しいクロック極性のためにそれぞれのリード・サイクルの始めでの評価を必要とします。

DDRメモリの読み出し動作の前に、DQSは(終端抵抗で引っ張られる)トライステート状態にあります。DDRメモリ・デバイスはプリアンプル・ステートの始めでDQSをLowにドライブします。専用回路がこの遷移を検出し、検出信号は同期レジスタへのクロック極性制御に用いられます。

sysIOバッファ

それぞれのI/OはsysIOバッファと呼ばれるフレキシブルなバッファに関連しています。これらのバッファは、デバイスの周囲にバンクと呼ばれる8つのグループで配置されます。sysIOバッファは、ユーザはLVCMOS、SSTL、HSTL、LVDS、およびLVPECLを含む、今日のシステムで見られる広範な標準の実装を可能にします。

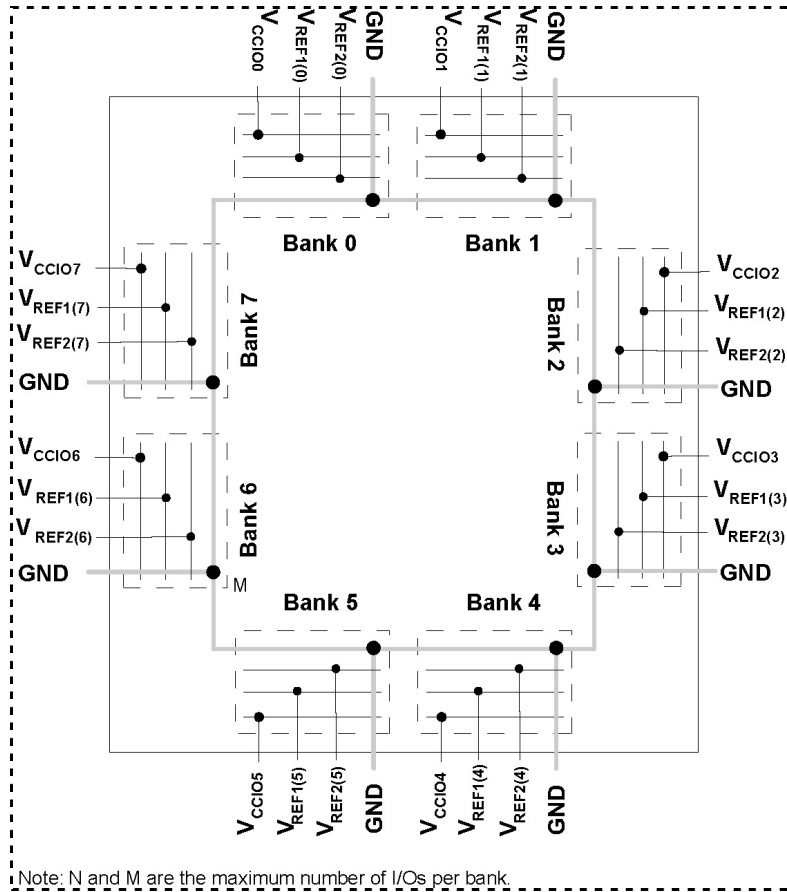
sysIOバッファ・バンク

LatticeECP/ECデバイスには、8つのsysIOバッファ・バンクがあります。それぞれが、複数のI/O標準をサポートすることができます。各sysIOバンクには、それ自身のI/O電源電圧(V_{CCIO})、2本の参照電圧 V_{REF1} 、 V_{REF2} のリソースがあり、それぞれのバンクを互いに完全に独立させることができます。図2-33は8つのバンクとそれらに関連する電源電圧を示します。

LatticeECP/ECデバイスでは、シングルエンド出力バッファとレシオ入力バッファ(LVTTL、LVCMOS、PCI、およびPCI-X)は、 V_{CCIO} を用いて電源が与えられます。また、 V_{CCIO} の如何にかかわらず、LVTTL、LVCMOS33、LVCMOS25、およびLVCMOS12入力には固定スレッショルドを設定することができます。バンク V_{CCIO} 電源に加えて、LatticeECP/ECデバイスには V_{CC} コア・ロジック電源があり、また V_{CCAUX} は全ての差動バッファと参照電圧ありのバッファに電力を供給します。

各バンクは基準電圧を参照する入力バッファにスレッショルドを設定する V_{REF} 電圧を最大2つ、 V_{REF1} および V_{REF2} 、を別々にサポートすることができます。LatticeECP/ECデバイスでは、いくつかの専用I/Oピンをバンクにおける参照電圧ピンになるように構成することができます。それぞれのI/Oはバンクへの電源電圧と参照電圧に基づいて個別に構成可能です。

図2-33 LatticeECP/ECバンク



LatticeECP/ECデバイスは2つのタイプのsysIOバッファ・ペアを含んでいます。

1. 上・下辺のsysIOバッファ・ペア(シングルエンド出力のみ)

デバイスの上下辺バンクにおけるsysIOバッファ・ペアは、2シングルエンド出力ドライバと2組のシングルエンド入力バッファ(レシオ型と参照電圧使用型共に)から成ります。参照電圧ありの入力バッファは差動入力として構成することもできます。

ペアとなる2個のパッドは“True”と“Comp”として記述されます。Trueパッドが差動入力バッファの正側(信号)に関連していて、Comp(コンプリメンタリ)パッドが差動の入力バッファの反転側(信号)に関連しています。

上下辺バンクのI/OにのみPCIクランプがあります。

2. 左・右辺のsysIOバッファ・ペア(差動およびシングルエンド出力)

デバイスの左右辺バンクにおけるsysIOバッファ・ペアは、2シングルエンド出力ドライバと2組のシングルエンド入力バッファ(レシオ型と参照電圧使用型共に)、および差動出力ドライバから成ります。参照電圧ありの入力バッファは差動入力として構成することもできます。ペアとなる2個のパッドは“True”と“Comp”として記述されます。Trueパッドが差動I/Oの正側(信号)に関連していて、Comp(コンプリメンタリ)パッドが差動のI/Oの反転側(信号)に関連しています。

左右辺のバンクにのみ、(真の) LVDSの差動出力ドライバがあります。電源投入時のI/Oリーク電流については、 I_{DK} 仕様値を参照して下さい (page 3-1)。

サポートされる標準

LatticeECP/EC sysIOバッファは、シングルエンドと差動の標準を共にサポートします。シングルエンド標準はさらにLVCMOS、LVTTL、および他の標準に細分することができます。バッファはLVTTL、LVCMOS1.2/1.5/1.8/2.5/3.3V標準をサポートします。LVCMOSとLVTTLモードでは、バッファには、ドライブ強度、バス・メンテナンス(弱いプルアップ、弱いプルダウン、またはバスキーパ・ラッチ)、およびオープン・ドレインとして個別に構成可能なオプションがあります。サポートされる他のシングルエンド標準にはSSTLとHSTLを含みます。サポートされる差動の標準にはLVDS、BLVDS、LVPECL、差動SSTL、および差動HSTLが含まれます。表2-13と表2-14は、LatticeECP/ECデバイスでサポートされるI/O標準を、それらの電源電圧と参照電圧と共に示します。sysIOバッファを利用する種々標準のサポートの詳細については、テクニカル・インフォメーション (TN1056) を参照してください。

表2-13 サポートされる入力標準

入力標準	V _{REF} (公称値)	V _{CCIO} ¹ (公称値)
シングルエンド・インターフェイス		
LVTTL	—	—
LVCMOS33 ²	—	—
LVCMOS25 ²	—	—
LVCMOS18	—	1.8
LVCMOS15	—	1.5
LVCMOS12 ²	—	—
PCI	—	3.3
HSTL18 クラス I, II	0.9	—
HSTL18 クラス III	1.08	—
HSTL15 クラス I	0.75	—
HSTL15 クラス III	0.9	—
SSTL3 クラス I, II	1.5	—
SSTL2 クラス I, II	1.25	—
SSTL18 クラス I	0.9	—
差動・インターフェイス		
Differential SSTL18 クラス I	—	—
Differential SSTL2 クラス I, II	—	—
Differential SSTL3 クラス I, II	—	—
Differential HSTL15 クラス I, III	—	—
Differential HSTL18 クラス I, II, III	—	—
LVDS, LVPECL, BLVDS, RSDS	—	—

1. 特に明記されない場合 V_{CCIO} は有効な動作範囲内のどの値にも設定可能

2. JTAG入力は固定スレッショルド・オプションがなく、常にV_{CCJ}に従う

表2-14 サポートされる出力標準

出力標準	ドライブ	V _{CCIO} (公称値)
シングルエンド・インターフェイス		
LVTTL	4mA, 8mA, 12mA, 16mA, 20mA	3.3
LVCMOS33	4mA, 8mA, 12mA, 16mA, 20mA	3.3
LVCMOS25	4mA, 8mA, 12mA, 16mA, 20mA	2.5
LVCMOS18	4mA, 8mA, 12mA, 16mA	1.8
LVCMOS15	4mA, 8mA	1.5

LVC MOS12	2mA, 6mA	1.2
LVC MOS33, オープンドレイン	4mA, 8mA, 12mA 16mA, 20mA	—
LVC MOS25, オープンドレイン	4mA, 8mA, 12mA 16mA, 20mA	—
LVC MOS18, オープンドレイン	4mA, 8mA, 12mA 16mA	—
LVC MOS15, オープンドレイン	4mA, 8mA	—
LVC MOS12, オープンドレイン	2mA, 6mA	—
PCI33	N/A	3.3
HSTL18 クラス I, II, III	N/A	1.8
HSTL15 クラス I, III	N/A	1.5
SSTL3 クラス I, II	N/A	3.3
SSTL2 クラス I, II	N/A	2.5
SSTL18 クラス I	N/A	1.8
差動インターフェイス		
差動 SSTL3, クラス I, II	N/A	3.3
差動 SSTL2, クラス I, II	N/A	2.5
差動 SSTL18, クラス I	N/A	1.8
差動 HSTL18, クラス I, II, III	N/A	1.8
差動 HSTL15, クラス I, III	N/A	1.5
LVDS	N/A	2.5
BLVDS ¹	N/A	2.5
LVPECL ¹	N/A	3.3
RSDS ¹	N/A	2.5

1. 外部抵抗でエミュレート

ホット・ソケットティング(活線挿抜)

パワーアップやパワーダウンの間、予測できる振舞いを確実にするようにLatticeECP/ECデバイスは入念に設計されました。電源投入は順不同にすることができます。パワーアップとパワーダウン・シーケンスの間、電源電圧が信頼できる動作を確実にすることができるくらい高くなるまで、I/Oはトライステートのままです。さらに、I/Oピンへのリークは仕様範囲内に制御されますので、これによりシステムの他部分とのインテグレーションが容易にできます。この機能でLatticeECP/ECを多くの複数電源やホットスワップのアプリケーションに理想的です。

推奨電源投入シーケンス；前のパラグラフで述べたように、供給電源の順序は任意です。しかしながら、いったん内部電源の動作状態が満たされる (V_{CC} , V_{CCAUX} , バンク3の V_{CCIO} で決まる) と、その後デバイスはI/Oをトライステート状態から開放するため、I/Oの管理は設計者の責任で行う必要があります。したがってシステム設計を簡易化するためには、 V_{CCIO} 、 V_{CC} 、 V_{CCAUX} の順序で供給することを推奨します。もし V_{CCIO} が V_{CC} や V_{CCAUX} に接続されている場合、他の電源よりも V_{CCIO} と関連する電源を先に供給することを推奨します。

コンフィグレーションとテスト

以下のセクションはLatticeECP/ECファミリデバイスのコンフィグレーションとテスト機能について説明します。

IEEEの1149.1準拠のバウンダリ・スキャン・テストビリティ

すべてのLatticeECP/ECデバイスには、IEEE1149.1準拠のテスト・アクセス・ポート(TAP)を通してアクセスされるバウンダリ・スキャン・セルがあります。これは、すべての重要なロジック・ノードにアクセスすることができるシリアル・スキャン・パスを通して、デバイスが搭載される回路基板の機能的なテストを可能にします。内部レジスタはリンクされており、テストデータがシフトインされて直接テスト・ノードにロードされるか、または検証のためにテストデータをキャプチャしてシフトアウトすることができます。テスト・アクセス・ポートはTDI、TDO、TCK、およびTMSの専用I/Oから成ります。テスト・アクセス・ポートは、それ自身の電源電圧V_{CCJ}を持っていて、LVCMOS3.3/2.5/1.8/1.5/1.2の標準で動作することができます。

デバイス・コンフィグレーション

すべてのLatticeECP/ECデバイスがデバイス・コンフィグレーションに用いることができる2つのポートを含んでいます。TAPはビット幅のコンフィグレーション、およびsysCONFIGポートはバイト幅かシリアル・コンフィグレーションをサポートします。

TAPは、IEEE標準1149.1バウンダリ・スキャン仕様とIEEE標準1532のインシステム・コンフィグレーション仕様の両方をサポートします。sysCONFIGポートは20ピンのインターフェイスで、6ピンの専用I/Oと、複数用途の残りのピンよりなります。sysCONFIGモードが使用されないとき、これらの複数用途のピンは汎用I/Oとして利用できます。LatticeECP/ECデバイスには4つのコンフィグレーション・オプションがあります。

1. 業界基準SPIメモリ
2. 業界基準のバイト幅フラッシュと制御・アドレッシング用のispMACH4000
3. コンフィグレーション・バスかTAPを通してシステムのマイクロプロセッサから
4. 業界基準のFPGAボード・メモリ

パワーアップするとき、sysCONFIGポートがアクティブな状態でFPGA SRAMは構成される準備ができています。IEEE1149.1シリアル・モードは、パワーアップ後にTAPポートを通して適切なコマンドを送ることによっていつでも活性化することができます。コンフィグレーション・ポートがいったん選択されると、そのポートはロックされ、次のパワーアップ・シーケンスまで別のコンフィグレーション・ポートは動作させることはできません。

デバイス・コンフィグレーションの詳しい情報に関しては、テクニカル・ドキュメンテーション (TN1053) を参照してください。

ロジック・アナライザ機能(ispTRACY)

すべてのLatticeECP/ECデバイスにロジック・アナライザ診断機能を組み込むことができます。診断機能はプログラマブル・イベント/トリガ条件や深いトレースメモリのような、外部に接続するロジック・アナライザと同様の機能を提供します。この機能はラティスのispTRACYによってイネーブルされ、ispTRACYユーティリティはコンパイル時にユーザの設計に加えられます。

ispTRACYの詳しい情報に関しては、テクニカル・ドキュメンテーション (TN1054) を参照してください。

外部抵抗

LatticeECP/ECデバイスはXRESピンとグランド間に10K Ω +/-1%の抵抗一本を必要とします。この抵抗がないと、デバイス・コンフィグレーションは終了しません。外部抵抗パッドにはバウンダリ・スキャン・レジスタはありません。

オシレータ

全LatticeECP/ECデバイスが、コンフィグレーション用のマスタシリアル・クロックを得るために用いられる内部CMOSオシレータを持っています。オシレータとマスタシリアル・クロックは連続して動作します。マスタシリアル・クロックのデフォルト値は2.5MHzです。表2-15は利用できるすべてのマスタシリアル・クロック周波数を記載します。デザインの過程で異なるマスタシリアル・クロックが選択されるとき、以下のシーケンスが行われます。

1. ユーザは異なるマスタシリアル・クロック周波数を選択します。
2. コンフィグレーションの間、デバイスはデフォルト(2.5MHz)マスタシリアル・クロック周波数から始まります。
3. クロック・コンフィグレーション設定はコンフィグレーション・ビット・ストリームの初めに含まれています。
4. クロック・コンフィグレーション・ビットがいったん受け取られると、マスタシリアル・クロック周波数は選択された周波数に変化します。

コンフィグレーション用オシレータの詳しい情報に関しては、テクニカル・ドキュメンテーション (TN1053) を参照してください。

表2-15 コンフィグレーションの間の選択可能なマスタシリアル・クロック(CCLK)周波数

CCLK (MHz)	CCLK (MHz)	CCLK (MHz)
2.5 (デフォルト)	13	45
4.3	15	51
5.4	20	55
6.9	26	60
8.1	30	130
9.2	34	—
10.0	41	—

ロジック集積度の移行 (マイグレーション)

同じパッケージで異なるロジック集積度のデバイスが同じピン配置であることを保証するようにLatticeECP/ECファミリは設計されています。さらにアーキテクチャは、小さいロジック集積度のデバイスからより大きいロジック集積度のデバイスに設計のマイグレーションを行うときに、高い成功率を確実にします。また多くの場合、高密度デバイスの低い使用効率の設計を、小さいロジック集積度のデバイスにターゲットを移行させることも可能です。しかしながら、最終的なリソース使用効率の正確な詳細は、それぞれのケースで成功の確からしさに影響を与えるでしょう。

LatticeECP/ECファミリデータシート

DCおよびスイッチング特性

絶対最大定格^{1 2 3}

電源電圧 V_{CC}	-0.5 ~ 1.32V
電源電圧 V_{CCAUX}	-0.5 ~ 3.75V
電源電圧 V_{CCJ}	-0.5 ~ 3.75V
出力電源電圧 V_{CCIO}	-0.5 ~ 3.75V
加えられる入力電圧 ¹	-0.5 ~ 4.25V
加えられるI/Oトライステート電圧 ⁴	-0.5 ~ 3.75V
保存温度(周囲)	-65 ~ 150°C
ジャンクション温度(Tj)	+125°C

1 “絶対最大定格”で記載された以上のストレスはデバイスに永久的な損傷を引き起こすかもしれません。これら条件下で、或いはこれら仕様項目の推奨動作条件セクションで示される以外のいかなる他の条件下で、デバイスの機能的な動作を暗示するものではありません。

2 ラティス”Thermal Management”（熱管理）ドキュメントに従うことが必要です。

3 全ての電圧はGND基準です

4 -2V~(V_{IHMAX} + 2)Vまでのオーバシュートとアンダシュートは <20nsの期間は許容されます。

推奨動作条件

シンボル	パラメータ	Min.	Max.	単位
V_{CC}	コア電源電圧	1.14	1.26	V
V_{CCAUX}	補助(Auxiliary)電源電圧	3.135	3.465	V
$V_{CCIO}^{1, 2}$	I/Oドライバ電源電圧	1.140	3.465	V
V_{CCJ}^1	IEEE1149.1テスト・アクセス・ポート電源電圧	1.140	3.465	V
t_{JCOM}	ジャンクション温度、コマーシャル動作	0	+85	°C
t_{JIND}	ジャンクション温度、インダストリアル動作	-40	100	°C

- V_{CCIO} か V_{CCJ} が1.2Vに設定される場合、それらは V_{CC} と同じ電源に接続のこと。
 V_{CCIO} か V_{CCJ} が3.3Vに設定される場合、それらは V_{CCAUX} と同じ電源に接続のこと。
- 後の表におけるI/O標準毎の推奨電圧を参照のこと。

ホット・ソケットティング(活線挿抜)仕様^{1 2 3 4}

シンボル	パラメータ	条件	Min.	Typ.	Max	単位
I_{DK}	入力、I/Oのリーク電流	$0 \leq V_{IN} \leq V_{IH} (MAX)$	—	—	+/-1000	uA
左右辺I/Oバンクの汎用sysIOポート（バンク2、3、6、7）						
I_{DK_LR}	入力、I/Oのリーク電流	$V_{IN} \leq V_{IH} (MAX)$	—	—	+/-1000	uA
		$V_{IN} \geq V_{IH} (MAX)$	—	35	—	mA

1 V_{CC} 、 V_{CCAUX} 及び V_{CCIO} のシーケンスは順不同。ただし、いずれも単調増加・降下レートであることが必要

2 $0 \leq V_{CC} \leq V_{CC} (MAX)$ 、 $0 \leq V_{CCIO} \leq V_{CCIO} (MAX)$ 、または $0 \leq V_{CCAUX} \leq V_{CCAUX} (MAX)$

3 I_{DK} は I_{PU} 、 I_{PW} 、または I_{BH} に加算される

4 LVCMOSとLVTTLにて測定した値に基づく

DC電氣的特性

推奨動作条件にわたって

シンボル	パラメータ	条件	Min.	Typ.	Max.	単位
I_{IL}, I_{IH}^1	入力、I/Oのリーク電流	$0 \leq V_{IN} \leq (V_{CCIO} - 0.2V)$	—	—	10	uA
		$(V_{CCIO} - 0.2V) \leq V_{IN} \leq 3.6V$	—	—	40	uA
I_{PU}	I/Oアクティブ・プルアップ電流	$0 \leq V_{IN} \leq 0.7 V_{CCIO}$	30	—	150	uA
I_{PD}	I/Oアクティブ・プルダウン電流	$V_{IL} (MAX) \leq V_{IN} \leq V_{IH} (MAX)$	-30	—	-150	uA
I_{BHLS}	バスホールドLow維持電流	$V_{IN} = V_{IL} (MAX)$	30	—	—	uA
I_{BHHS}	バスホールドHigh維持電流	$V_{IN} = 0.7V_{CCIO}$	-30	—	—	uA
I_{BHLO}	バスホールドLowオーバドライブ電流	$0 \leq V_{IN} \leq V_{IH} (MAX)$	—	—	150	uA
I_{BHLH}	バスホールドHighオーバドライブ電流	$0 \leq V_{IN} \leq V_{IH} (MAX)$	—	—	-150	uA
V_{BHT}	バスホールド・トリップ・ポイント	$0 \leq V_{IN} \leq V_{IH} (MAX)$	$V_{IL} (MAX)$	—	$V_{IH} (MIN)$	V
C1	I/O容量 ²	$V_{CCIO} = 3.3V, 2.5V, 1.8V, 1.5V, 1.2V,$ $V_{CC} = 1.2V, V_{IO} = 0 \text{ to } V_{IH} (MAX)$	—	8	—	pf
C2	専用入力の容量 ²	$V_{CCIO} = 3.3V, 2.5V, 1.8V, 1.5V, 1.2V,$ $V_{CC} = 1.2V, V_{IO} = 0 \text{ to } V_{IH} (MAX)$	—	6	—	pf

1. 入力やI/Oのリーク電流は、出力ドライバをトライステートにし、ピンは入力として、またはI/Oとして構成して測定される。出力ドライバがアクティブな状態では測定されない。バスメンテナンス回路はディセーブルされる。
2. T_A 25°C、 $f = 1.0MHz$

供給電流(スタンバイ時)^{1 2 3 4}

推奨動作条件にわたって

シンボル	パラメータ	条件	Typ. ⁵	Max.	単位
I _{CC}	コア電源電流	LFEC1			mA
		LFEC3			mA
		LFEC6/LFEC6P6	14		mA
		LFEC10/LFEC10P10			mA
		LFEC15/LFEC15P15			mA
		LFEC20/LFEC20P20	60		mA
		LFEC33/LFEC33P33			mA
I _{CCAUX}	補助(Auxiliary)電源電流	LFEC1			mA
		LFEC3			mA
		LFEC6/LFEC6P6	15		mA
		LFEC10/LFEC10P10			mA
		LFEC15/LFEC15P15			mA
		LFEC20/LFEC20P20	15		mA
		LFEC33/LFEC33P33			mA
I _{CCPLL}	PLL電源電流	LFEC1, LFEC3, LFEC6/LFEC6P6, LFEC10/LFEC10P10, LFEC15/LFEC15P15, LFEC20/LFEC20P20, LFEC33/LFEC33P33	5		mA
I _{CCIO}	バンク電源電流		2		mA
I _{CCJ}	V _{CCJ} 電源電流		5		mA

1 供給電流についてのさらなる情報については、このデータシートの後ろの付加的技術情報の詳細を参照のこと。

2 全出力はトリステート、全入力はLVCMOSに構成されてV_{CCIO}またはGNDに固定されていると仮定。

3 周波数 0MHz.

4 パターンは標準的な設計例をとり、ロジックが65%、EBRが55%、配線が10%使用されたものとする。

5 T_j=25°C、電源電圧は標準値

6 バンク当り

初期化供給電流^{1 2 3 4 5 6}

推奨動作条件にわたって

シンボル	パラメータ	条件	Typ. ⁶	Max.	単位
I _{CC}	コア電源電流	LFEC1			mA
		LFEC3			mA
		LFEC6/LFEC6P6	25		mA
		LFEC10/LFEC10P10			mA
		LFEC15/LFEC15P15			mA
		LFEC20/LFEC20P20	150		mA
		LFEC33/LFEC33P33			mA
I _{CCAUX}	補助(Auxiliary)電源電流	LFEC1			mA
		LFEC3			mA
		LFEC6/LFEC6P6	15		mA
		LFEC10/LFEC10P10			mA
		LFEC15/LFEC15P15			mA
		LFEC20/LFEC20P20	25		mA
		LFEC33/LFEC33P33			mA
I _{CCPLL}	PLL電源電流	LFEC1, LFEC3, LFEC6/LFEC6P6, LFEC10/LFEC10P10, LFEC15/LFEC15P15, LFEC20/LFEC20P20, LFEC33/LFEC33P33	12		mA
I _{CCIO}	バンク電源電流 ⁷		10		mA
I _{CCJ}	V _{CCJ} 電源電流		10		mA

1 DONE信号がアクティブになるまで

2 供給電流についてのさらなる情報については、このデータシートの後ろの付加的技術情報の詳細を参照のこと。

3 全出力はトライステート、全入力はLVCMOSに構成されてV_{CCIO}またはGNDに固定されていると仮定。

4 周波数 0MHz.

5 パターンは標準的な設計例をとり、ロジックが65%、EBRが55%、配線が10%使用されたものとする。

6 T_j=25°C、電源電圧は標準値

7 バンク当り

sysIO推奨動作条件

標準	V _{CCIO}			V _{REF} (V)		
	Min.	Typ.	Max.	Min.	Typ.	Max.
LVC MOS 3.3	3.135	3.3	3.465	—	—	—
LVC MOS 2.5	2.375	2.5	2.625	—	—	—
LVC MOS 1.8	1.71	1.8	1.89	—	—	—
LVC MOS 1.5	1.425	1.5	1.575	—	—	—
LVC MOS 1.2	1.14	1.2	1.26	—	—	—
LV TTL	3.135	3.3	3.465	—	—	—
PCI	3.135	3.3	3.465	—	—	—
SSTL18 クラス I	1.71	2.5	1.89	1.15	1.25	1.35
SSTL2 クラス I, II	2.375	2.5	2.625	1.15	1.25	1.35
SSTL3 クラス I, II	3.135	3.3	3.465	1.3	1.5	1.7
HSTL15 クラス I	1.425	1.5	1.575	0.68	0.75	0.9
HSTL15 クラス III	1.425	1.5	1.575	—	0.9	—
HSTL 18 クラス I, II	1.71	1.8	1.89	—	0.9	—
HSTL 18 クラス III	1.71	1.8	1.89	—	1.08	—
LVDS	2.375	2.5	3.625	—	—	—
LVPECL ¹	3.135	3.3	3.465	—	—	—
BLVDS ¹	2.375	2.5	2.625	—	—	—

1. チップに対する入力。出力は外部抵抗を加えて実装する

シングルエンドsysIO DC電气的特性

入出力標準	V_{IL}		V_{IH}		V_{OL} Max. (V)	V_{OH} Min. (V)	I_{OL}^1 (mA)	I_{OH}^1 (mA)
	Min. (V)	Max. (V)	Min. (V)	Max. (V)				
LVCMOS 3.3	-0.3	0.8	2.0	3.6	0.4	$V_{CCIO} - 0.4$	20, 16, 12, 8, 4	-20, -16, -12, -8, -4
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
LVTTTL	-0.3	0.8	2.0	3.6	0.4	$V_{CCIO} - 0.4$	20, 16, 12, 8, 4	-20, -16, -12, -8, -4
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
LVCMOS 2.5	-0.3	0.7	1.7	3.6	0.4	$V_{CCIO} - 0.4$	20, 16, 12, 8, 4	-20, -16, -12, -8, -4
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
LVCMOS 1.8	-0.3	$0.35V_{CCIO}$	$0.65V_{CCIO}$	3.6	0.4	$V_{CCIO} - 0.4$	16, 12, 8, 4	-16, -12, -8, -4
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
LVCMOS 1.5	-0.3	$0.35V_{CCIO}$	$0.65V_{CCIO}$	3.6	0.4	$V_{CCIO} - 0.4$	8, 4	-8, -4
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
LVCMOS 1.2	-0.3	$0.35V_{CC}$	$0.65V_{CC}$	3.6	0.4	$V_{CCIO} - 0.4$	6, 2	-6, -2
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
PCI	-0.3	$0.3V_{CCIO}$	$0.5V_{CCIO}$	3.6	$0.1V_{CCIO}$	$0.9V_{CCIO}$	1.5	-0.5
SSTL3 クラス I	-0.3	$V_{REF} - 0.2$	$V_{REF} + 0.2$	3.6	0.7	$V_{CCIO} - 1.1$	8	-8
SSTL3 クラス II	-0.3	$V_{REF} - 0.2$	$V_{REF} + 0.2$	3.6	0.5	$V_{CCIO} - 0.9$	16	-16
SSTL2 クラス I	-0.3	$V_{REF} - 0.18$	$V_{REF} + 0.18$	3.6	0.54	$V_{CCIO} - 0.62$	7.6	-7.6
SSTL2 クラス II	-0.3	$V_{REF} - 0.18$	$V_{REF} + 0.18$	3.6	0.35	$V_{CCIO} - 0.43$	15.2	-15.2
SSTL18 クラス I	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	3.6	0.4	$V_{CCIO} - 0.4$	6.7	-6.7
HSTL15 クラス I	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	3.6	0.4	$V_{CCIO} - 0.4$	8	-8
HSTL15クラス III	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	3.6	0.4	$V_{CCIO} - 0.4$	24	-8
HSTL18クラス I	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	3.6	0.4	$V_{CCIO} - 0.4$	9.6	-9.6
HSTL18クラス II	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	3.6	0.4	$V_{CCIO} - 0.4$	16	-16
HSTL18 クラスIII	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	3.6	0.4	$V_{CCIO} - 0.4$	24	-8

1. ロジック信号接続表で示されるように、I/OによってGND接続の間、あるいはI/Oバンクの端の最後のGNDとI/Oバンク間を流れる平均DC電流は、 $n \times 8\text{mA}$ を超えないものとします。ここでnはバンクGND接続か、バンクの最後のGNDとバンク端の間のI/O数です。

(The average DC current drawn by I/Os between GND connections, or between the last GND in an I/O bank and the end of an I/O bank, as shown in the logic signal connections table shall not exceed $n \times 8\text{mA}$. Where n is the number of I/Os between bank GND connections or between the last GND in a bank and the end of a bank.)

差動sysIO電氣的特性

LVDS

推奨動作条件にわたって

パラメータ シンボル	パラメータ記述	テスト条件	Min.	Typ.	Max.	単位
V_{INP}, V_{INM}	入力電圧		0	—	2.4	V
V_{THD}	差動の入力スレッシュホールド		+/-100	—	—	mV
V_{CM}	入力コモンモード電圧	$100\text{mV} \leq V_{THD}$	$V_{THD}/2$	1.2	1.8	V
		$200\text{mV} \leq V_{THD}$	$V_{THD}/2$	1.2	1.9	V
		$350\text{mV} \leq V_{THD}$	$V_{THD}/2$	1.2	2.0	V
I_{IN}	入力電流	パワーオン、またはオフ	—	—	+/-10	uA
V_{OH}	V_{OP} か V_{OM} の出力High電圧	$R_T = 100 \text{ Ohm}$	—	1.38	1.60	V
V_{OL}	V_{OP} か V_{OM} の出力Low電圧	$R_T = 100 \text{ Ohm}$	0.9V	1.03	—	V
V_{OD}	出力差動電圧	$(V_{OP} - V_{OM}), R_T = 100 \text{ Ohm}$	250	350	450	mV
ΔV_{OD}	HighとLow間の V_{OD} の変化		—	—	50	mV
V_{OS}	出力電圧オフセット	$(V_{OP} - V_{OM})/2, R_T = 100 \text{ Ohm}$	1.125	1.25	1.375	V
ΔV_{OS}	HとLの間の V_{OS} V_{OS} の変化		—	—	50	mV
I_{OSD}	出力短絡電流	$V_{OD} = 0V$ 、ドライバ出力をショート	—	—	6	mA

差動のHSTLとSSTL

差動のHSTLとSSTL出力は1組のコンプリメンタリなシングルエンド出力として実装されます。すべての許容できるシングルエンド出力クラス(クラスIとクラスII)がこのモードでサポートされます。

LVDS25E

LatticeECP/ECデバイスの上下辺I/Oバンクは、コンプリメンタリなLVCMOS出力を外部抵抗とともに用いることで、LVDSをサポートします。図3-1で示すのはポイント・ツー・ポイント接続時の一つの構成例です。

図3-1 LVDS25E出力終端の例

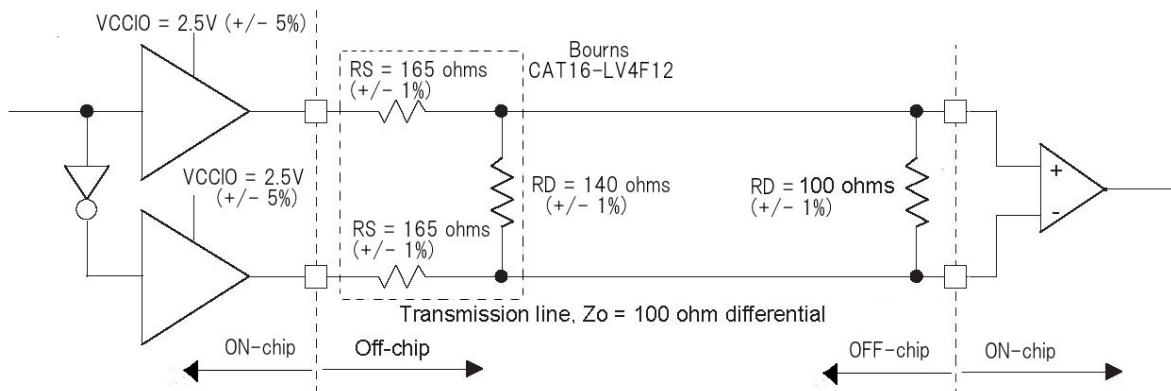


表3-1 LVDS25EのDC条件

パラメータ	記述	標準値	単位
V_{OH}	出力High電圧	1.42	V
V_{OL}	出力Low電圧	1.08	V
V_{OD}	出力差動電圧	0.35	V
V_{CM}	出力コモンモード電圧	1.25	V
Z_{BACK}	バック・インピーダンス	100	Ω

BLVDS

LatticeECP/ECデバイスは、BLVDS標準をサポートします。この標準は、ドライバ出力間の平行外部抵抗と共にコンプリメンタリなLVCMOS出力を用いることでエミュレートされます。BLVDSはマルチドロップで双方向のマルチポイント差動シグナリングが必要な時に用いられることを意図しています。図3-2で示されるスキームは、双方向のマルチポイント差動信号のための1つの可能なソリューションです。

図3-2 BLVDS マルチポイント出力の例

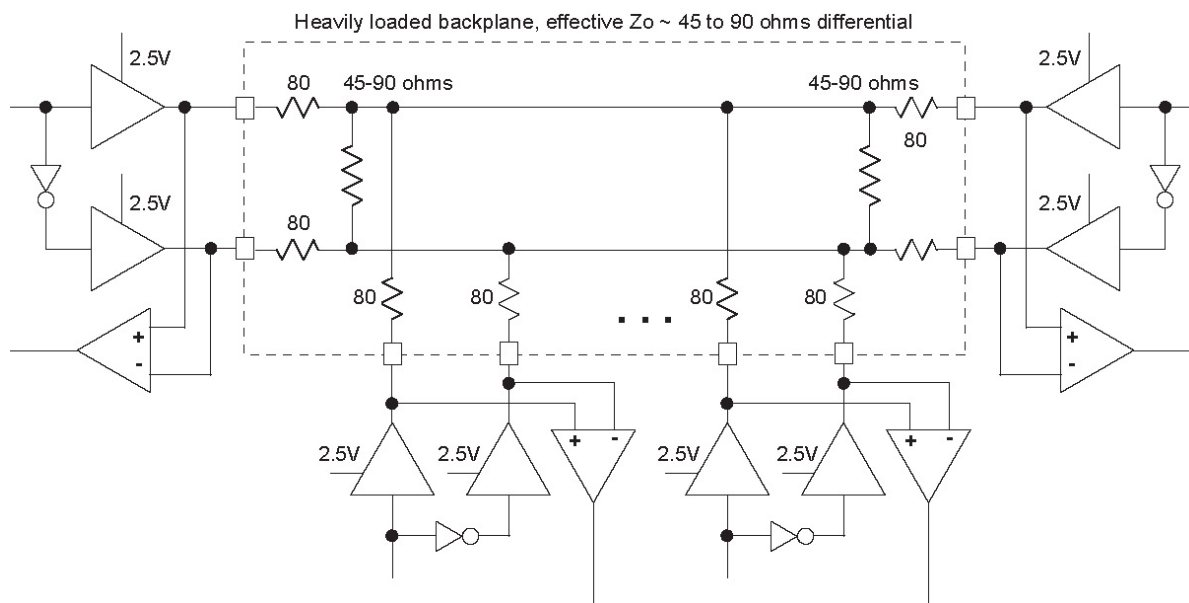


表3-1 BLVDS直流条件¹

推奨動作条件にわたって

パラメータ	記述	Typical		単位
		Zo = 45	Zo = 90	
Z _{OUT}	出力インピーダンス	100	100	ohm
R _{TLEFT}	左端の終端	45	90	ohm
R _{TRIGHT}	右端の終端	45	90	ohm
V _{OH}	出力High電圧	1.375	1.48	V
V _{OL}	出力Low電圧	1.125	1.02	V
V _{OD}	出力差動電圧	0.25	0.46	V
V _{CM}	出力コモンモード電圧	1.25	1.25	V
I _{DC}	DC出力電流	11.2	10.2	mA

1. 入力バッファに関しては、LVDS表を参照してください

LVPECL

LatticeECP/ECデバイスは、差動LVPECL標準をサポートします。この標準は、ドライバ出力間の平行外部抵抗と共にコンプリメンタリなLVCMOS出力を用いることでエミュレートされます。図3-3で示されるスキームは、ポイント・ツー・ポイント信号のための1つの可能なソリューションです。

図3-3 差動LVPECL

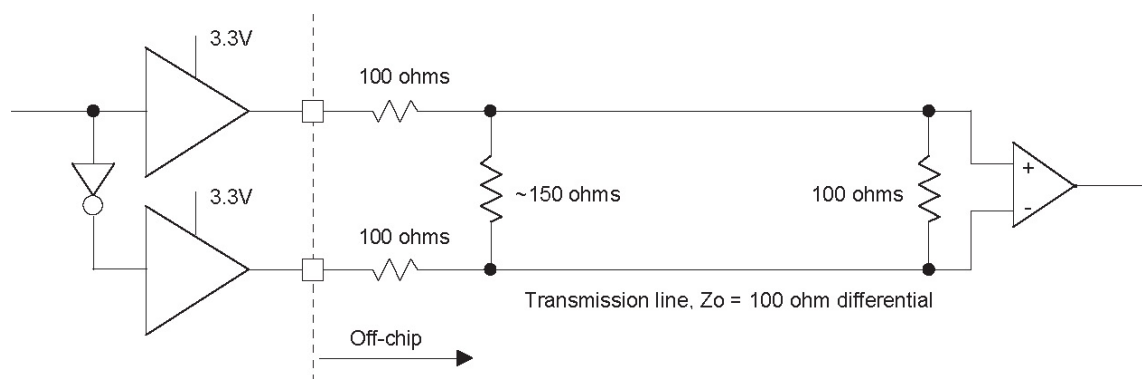


表3-2 LVPECL直流条件¹

推奨動作条件にわたって

パラメータ	記述	Typical	単位
Z_{OUT}	出力インピーダンス	100	ohm
R_P	ドライバの平行抵抗	150	ohm
R_T	レシーバ終端	100	ohm
V_{OH}	出力High電圧	2.03	V
V_{OL}	出力Low電圧	1.27	V
V_{OD}	出力差動電圧	0.76	V
V_{CM}	出力共通モード電圧	1.65	V
Z_{BACK}	バック・インピーダンス	85.7	ohm
I_{DC}	DC出力電流	12.7	mA

1. 入力バッファに関しては、LVDS表を参照してください。

LVPECL、BLVDS、および他の差動のインターフェイスの詳細に関しては、テクニカルドキュメンテーション (TN1056) を参照してください。

RSDS

LatticeECP/ECデバイスは、差動RSDS標準をサポートします。この標準は、ドライバ出力間の平行外部抵抗と共にコンプリメンタリなLVCMOS出力を用いることでエミュレートされます。図3-4に示されたスキームはRSDS標準の実装のための1つの可能なソリューションです。RSDS動作には推奨抵抗値でLVDS25Eモードを用いてください。図3-3における抵抗値は1%偏差の業界標準値です。

図3-4 RSDS (Reduced Swing Differential Standard)

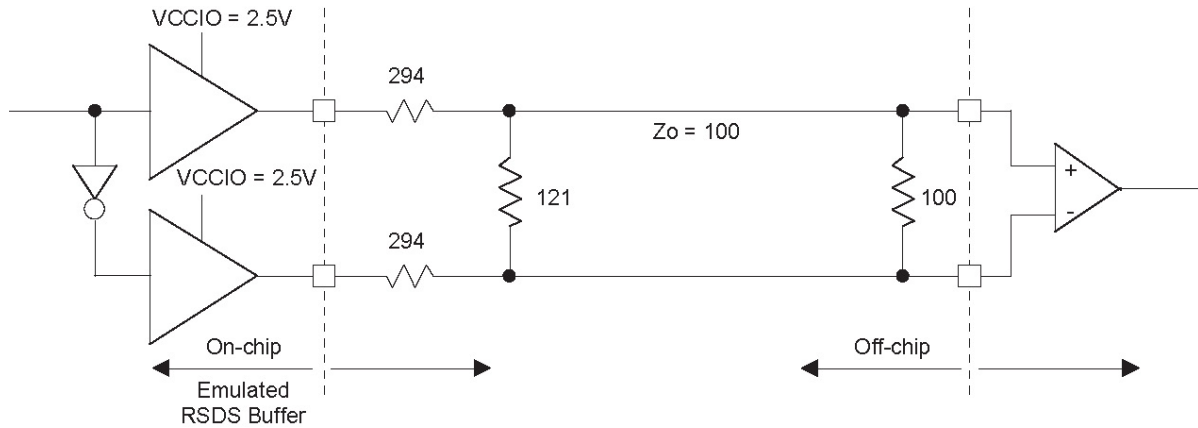


表3-3 RSDS DC条件

パラメータ	記述	Typical	単位
Z _{OUT}	出力インピーダンス	20	ohm
R _S	ドライバ・シリーズ抵抗	294	ohm
R _P	ドライバ・パラレル抵抗	121	ohm
R _T	レシーバ終端	100	ohm
V _{OH}	出力 High 電圧	1.35	V
V _{OL}	出力 Low 電圧	1.15	V
V _{OD}	出力差動電圧	0.20	V
V _{CM}	出力コモンモード電圧	1.25	V
Z _{BACK}	バック・インピーダンス	101.5	ohm
I _{DC}	DC 出力電流	3.66	mA

5V許容の入力バッファ

デバイスのLatticeECP/ECファミリの入力バッファは、図3-5で示されるようにPCIクランプと外部のシリーズ抵抗を用いて5V信号をサポートすることができます。図3-6で示されるようなPCIクランプ特性を用いることによって、適切な抵抗を選択することができます。

図3-5 5V許容の入力バッファ

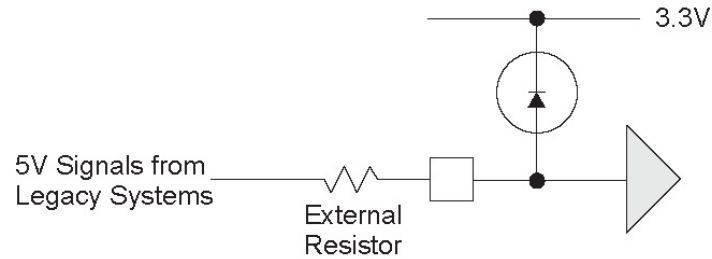
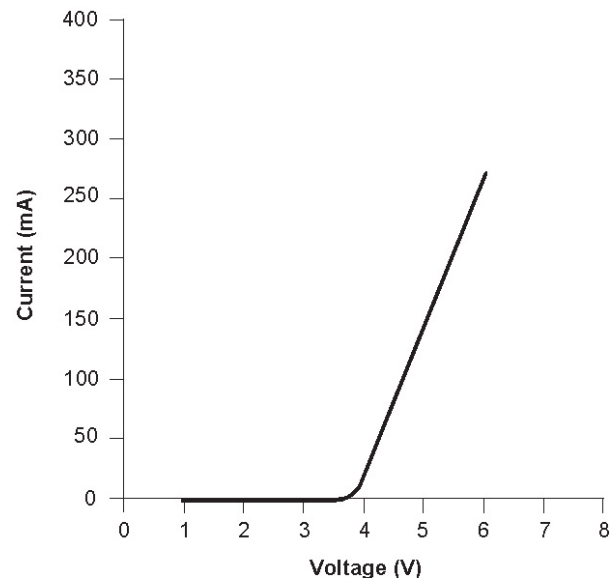


図3-6 典型的なPCIクランプ電流



典型的なビルディング・ブロック機能パフォーマンス

ピン・ピン間のパフォーマンス(LVCMOS25 12mA ドライブ)

機能	-5 タイミング	単位
基本機能		
16ビット・デコーダ	6.2	ns
32ビット・デコーダ	7.2	ns
64ビット・デコーダ	7.7	ns
4:1 MUX	4.8	ns
8:1 MUX	5.1	ns
16:1 MUX	6.1	ns
32:1 MUX	6.5	ns
組み合わせ(ピンから LUT、そしてピンへ)。	5.3	ns

レジスタ・レジスタ間パフォーマンス

機能	-5 タイミング	単位
基本機能		
16ビット・デコーダ	331	MHz
32ビット・デコーダ	277	MHz
64ビット・デコーダ	240	MHz
4:1 MUX	727	MHz
8:1 MUX	482	MHz
16:1 MUX	439	MHz
32:1 MUX	382	MHz
8 ビット加算器	391	MHz
16 ビット加算器	337	MHz
64 ビット加算器	190	MHz
16 ビット・カウンタ	410	MHz
32 ビット・カウンタ	315	MHz
64 ビット・カウンタ	215	MHz
64 ビット・アキュムレータ	155	MHz
エンベデッド・メモリ機能		
256×36 シングルポート RAM	280	MHz
512×18 真のデュアルポート RAM	280	MHz
分散メモリ機能		
16×2 シングルポート RAM	549	MHz
64×2 シングルポート RAM	259	MHz
128×4 シングルポート RAM	205	MHz
32×2 擬似デュアルポート RAM	360	MHz
64×4 擬似デュアルポート RAM	301	MHz
DSP機能		
9×9 パイプライン化乗算/アキュミュレート ¹	250	MHz
18×18 パイプライン化乗算/アキュミュレート ¹	230	MHz

36×36 パイプライン化乗算 ¹	210	MHz
------------------------------	-----	-----

1. LatticeECPデバイスだけに適用

本数値はispLEVER開発ツールを用いて算出されたもので、設計とツールのバージョンにより正確な値は異なることがある。ツールが用いる内部パラメータはキャラクタライズされたものであるが、全てのデバイスについてテストされたものではない。

ディレーティング・タイミング表

データシートの以下のセクションとispLEVERデザインツールに提供されるロジック・タイミングは、動作範囲の最悪値です。ベストケース・プロセスの公称温度と電圧における実際の遅延は、表で与えられた値よりはるかに良い場合があります。特定の温度と電圧でロジック・タイミング値について計算するには、示された値に以下に示すディレーティング係数を乗算してください。

FPGAのジャンクション温度はデバイスの電力消費、パッケージの熱特性(Θ_{JA})、および周囲温度により、以下の等式で計算されます。

$$T_{JMAX} = T_{AMAX} + (\text{電力} * \Theta_{JA})$$

ユーザは、以下の T_J °Cディレーティング表に基づくディレーティング係数を決定するためにこの温度を決定して、次にそれを用いなければなりません。

表3-4 内部ブロックのための遅延ディレーティング表

T_J °C コマーシャル	T_J °C インダストリアル	電源電圧		
		1.14V	1.2V	1.26V
—	-40	0.82	0.77	0.71
—	-25	0.82	0.76	0.71
0	15	0.89	0.83	0.81
25	40	0.93	0.87	0.89
85	100	1.00	0.94	0.90
100	115	1.00	0.95	0.90
110	125	1.00	0.95	0.90
125	—	1.02	0.96	0.91

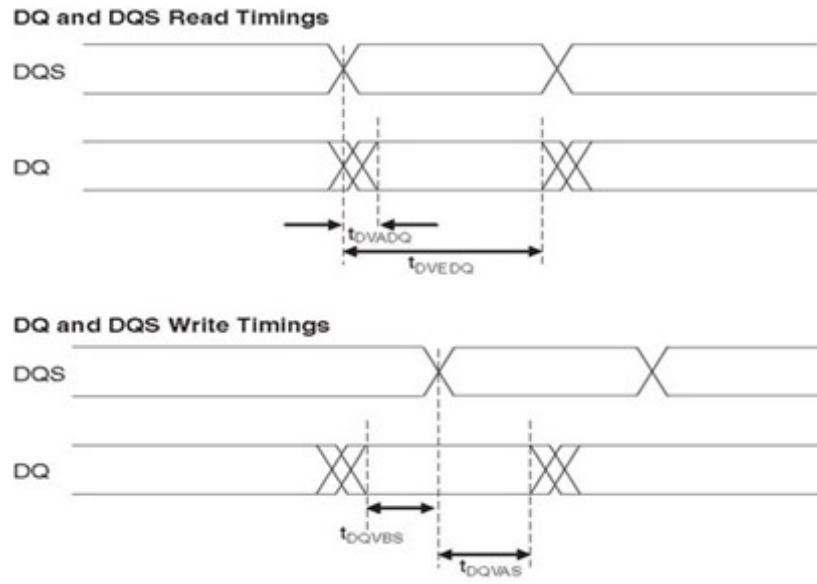
LatticeECP/EC 外部スイッチング特性

推奨動作条件にわたって

パラメータ	記述	デバイス	-5		-4		-3		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
汎用I/Oピン・パラメータ(PLLなしでプライマリ・クロックを用いる) ¹									
t _{CO}	クロック対出力 - PIO 出力レジスタ	LFEC6P6/EC6, LFEC6P20/EC20	—	5.71	-	6.85	—	7.99	ns
t _{SU}	クロック対データ・セットアップ -PIO 入力レジスタ	LFEC6P6/EC6, LFEC6P20/EC20	0.00	—	0.00	—	0.00	—	ns
t _H	クロック対データ・ホールド -PIO 入力レジスタ	LFEC6P6/EC6, LFEC6P20/EC20	3.41	—	4.09	—	4.77	—	ns
t _{SU_DEL}	クロック対データ・セットアップ・データ入力遅延あり PIO 入力レジスタ	LFEC6P6/EC6, LFEC6P20/EC20	3.84	—	4.62	—	5.38	—	ns
t _{H_DEL}	クロック対データ・ホールド・入力データ遅延あり PIO 入力レジスタ	LFEC6P6/EC6, LFEC6P20/EC20	0	—	0	—	0	—	ns
f _{MAX_IO}	I/OとPFUレジスタのクロック周波数	LFEC6P6/EC6, LFEC6P20/EC20	—	420	—	378	—	340	Mhz
DDR I/Oピン・パラメータ ^{2,3}									
t _{DVADQ} ⁴	DQS後の有効データ(DDRリード)	LFEC6P6/EC6, LFEC6P20/EC20	—	0.192	—	0.192	—	0.192	UI
t _{DVEDQ} ⁴	DQS後のデータホールド(DDRリード)	LFEC6P6/EC6, LFEC6P20/EC20	0.668	—	0.668	—	0.668	—	UI
t _{DQVBS}	DQS前の有効データ	LFEC6P6/EC6, LFEC6P20/EC20	0.2	—	0.2	—	0.2	—	UI
t _{DQVAS}	DQS前の有効データ	LFEC6P6/EC6, LFEC6P20/EC20	0.2	—	0.2	—	0.2	—	UI
f _{MAX_DDR}	DDRクロック周波数	LFEC6P6/EC6 (fpBGA), LFEC6P20/EC20 (fpBGA)	95	200	95	166	95	133	MHz
		LFEC6P6/EC6 (TQFP), LFEC6P20/EC20 (TQFP)	95	166	95	133	95	133	MHz
プライマリとセカンダリ・クロック									
f _{MAX_PRI}	プライマリ・クロックツリー周波数	LFEC6P6/EC6, LFEC6P20/EC20	—	420	—	378	—	340	MHz
t _{W_PRI}	プライマリ・クロックパルス幅	LFEC6P6/EC6, LFEC6P20/EC20	1.19	—	1.19	—	1.19	—	ns
t _{SKEW_PRI}	I/Oバンク内のプライマリ・クロックスキュー	LFEC6P6/EC6, LFEC6P20/EC20	—	250	—	300	—	350	ps

1. 一般のタイミング値はLVCMOS2.5V、12mAに基づく
2. DDRタイミング値はSSTL I/Oに基づく
3. DR仕様値はキャラクタライズされているが、テストはされていない
4. UIはビットあたりの平均

図3.7 DDR タイミング



LatticeECP/EC内部タイミング・パラメータ¹

推奨動作条件にわたって

パラメータ	記述	-5		-4		-3		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
PFU/PFFロジック・モード・タイミング								
t _{LUT4_PFU}	LUT4 遅延 (A～D 入力から F 出力)	—	0.25	—	0.31	—	0.36	ns
t _{LUT6_PFU}	LUT6 遅延(A～D 入力から OFX 出力)	—	0.55	—	0.66	—	0.77	ns
t _{LSR_PFU}	セット/リセット対 PFU 出力	—	0.81	—	0.98	—	1.14	ns
t _{SUM_PFU}	入力セットアップ時間、クロック対 Mux (M0、M1)	0.08	—	0.10	—	0.11	—	ns
t _{HM_PFU}	入力ホールド時間、クロック対 Mux (M0、M1)	-0.06	—	-0.07	—	-0.08	—	ns
t _{SUD_PFU}	入力セットアップ時間、クロック対 D 入力	0.11	—	0.14	—	0.16	—	ns
t _{HD_PFU}	ホールド時間、クロック対 D 入力	-0.04	—	-0.04	-	-0.05	—	ns
t _{CK2Q_PFU}	クロック対 Q 遅延、D-タイプ・レジスタ・コンフィグレーション	—	0.43	—	0.51	—	0.60	ns
t _{LE2Q_PFU}	クロック対 Q 遅延、ラッチ・コンフィグレーション	—	0.54	—	0.65	—	0.76	ns
t _{LD2Q_PFU}	D 対 Q スループット遅延、ラッチ・イネーブル時	—	0.50	—	0.60	—	0.69	ns
PFUメモリ・モード・タイミング								
t _{CORAM_PFU}	クロック対出力	—	0.43	—	0.51	—	0.60	ns
t _{SUDATA_PFU}	データ・セットアップ時間	-0.25	—	-0.30	—	-0.34	—	ns
t _{HDATA_PFU}	データ・ホールド時間	-0.06	—	-0.07	—	-0.08	—	ns
t _{SUADDR_PFU}	アドレス・セットアップ時間	-0.66	—	-0.79	—	-0.92	—	ns
t _{HADDR_PFU}	アドレス・ホールド時間	-0.27	—	-0.33	—	-0.38	—	ns
t _{SUWREN_PFU}	リード/ライト・イネーブル・セットアップ時間	-0.30	—	-0.36	—	-0.42	—	ns
t _{HWREN_PFU}	リード/ライト・イネーブル・ホールド時間	-0.21	—	-0.25	—	-0.29	—	ns
PICタイミング								
PIO 入力/出力バッファ・タイミング								
t _{IN_PIO}	入力バッファ遅延	—	0.56	—	0.67	—	0.78	ns
t _{OUT_PIO}	出力バッファ遅延	—	2.07	—	2.49	—	2.90	ns
IOLOGIC入力/出力タイミング								
t _{SUI_PIO}	入力レジスタ・セットアップ時間(クロック前のデータ)	—	0.12	—	0.14	—	0.17	ns
t _{HI_PIO}	入力レジスタ・ホールド時間(クロック後のデータ)	—	-0.09	—	-0.11	—	-0.13	ns
t _{COO_PIO}	出力遅延、対出力レジスタ・クロック	—	0.82	—	0.98	—	1.15	ns
t _{SUCE_PIO}	セットアップ時間、入力レジスタ・クロック・イネーブル	—	-0.02	—	-0.02	—	-0.03	ns
t _{HCE_PIO}	ホールド時間、入力レジスタ・クロック・イネーブル	—	0.12	—	0.14	—	0.17	ns
t _{SULSR_PIO}	セット/リセット・セットアップ時間	0.10	—	0.12	—	0.14	—	ns
t _{HLSR_PIO}	セット/リセット・ホールド時間	-0.24	—	-0.29	—	-0.34	—	ns
EBRタイミング								

t _{CO_EBR}	クロック対出力、アドレスまたはデータから	—	3.80	—	4.55	—	5.31	ns
t _{COO_EBR}	クロック対出力、EBR 出力レジスタから	—	0.74	—	0.88	—	1.03	ns
t _{SUDATA_EBR}	セットアップ、データ対 EBR メモリ	-0.34	—	-0.41	—	-0.48	—	ns
t _{HDATA_EBR}	ホールド、データ対 EBR メモリ	0.37	—	0.44	—	0.52	—	ns
t _{SUADDR_EBR}	セットアップ、アドレス対 EBR メモリ	-0.34	—	-0.41	—	-0.48	—	ns
t _{HADDR_EBR}	ホールド、アドレス対 EBR メモリ	0.37	—	0.45	—	0.52	—	ns
t _{SUWREN_EBR}	ライト/リード・イネーブル・セットアップ、対 PFU メモリ	-0.22	—	-0.26	—	-0.30	—	ns
t _{HWREN_EBR}	ライト/リード・イネーブルホールド、対 PFU メモリ	0.23	—	0.28	—	0.33	—	ns
t _{SUCE_EBR}	クロック・イネーブル・セットアップ時間、対 EBR 出力レジスタ	0.28	—	0.34	—	0.40	—	ns
t _{HCE_EBR}	クロック・イネーブル・ホールド時間、対 EBR 出力レジスタ	-0.24	—	-0.29	—	-0.34	—	ns
t _{RSTO_EBR}	出力遅延時間、リセットから EBR 出力レジスタ	—	1.00	—	1.20	—	1.40	ns
PLLパラメータ								
t _{RSTREC}	リセット・リカバリ、対クロックの立ち上がり	—		—		—		ns
t _{RSTSU}	リセット信号セットアップ時間		—		—		—	ns
DSPブロック・タイミング²								
t _{SUI_DSP}	入力レジスタ・セットアップ時間	—	-0.44	—	-0.35	—	-0.27	ns
t _{HI_DSP}	入力レジスタ・ホールド時間	—	0.80	—	0.96	—	1.12	ns
t _{SUP_DSP}	パイプライン・レジスタ・セットアップ時間	—	3.31	—	3.98	—	4.64	ns
t _{HP_DSP}	パイプライン・レジスタ・ホールド時間	—	0.80	—	0.96	—	1.12	ns
t _{SUO_DSP}	出力レジスタ・セットアップ時間	—	6.72	—	8.07	—	9.41	ns
t _{HO_DSP}	出力レジスタ・ホールド時間	—	0.80	—	0.96	—	1.12	ns
t _{COI_DSP}	入力レジスタ・クロック対出力時間	—	8.33	—	10.35	—	12.07	ns
t _{COP_DSP}	パイプライン・レジスタ・クロック対出力時間	—	4.80	—	5.89	—	6.87	ns
t _{COO_DSP}	出力レジスタ・クロック対出力時間	—	1.47	—	1.77	—	2.06	ns
t _{COOVRFL_DSP}	オーバフロー・レジスタ・クロック対出力時間	—	1.47	—	1.77	—	2.06	ns
t _{SUADSUB}	AdSub セットアップ時間	—	3.31	—	3.98	—	4.64	ns
t _{HADSUB}	AdSub ホールド時間	—	0.71	—	0.86	—	1.00	ns
t _{SUSIGN}	Sign セットアップ時間	—	3.31	—	3.98	—	4.64	ns
t _{HSIGN}	Sign ホールド時間	—	0.80	—	0.96	—	1.12	ns
t _{SUACCSLOAD}	アキュムレータ・ロード、セットアップ時間	—	3.31	—	3.98	—	4.64	ns
t _{HACCSLOAD}	アキュムレータ・ロード、ホールド時間	—	0.80	—	0.96	—	1.12	ns

1 内部パラメータはキャラクタライズされているが、全デバイスはテストしていない

2 LatticeECPデバイスのみ適用

タイミング・ダイヤグラム

PFUタイミング・ダイヤグラム

図3-8 スライス・シングル / デュアル・ポート、ライトサイクル・タイミング

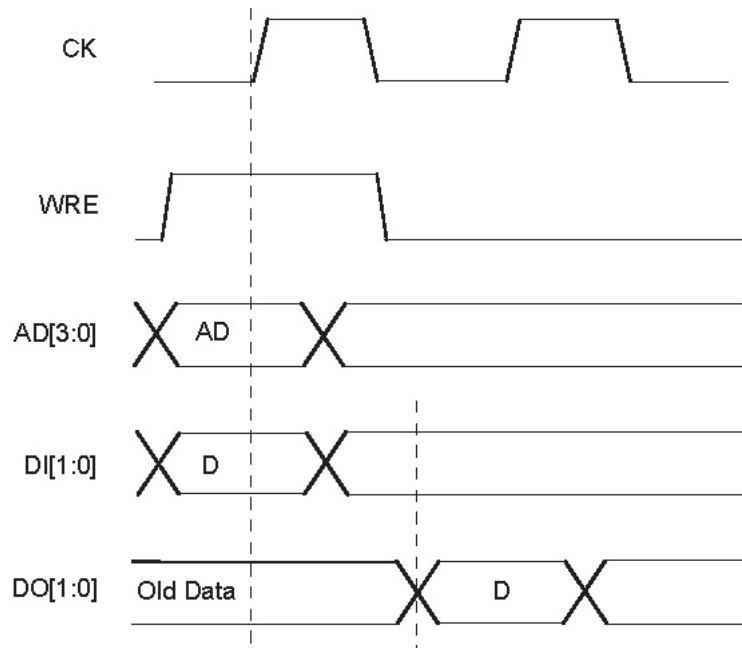
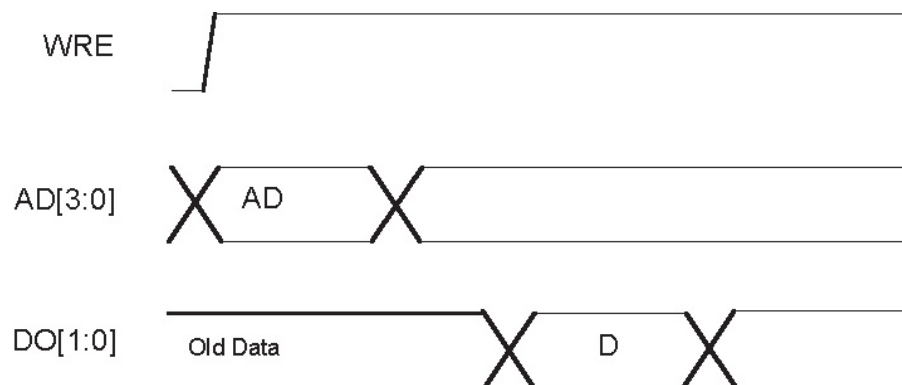
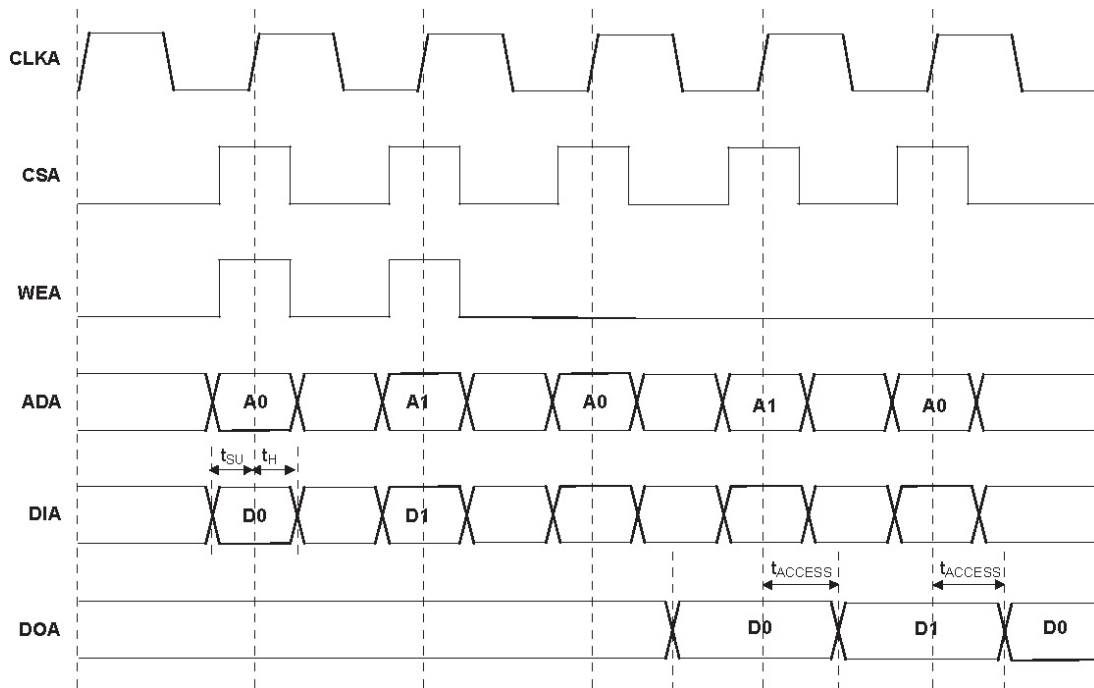


図3-9 スライス・シングル / デュアル・ポート、リードサイクル・タイミング



EBRメモリ・タイミング・ダイアグラム

図3-10 リード・モード(ノーマル)



注: 入力データとアドレスはクロックの正のエッジでレジスタされ、出力データはクロックの正のエッジの後に現れます。

図3-11 入出力レジスタ有りリード・モード

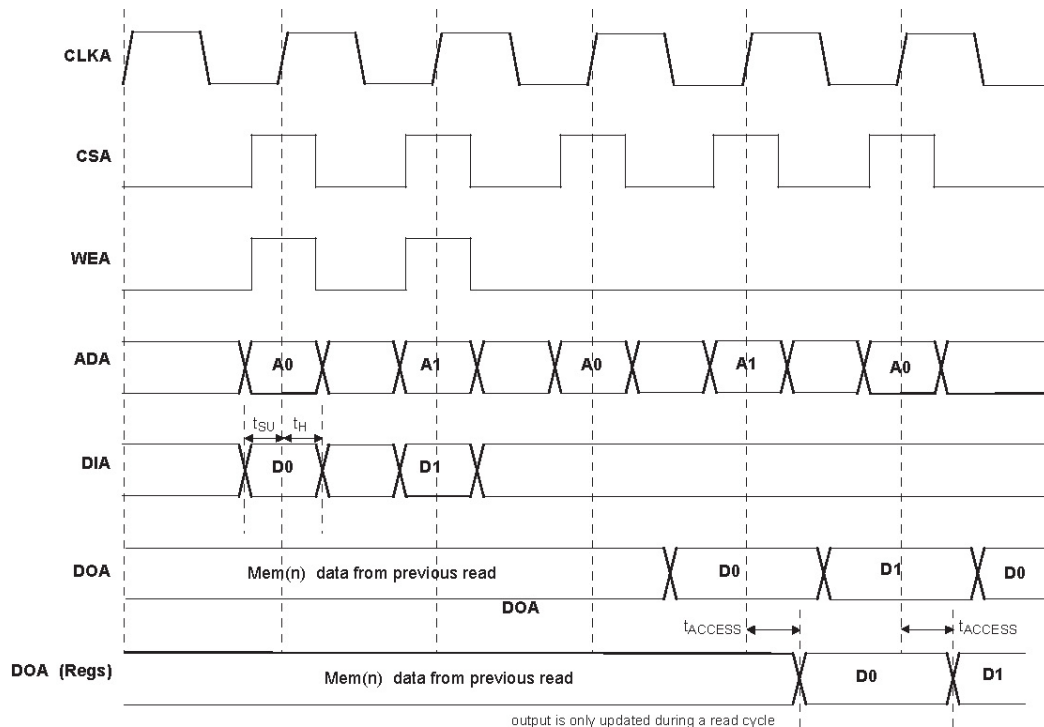
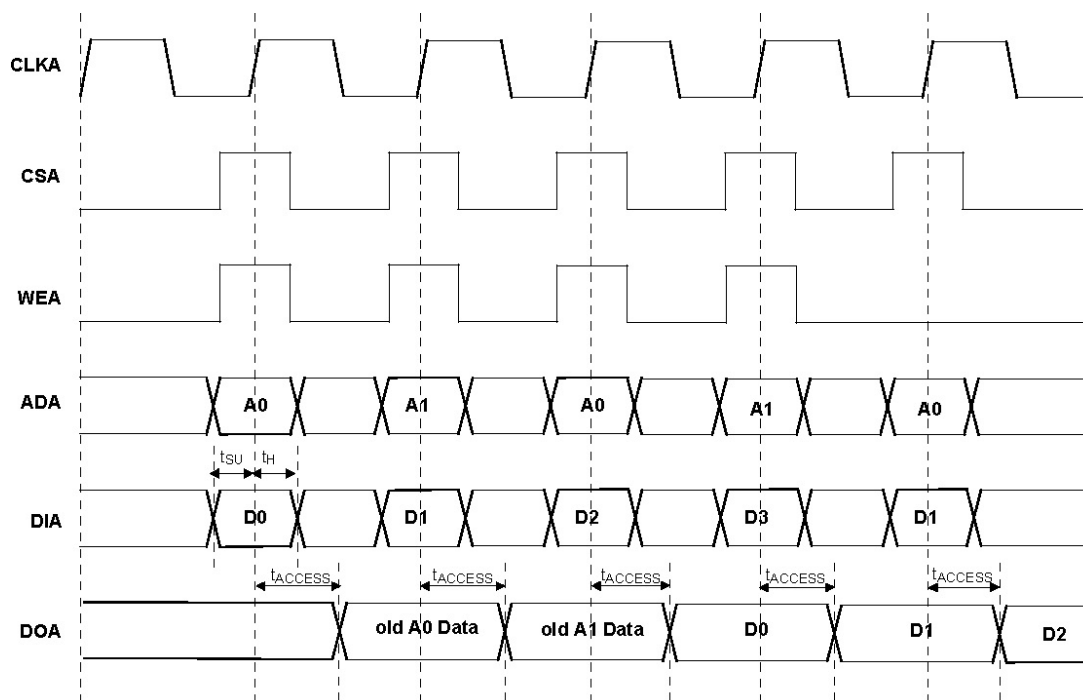
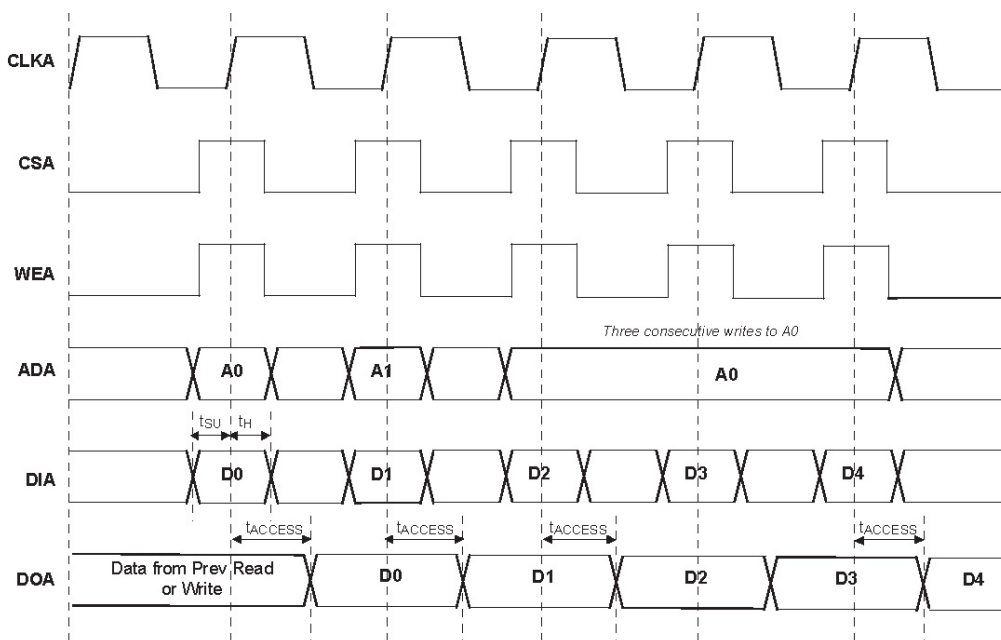


図3-12 リード・ビフォー・ライト(ポートAでSPリード/ライト。入力レジスタのみ)



注: 入力データとアドレスはクロックの正のエッジでレジスタされ、出力データはクロックの正のエッジの後に現れます。

図3-13 ライトスルー (ポートAでSPリード/ライト、入力レジスタのみ)



注: 入力データとアドレスはクロックの正のエッジでレジスタされ、出力データはクロックの正のエッジの後に現れます。

LatticeECP/ECファミリ タイミングの加算値^{1 2 3}

推奨動作条件にわたって

バッファ・タイプ	記述	-5	-4	-3	単位
入力アジャスタ(Adjuster)					
LVDS25	LVDS	0.41	0.50	0.58	ns
BLVDS25	BLVDS	0.41	0.50	0.58	ns
LVPECL33	LVPECL	0.50	0.60	0.70	ns
HSTL18_I	HSTL_18 クラス I	0.41	0.49	0.57	ns
HSTL18_II	HSTL_18 クラス II	0.41	0.49	0.57	ns
HSTL18_III	HSTL_18 クラス III	0.41	0.49	0.57	ns
HSTL18D_I	差動HSTL 18 クラス I	0.37	0.44	0.52	ns
HSTL18D_II	差動HSTL 18 クラス II	0.37	0.44	0.52	ns
HSTL18D_III	差動HSTL 18 クラス III	0.37	0.44	0.52	ns
HSTL15_I	HSTL_15 クラス I	0.40	0.48	0.56	ns
HSTL15_III	HSTL_15 クラス III	0.40	0.48	0.56	ns
HSTL15D_I	差動HSTL 15 クラス I	0.37	0.44	0.51	ns
HSTL15D_III	差動HSTL 15 クラス III	0.37	0.44	0.51	ns
SSTL33_I	SSTL_3 クラス I	0.46	0.55	0.64	ns
SSTL33_II	SSTL_3 クラス II	0.46	0.55	0.64	ns
SSTL33D_I	差動SSTL_3 クラス I	0.39	0.47	0.55	ns
SSTL33D_II	差動SSTL_3 クラス II	0.39	0.47	0.55	ns
SSTL25_I	SSTL_2 クラス I	0.43	0.51	0.60	ns
SSTL25_II	SSTL_2 クラス II	0.43	0.51	0.60	ns
SSTL25D_I	差動SSTL_2 クラス I	0.38	0.45	0.53	ns
SSTL25D_II	差動SSTL_2 クラス II	0.38	0.45	0.53	ns
SSTL18_I	SSTL_18 クラス I	0.40	0.48	0.56	ns
SSTL18D_I	差動SSTL_18 クラス I	0.37	0.44	0.51	ns
LVTTTL33	LVTTTL	0.07	0.09	0.10	ns
LVC MOS33	LVC MOS 3.3	0.07	0.09	0.10	ns
LVC MOS25	LVC MOS 2.5	0.00	0.00	0.00	ns
LVC MOS18	LVC MOS 1.8	0.07	0.09	0.10	ns
LVC MOS15	LVC MOS 1.5	0.24	0.29	0.33	ns
LVC MOS12	LVC MOS 1.2	1.27	1.52	1.77	ns
PCI33	PCI	0.07	0.09	0.10	ns
出力アジャスタ(Adjuster)					
LVDS25E	LVDS 2.5 E	-0.03	-0.04	-0.04	ns
LVDS25	LVDS 2.5	-0.59	-0.71	-0.83	ns
BLVDS25	BLVDS 2.5	0.18	0.22	0.26	ns
LVPECL33	LVPECL 3.3	0.05	0.06	0.07	ns
HSTL18_I	HSTL_18 クラス I	-0.25	-0.30	-0.35	ns
HSTL18_II	HSTL_18 クラス II	-0.09	-0.11	-0.13	ns
HSTL18_III	HSTL_18 クラス III	0.00	0.01	0.01	ns

HSTL18D_I	差動HSTL 18 クラス I	-0.25	-0.30	-0.35	ns
HSTL18D_II	差動HSTL 18 クラス II	-0.09	-0.11	-0.13	ns
HSTL18D_III	差動HSTL 18 クラス III	0.00	0.01	0.01	ns
HSTL15_I	HSTL_15 クラス I	-0.07	-0.08	-0.09	ns
HSTL15_II	HSTL_15 クラス II	0.00	0.00	0.00	ns
HSTL15_III	HSTL_15 クラス III	-0.05	-0.06	-0.07	ns
HSTL15D_I	差動HSTL 15 クラス I	-0.07	-0.08	-0.09	ns
HSTL15D_III	差動HSTL 15 クラス III	-0.05	-0.06	-0.07	ns
SSTL33_I	SSTL_3 クラス I	-0.20	-0.24	-0.28	ns
SSTL33_II	SSTL_3 クラス II	0.25	0.30	0.35	ns
SSTL33D_I	差動SSTL_3 クラス I	-0.20	-0.24	-0.28	ns
SSTL33D_II	差動SSTL_3 クラス II	0.25	0.30	0.35	ns
SSTL25_I	SSTL_2 クラス I	-0.10	-0.11	-0.13	ns
SSTL25_II	SSTL_2 クラス II	0.10	0.12	0.14	ns
SSTL25D_I	差動SSTL_2 クラス I	-0.10	-0.11	-0.13	ns
SSTL25D_II	差動SSTL_2 クラス II	0.10	0.12	0.14	ns
SSTL18_I	SSTL_1.8 クラス I	-0.14	-0.17	-0.20	ns
SSTL18D_I	差動SSTL_1.8 クラス I	-0.14	-0.17	-0.20	ns
LVTTTL33_4mA	LVTTTL 4mA ドライブ	-0.06	-0.07	-0.09	ns
LVTTTL33_8mA	LVTTTL 8mA ドライブ	-0.05	-0.07	-0.08	ns
LVTTTL33_12mA	LVTTTL 12mA ドライブ	-0.06	-0.07	-0.08	ns
LVTTTL33_16mA	LVTTTL 16mA ドライブ	-0.05	-0.07	-0.08	ns
LVTTTL33_20mA	LVTTTL 20mA ドライブ	-0.07	-0.09	-0.10	ns
LVC MOS33_4mA	LVC MOS 3.3 4mA ドライブ	-0.06	-0.07	-0.09	ns
LVC MOS33_8mA	LVC MOS 3.3 8mA ドライブ	-0.05	-0.07	-0.08	ns
LVC MOS33_12mA	LVC MOS 3.3 12mA ドライブ	-0.06	-0.07	-0.08	ns
LVC MOS33_16mA	LVC MOS 3.3 16mA ドライブ	-0.05	-0.07	-0.08	ns
LVC MOS33_20mA	LVC MOS 3.3 20mA ドライブ	-0.07	-0.09	-0.10	ns
LVC MOS25_4mA	LVC MOS 2.5 4mA ドライブ	0.04	0.05	0.05	ns
LVC MOS25_8mA	LVC MOS 2.5 8mA ドライブ	0.03	0.03	0.04	ns
LVC MOS25_12mA	LVC MOS 2.5 12mA ドライブ	0.00	0.00	0.00	ns
LVC MOS25_16mA	LVC MOS 2.5 16mA ドライブ	0.03	0.03	0.04	ns
LVC MOS25_20mA	LVC MOS 2.5 20mA ドライブ	-0.05	-0.06	-0.07	ns
LVC MOS18_4mA	LVC MOS 1.8 4mA ドライブ	0.07	0.08	0.10	ns
LVC MOS18_8mA	LVC MOS 1.8 8mA ドライブ	0.07	0.08	0.09	ns
LVC MOS18_12mA	LVC MOS 1.8 12mA ドライブ	0.06	0.07	0.09	ns
LVC MOS18_16mA	LVC MOS 1.8 16mA ドライブ	0.07	0.08	0.09	ns
LVC MOS15_4mA	LVC MOS 1.5 4mA ドライブ	0.12	0.14	0.16	ns
LVC MOS15_8mA	LVC MOS 1.5 8mA ドライブ	0.11	0.13	0.15	ns
LVC MOS12_2mA	LVC MOS 1.2 2mA ドライブ	0.22	0.26	0.31	ns
LVC MOS12_6mA	LVC MOS 1.2 6mA ドライブ	0.21	0.25	0.29	ns
LVC MOS12_4mA	LVC MOS 1.2 4mA ドライブ	0.22	0.26	0.31	ns
PCI33	PCI33	2.00	2.40	2.80	ns

1 タイミング加算値はキャラクタライズされているが、全デバイスはテストしていない

2 LVC MOS タイミングは“スイッチングテスト条件”表に規定される負荷条件にて測定

3 他の全ての標準はそれぞれの仕様による

sysCLOCK PLL タイミング

推奨動作条件にわたって

パラメータ	記述	条件	Min.	Typ.	Max.	単位
f_{IN}	入力クロック周波数(CLKI、CLKFB)		25	—	420	MHz
f_{OUT}	出力クロック周波数(CLKOP、CLKOS)		25	—	420	MHz
f_{OUT2}	K分周器出力周波数(CLKOK)		0.195	—	210	MHz
f_{VCO}	PLL VCO周波数		420	—	840	MHz
f_{PFD}	位相検出器入力周波数		25	—	—	MHz
AC特性						
t_{DT}	出力クロック・デューティサイクル	選択されるデフォルト・デューティサイクル ³	45	50	55	%
t_{PH} ⁴	出力位相精度		—	—	TBD	UI
t_{OPJIT} ¹	出力クロック周期ジッタ	$f_{OUT} \geq 100\text{MHz}$	—	—	+/- 125	ps
		$f_{OUT} < 100\text{MHz}$	—	—	0.02	UIPP
t_{SK}	入力クロック対出力クロック・スキュー	分周比 = 整数	—	—	+/- 200	ps
t_W	出力クロック・パルス幅	90%または10%で ³	1	—	—	ns
t_{LOCK} ²	PLLロックイン時間		—	—	150	us
t_{PA}	プログラマブル遅延ユニット		100	250	400	ps
t_{PJIT}	入力クロック周期ジッタ		—	—	+/- 200	ps
t_{FBKDLY}	外部フィードバック遅延		—	—	10	ns
t_{HI}	入力クロックHigh時間	90% ~ 90%	0.5	—	—	ns
t_{LO}	入力クロックLow時間	10% ~ 10%	0.5	—	—	ns
t_{RST}	RST パルス幅		200	—	500	ns

1. ジッタサンプル数は 10,000, プライマリ出力をクリーンな基準クロックで取り込んだ場合

2. PLLリセットとダイナミックな遅延調整では、出力クロックは t_{LOCK} の後に有効

3. LVDS バッファを使用

4. CLKOP に対して

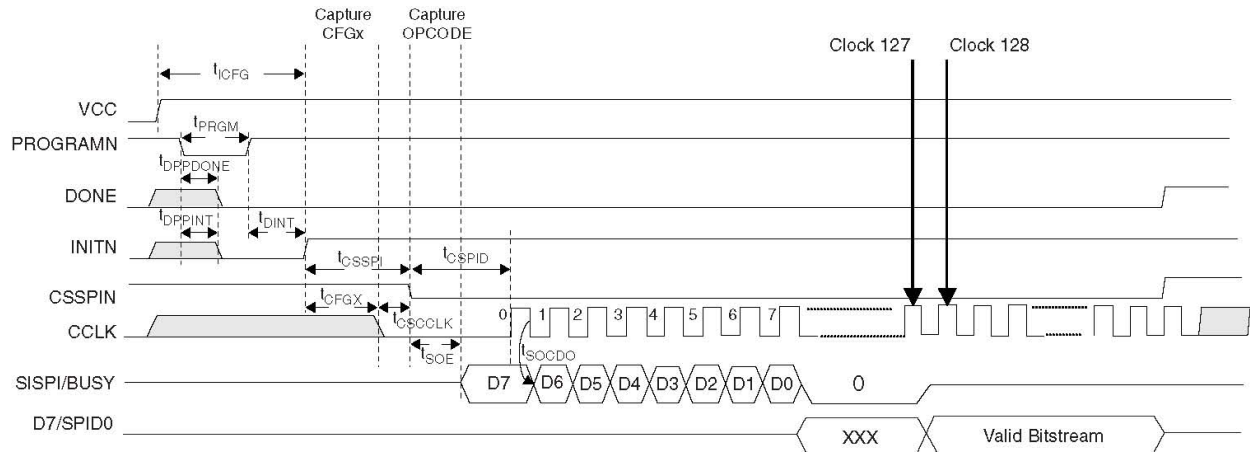
LatticeECP/EC sysCONFIGポート・タイミング仕様

推奨動作条件にわたって

パラメータ	記 述	Min.	Max.	単位
sysCONFIGバイト・データフロー				
t _{SUCBDI}	バイトD[0:7]セットアップ時間、対CCLK	7	—	ns
t _{HCBDI}	バイトD[0:7]ホールド時間、対CCLK	1	—	ns
t _{CODO}	クロックからDout、フロースルー・モード	—	TBD	ns
t _{SUCS}	CS[0:1]セットアップ時間、対CCLK	7	—	ns
t _{HCS}	CS[0:1]ホールド時間、対CCLK	1	—	ns
t _{SUWD}	ライト信号セットアップ時間、対CCLK	7	—	ns
t _{HWD}	ライト信号ホールド時間、対CCLK	1	—	ns
t _{DCB}	BUSY遅延時間、対CCLK	—	12	ns
t _{CORD}	リード・データ出力、対クロック	—	12	ns
sysCONFIGバイト・スレーブ・クロック				
t _{BSCH}	バイト・スレーブ・クロック、最小Highパルス	6	—	ns
t _{BSCL}	バイト・スレーブ・クロック、最小Lowパルス	9	—	ns
t _{BSCYC}	バイト・スレーブ・クロック周期時間	15	—	ns
sysCONFIGシリアル(Bit)データフロー				
t _{SUSCDI}	Dinセットアップ時間、対CCLK。スレーブ・モード	7	—	ns
t _{HSCDI}	Dinホールド時間、対CCLK。スレーブ・モード	1	—	ns
t _{CODO}	クロックからDout、フロースルー・モード	—	12	ns
t _{SUMCDI}	Dinセットアップ時間、対CCLK。マスタ・モード	7	—	ns
t _{HMCDI}	Dinホールド時間、対CCLK。マスタ・モード	1	—	ns
sysCONFIG シリアル・スレーブ・クロック				
t _{SSCH}	シリアル・スレーブ・クロック、最小Highパルス	6	—	ns
t _{SSCL}	シリアル・スレーブ・クロック、最小Lowパルス	6	—	ns
sysCONFIG POR, 初期化とウェイク・アップ				
t _{CFG}	V _{CC} から INIT High 時間	—	50	ms
t _{VMC}	t _{CFG} から有効なマスタ・クロックまでの時間	—	2	us
t _{PRGMRJ}	PROGRAMNピン・パルス拒絶（無効）	—	8	ns
t _{PRGM}	PROGRAMNピンLow入力からコンフィグレーション開始まで	25	—	ns
t _{DINIT}	遅延時間、PROGRAMNピン入力 High から INIT High	—	1	ns
t _{DPPINIT}	遅延時間、PROGRAMNピン入力 Low から INIT Low	—	37	ns
t _{DINITD}	遅延時間、PROGRAMNピン入力 Low から Done Low	—	37	ns
t _{IODISS}	PROGRAMNピン入力 Low からユーザI/O Disable	—	35	ns
t _{IOENSS}	起動シーケンス時、CCLKエッジからユーザI/Oがイネーブルされるまでの時間	—	25	ns
t _{MWC}	DoneピンHigh後の起動用マスタ・クロック数	120	—	サイクル
sysCONFIG SPI ポート				
t _{CFGX}	Init HighからCCLK Low	—	1	ns
t _{CSSPI}	Init HighからCSSPIN Low	—	2	ns
t _{CSCLK}	CSSPIN Lowになる前のCCLK Low	0	—	ns
t _{SOCDO}	CCLK Lowからの出力が有効になるまで	—	15	ns

t_{SOE}	セットアップ時間、CSSPINアクティブ	300	—	ns
t_{CSPID}	セットアップ時間、CSSPIN Lowから最初のクロック・エッジ	$300+3cyc$	$600+6cyc$	ns
f_{MAXSPI}	SPI 用最大周波数	—	20	MHz

図3-14 sysCONFIG SPI ポートのシーケンス



JTAGポート・タイミング仕様

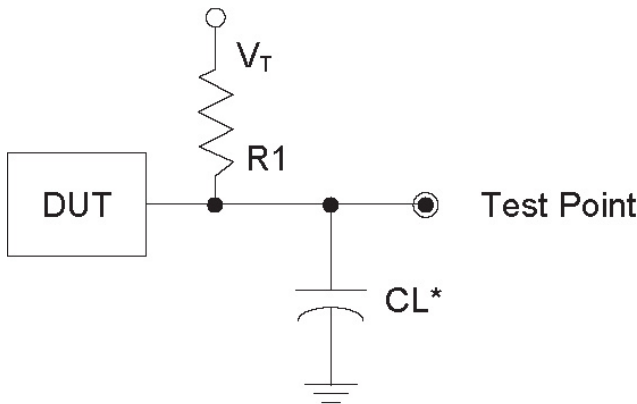
推奨動作条件にわたって

シンボル	パラメータ	Min.	Max.	単位
f_{MAX}	TCK クロック周波数	—	25	MHz
t_{BTCP}	TCK [BSCAN] クロックパルス幅	40	—	ns
t_{BTCPH}	TCK [BSCAN] クロックパルス幅、High	20	—	ns
t_{BTCPL}	TCK [BSCAN] クロックパルス幅、Low	20	—	ns
t_{BTS}	TCK [BSCAN] セットアップ時間	8	—	ns
t_{BTH}	TCK [BSCAN] ホールド時間	10	—	ns
t_{BTRF}	TCK [BSCAN] 立ち上がり/立ち下がり時間	50	—	mV/ns
t_{BTCO}	TAP コントローラ、クロック立ち下がりエッジから有効出力	—	10	ns
$t_{BTCODIS}$	TAP コントローラ、クロック立ち下がりエッジから有効ディセーブル	—	10	ns
t_{BTCOEN}	TAP コントローラ、クロック立ち下がりエッジから有効イネーブル	—	10	ns
t_{BTCRS}	BSCAN テスト・キャプチャ・レジスタ、セットアップ時間	8	—	ns
t_{BTCRH}	BSCAN テスト・キャプチャ・レジスタ、ホールド時間	10	—	ns
t_{BUTCO}	BSCAN テスト・アップデート・レジスタ、クロック立ち下がりエッジから有効出力	—	25	ns
$t_{BTUODIS}$	BSCAN テスト・アップデート・レジスタ、クロック立ち下がりエッジから有効ディセーブル	—	25	ns
$t_{BTUPOEN}$	BSCAN テスト・アップデート・レジスタ、クロック立ち下がりエッジから有効イネーブル	—	25	ns

スイッチング・テスト条件

図3-15はACテストに用いられる出力テスト負荷を示します。抵抗、キャパシタンス、電圧、および他のテスト条件の特定の値は表3-5で示されます。

図3-15 出力テスト負荷、LVTTTLおよびLVCMOS標準



*CL Includes Test Fixture and Probe Capacitance

表3-5 テストフィクスチャの必要なコンポーネント、非終端インターフェイス

テスト条件	R ₁	C _L	タイミング Ref.	V _T
LVTTTL and other LVCMOS settings (L -> H, H -> L)	∞	0pF	LVCMOS 3.3 = 1.5V	—
			LVCMOS 2.5 = V _{CCIO} /2	—
			LVCMOS 1.8 = V _{CCIO} /2	—
			LVCMOS 1.5 = V _{CCIO} /2	—
			LVCMOS 1.2 = V _{CCIO} /2	—
LVCMOS 2.5 I/O (Z -> H)	188	0pF	V _{CCIO} /2	V _{OL}
LVCMOS 2.5 I/O (Z -> L)			V _{CCIO} /2	V _{OH}
LVCMOS 2.5 I/O (H -> Z)			V _{OH} - 0.15	V _{OL}
LVCMOS 2.5 I/O (L -> Z)			V _{OL} + 0.15	V _{OH}

注: 他の全てのインターフェイス用の出力テスト条件はそれぞれの標準で決定される

LatticeECP/EC ファミリデータシート

ピンアウト情報（共通部分のみ）

信号名	I/O	記述
汎用		
P[Edge] [Row/Column Number*]_[A/B]	I/O	[Edge]はパッドがあるデバイスの端(エッジ)を示します。有効なエッジ名はL(左)、B(下)、R(右)、T(上)です。 [Row/Column Number]はデバイスのその PIC がある PFU Row (列)か Column (行)を示します。 EdgeがTかBのときは、Row番号のみを明示する必要があります。EdgeがLかRのときは、Column番号のみを明示する必要があります。 [A/B]はパッドが接続されているPIC内のPIOを示します。 これらユーザ・プログラマブルなピンのいくつかは特別な機能ピンと共有されます。専用ピンとして用いられない時は、ユーザロジックのためのI/Oとしてこれらのピンをプログラムすることができます。 コンフィグレーションの間、内部プルアップ抵抗がイネーブルされた状態で、ユーザ・プログラマブルI/Oはトライステートにされます。また、どれかのピンが使用されていない(または、パッケージ・ピンにボンディングされていない)場合、コンフィグレーションの後に内部プルアップ抵抗がイネーブルされた状態で、それはトライステートにされます。
GSRN	I	グローバル・リセット信号(Lowアクティブ)。どのI/OピンもGSRNでにできます。
NC	—	非接続(NC)
GND	—	グラウンド。専用ピン
V _{CC}	—	コア・ロジックのための電源ピン。専用ピン
V _{CCAUX}	—	補助(Auxiliary)電源供給ピン。それは全ての差動と基準電圧を参照する入力バッファを動かします。専用ピン
V _{CCIOx}	—	I/Oバンクx用の電源供給ピン。専用ピン
V _{REF1(x)} , V _{REF2(x)}	—	I/Oバンクxのための参照電源供給ピン。V _{REF} 入力が割り当てられるピンは各バンクで予め決まっています。VREF入力として用いられないと、それらはI/Oピンとして用いることができます。
XRES	—	このパッドとグラウンドの間に10K ohm +/-1%抵抗を接続しなければなりません。
PLLとクロック機能(PLLかクロック・ピンとして使用しない場合は、ユーザ・プログラマブルI/Oピンとして用いられます)		
[LOC][num]_PLL[T, C]_IN_A	I	基準クロック(PLL)入力パッド: ULM, LLM, URM, LRM, num =中央からのrow, T = true and C = complement, インデックスはそれぞれの側でA,B,C..
[LOC][num]_PLL[T, C]_FB_A	I	オプションのフィードバック(PLL)入力パッド: ULM, LLM, URM, LRM, num =中央からのrow, T = true and C = complement, インデックスはそれぞれの側でA,B,C..
PCLK[T, C]_[n:0]_[3:0]	I	プライマリ・クロック・パッド: T = true and C = complement, 辺あたりn個, インデックスはそれぞれのバンクで0,1,2,3
[LOC]DQS[num]	I	DQS入力パッド: T (Top), R (Right), B (Bottom), L (Left), DQS, num = ボール機能番号。どのパッドも出力として構成できる
テストとプログラミング(専用ピン)		
TMS	I	テストモード選択入力。1149.1ステート・マシンを制御するために用いられる。コンフィグレーションの間、プルアップがイネーブルされる。
TCK	I	テストクロック入力ピン。1149.1ステート・マシンのクロックとして用いられる。プルアップはイネーブルされない。

TDI	I	テストデータ・ピン。1149.1ステート・マシンを用いて、デバイスヘデータをロードするために使用される。パワーアップの後、適切なコマンドを送ることによって、このTAPポートはコンフィグレーションのための動作をさせることができる。 (注：コンフィグレーション・ポートがいったん選択されると、それはロックされます。パワーアップ・シーケンスまで別のコンフィグレーション・ポートを選択することができない。)コンフィグレーションの間、プルアップがイネーブルされます。
TDO	O	出力ピン。テストデータ出力ピンは、1149.1によってデータをデバイスからシフトアウトするために用いられる。
V _{CCJ}	—	V _{CCJ} - JTAG TAPのための電源ピン。
コンフィグレーション・パッド(sysCONFIGの間、用いられる)		
CFG[2:0]	I	モード・ピンはINITNの立ち上がりエッジでラッチされ、コンフィグレーション・モード値を指定する。コンフィグレーションの間、プルアップがイネーブルされる。専用ピン。
INITN	I/O	オープンドレイン・ピン。FPGAが構成される準備ができているを示す。コンフィグレーションの間、プルアップはイネーブルされる。専用ピン。
PROGRAMN	I	Lowにアサートされると、コンフィグレーション・シーケンスを開始する。このピンには、常にアクティブ・プルアップがある。専用ピン。
DONE	I/O	オープンドレイン・ピン。コンフィグレーション・シーケンスが完了し、スタートアップ・シーケンスが進行しているを示す。専用ピン。
CCLK	I/O	sysCONFIGモードでFPGAを構成するためのコンフィグレーション・クロック。
BUSY/SISPI	I/O	SPI3あるいはSPIXモードでのリード制御コマンド。
CSN	I	sysCONFIGチップセレクト(Lowアクティブ)。コンフィグレーションの間、プルアップはイネーブルされる。
CS1N	I	sysCONFIGチップセレクト(Lowアクティブ)。コンフィグレーションの間、プルアップはイネーブルされる。
WRITEN	I	パラレルポートへのライトデータ(Lowアクティブ)。
D[7:0]/SPID[0:7]	I/O	sysCONFIGポートのデータI/O。
DOUT, CSON	O	sysCONFIGポートを用いている時のシリアル・コンフィギュレーション・データ出力(CCLKの立ち上がりエッジ)。
DI/CSSPIN	I	sysCONFIGポートを用いている時のシリアル・コンフィギュレーション・データ入力(CCLKの立ち上がりエッジ)。コンフィグレーションの間、プルアップはイネーブルされる。

DDRストロブ（DQS）ピンと関連するPIC / DDRデータ（DQ）ピン

DQSストロブと関連するPIC 番号	PIC内のPIO	DDRストロブ(DQS)と データ(DQ)ピン
P[Edge][n-4]	A	DQ
	B	DQ
P[Edge][n-3]	A	DQ
	B	DQ
P[Edge][n-2]	A	DQ
	B	DQ
P[Edge][n-1]	A	DQ
	B	DQ
P[Edge][n]	A	[Edge]DQSn
	B	DQ
P[Edge][n+1]	A	DQ
	B	DQ
P[Edge][n+2]	A	DQ
	B	DQ
P[Edge][n+3]	A	DQ
	B	DQ

注；

- 1、“n”はRow/Column PIC番号
- 2、DDRインターフェイスは8データ・ピンあたり1本のDQSストロブをサポートするメモリを接続することを前提に設計されている。パッケージによっては、15本全てのDQピンがない場合もある。
- 3、PIC番号の定義については、信号定義表の信号名を参照のこと。

個々のピン・信号配置については英語版データシートを参照して下さい。