



LatticeXP2 sysCLOCK PLL設計と使用ガイド

はじめに

このユーザズガイドはLatticeXP2™ デバイス・アーキテクチャで利用できるクロックリソースについて説明します。PLLやクロック分周器などと共に、プライマリクロック、セカンダリクロック、エッジクロック、およびクロック要素についての詳細を明らかにします。

各デバイスごとのPLL数とDLL数を表9-1に示します。

表9-1 PLLとDDR-DLLの個数

デバイス	記述	XP2-5	XP2-8	XP2-17	XP2-30	XP2-40
GPLL数	汎用PLL	2	2	4	4	4
DDRDLL数	DDR用途DLL	2	2	2	2	2

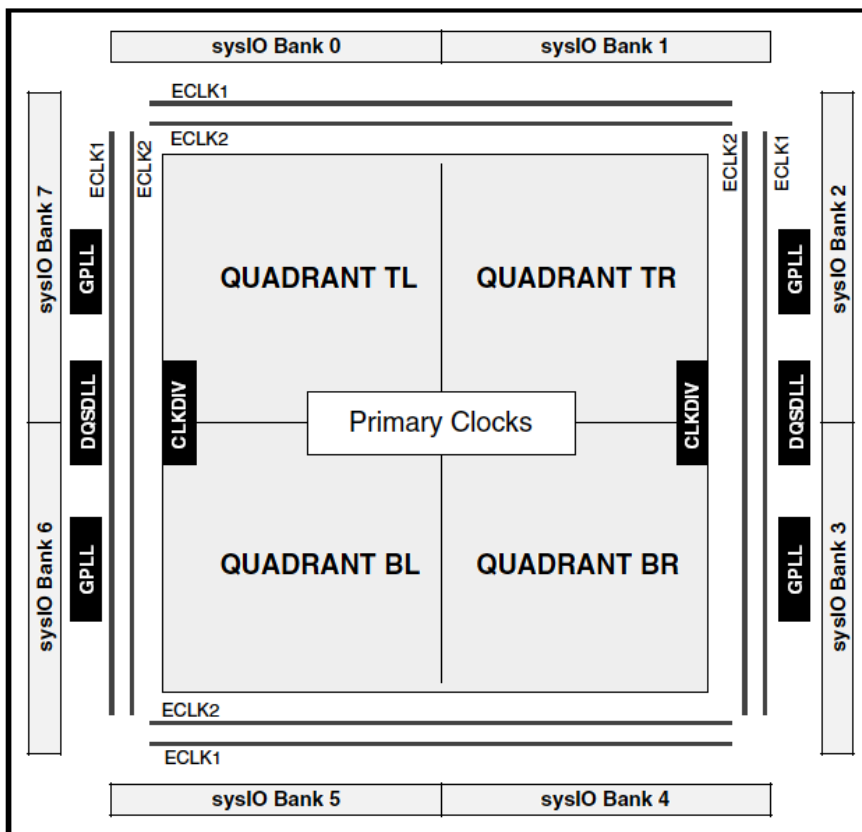
クロック / 制御信号の分配ネットワーク

LatticeXP2デバイスはグローバルクロックの分配をプライマリクロック8本とフレキシブルなセカンダリクロックの形式で提供します。またデバイスは各辺に2本のエッジクロックを提供します。他のクロックソースにはクロック入力ピン、内部ノード、PLL、およびクロック分周器(CLKDIV)が含まれます。

LatticeXP2トップレベル・ビュー

図9-1はLatticeXP2-40デバイスのプライマリクロック構造を示します。

図9-1 LatticeXP2-40クロック構造 (LFXP2-40)



プライマリクロック

各クワドラントでは最大8本のプライマリクロックを受け付けます。これらのうち2本のクロックは、ダイナミック・クロック選択(DCS)機能を提供します。DCSを用いないプライマリクロック6本を“Primary Pure”として、DCSを用いるクロック2本を“Primary DCS”として、プリマップ・デザインプランナ (Design Planner, Pre-MAP) で指定することができます。プライマリクロックのソースは以下の通りです。

- ・ PLL出力
- ・ CLKDIV出力
- ・ 専用のクロックピン
- ・ 内部ノード

セカンダリクロック

LatticeXP2セカンダリクロックはフレキシブルな領域ベースのクロックリソースです。各領域は4つの独立したクロック入力を持つことができますが、領域のリソースとしては、プライマリクロックで定義するクワドラント境界を超えることができます。

クオドラントあたり8つのセカンダリクロック・マルチプレクサがあります。各マルチプレクサには、4つの異なるソースからの入力があります。これらの3本は内部ノードから来ています。4番目の入力はプライマリクロック・ピンから来ます。入力ソースは必ずしもマルチプレクサと同じクオドラントに配置されるというわけではありません。この構造はセカンダリクロックのグローバルな使用を可能にします。

セカンダリクロックのソースは以下の通りです。

- ・ 専用のクロックピン
- ・ クロック分周器(CLKDIV)出力
- ・ 内部ノード

表9-2セカンダリクロックの領域数

パラメータ	XP2-5	XP2-8	XP2-17	XP2-30	XP2-40
領域 (region) 数	6	6	6	6	8

エッジクロック

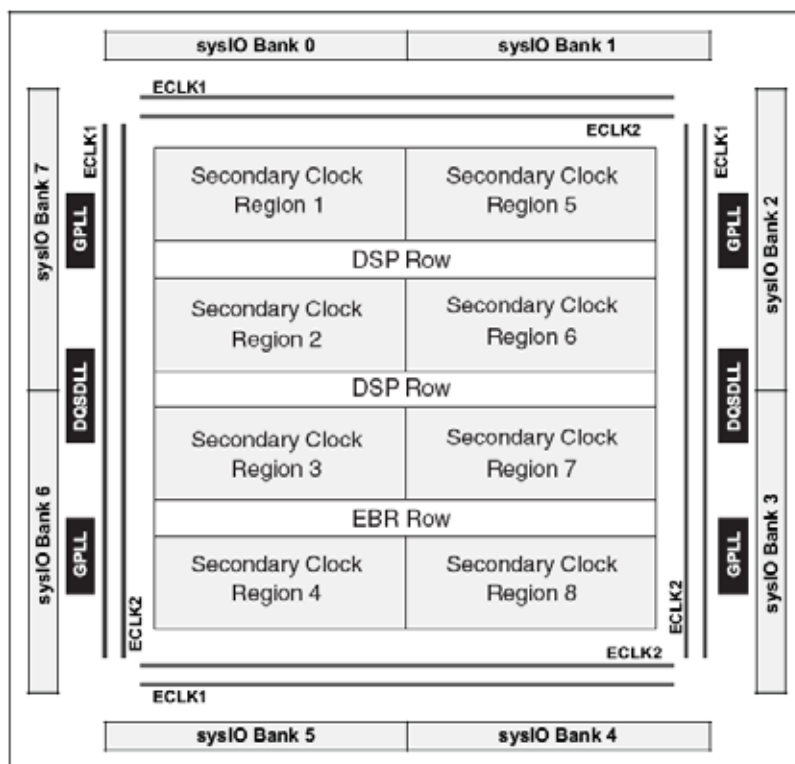
LatticeXP2には1辺あたり2本のエッジクロックがあります。これらクロックはインジェクション (注入) 遅延とスキューが小さく、I/Oレジスタのクロックとして用いられます。エッジクロック(ECLK)リソースは、高速I/Oインターフェイスのためにファンアウト能力が高く設計されています。ECLKの詳細な接続性情報について付録Bを参照してください。エッジクロックのソースは以下の通りです。

- ・ 左辺・右辺バンクのエッジクロック
 - 専用のクロックピン
 - PLL出力
 - PLL入力ピン
 - 内部ノード
- ・ 上辺・底辺バンクのエッジクロック
 - 専用のクロックピン
 - 内部ノード

ECLKはセカンダリクロック・リソースと汎用配線リソースを直接ドライブすることができます。エッジクロック配線についての詳細は図9-21を参照して下さい。

図9-2はセカンダリクロックとエッジクロック構造について説明しています。

図9-2 LatticeXP2のセカンダリクロックとエッジクロック (LFXP2-40)



プライマリクロックについての注記

PLL性能を最適化するためにはフィードバック・ソースとしてCLKOPを用いなければなりません。

ほとんどの設計者がPLLをクロックツリー注入除去(Injection Removal)モードで用いますが、CLKOPはプライマリクロックに割り当てられるべきです。ユーザが別の方法を指定しない限り、ソフトウェアは自動的にこのように設定します。

CLKOPはCLK0からCLK5のみに配線することができ、CLKOS / CLKOKは全てのプライマリクロック (CLK0からCLK7)に配線することができます。

CLK6かCLK7がプライマリクロックとして用いられて、DCSへの入力が1本のクロックしかないとき、DCSはソフトウェアによってバッファモードとして割り当てられます。より詳細については、このドキュメントのDCSセクションを参照してください。

デザインツールでのクロック指定

必要に応じて、特定のクロックソースを分配するために、ユーザはプライマリクロック、セカンダリクロック、もしくはエッジクロックとして指定することができます。図9-3はプリマップ・デザインプランナでどのようになるかを示します。付録Cで議論するように、これ以外にプリファレンス・ファイルを用いることもできます。

Primary-PureとPrimary-DCS

プライマリ・クロックネットをPrimary_Pure (CLK0 ~ CLK5)かPrimary_DCS (CLK6とCLK7)のどちらかに割り当てることができます。

グローバル・プライマリクロックとクワドラント・プライマリクロック

グローバル・プライマリクロック

或るプライマリクロックがクワドラント・クロックとして割り当てられない場合、ソフトウェアはそれをグローバルクロックであると想定します。

6本のグローバルなPrimary_Pureクロックと2本のグローバルなPrimary_DCSクロックが利用できます。

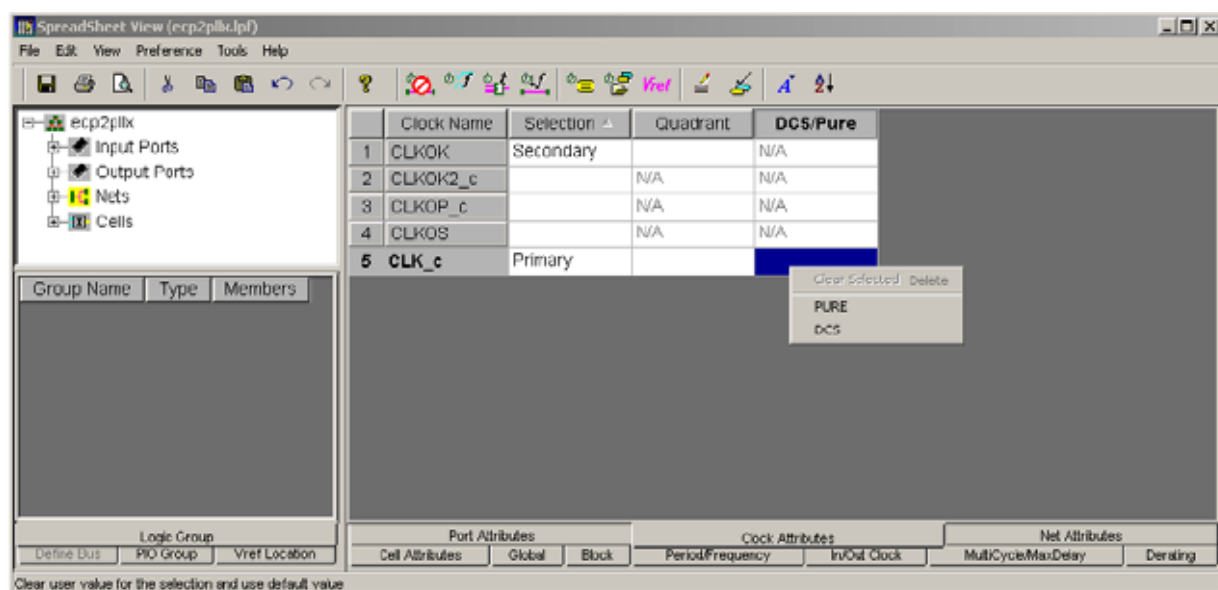
クワドラント・プライマリクロック

どのプライマリクロックもクワドラント・クロックに割り当てることができます。クロックは単一のクワドラントか、(斜めの位置関係にない)隣接している2つのクワドラントに割り当てることができます。

クワドラント・クロックネットが使用されるとき、各クロックがドライブするレジスタを、配線の問題なしにそのクワドラント内に配置することができることを、ユーザは確実にしなければなりません。

クワドラント・プライマリクロック機構では、プライマリクロック・ソースがすべて利用できる場合、プライマリクロックの最大数は32です。

図9-3 デザインプランナ(プリマップ)におけるクロック制約(旧プリファレンス・エディタ)

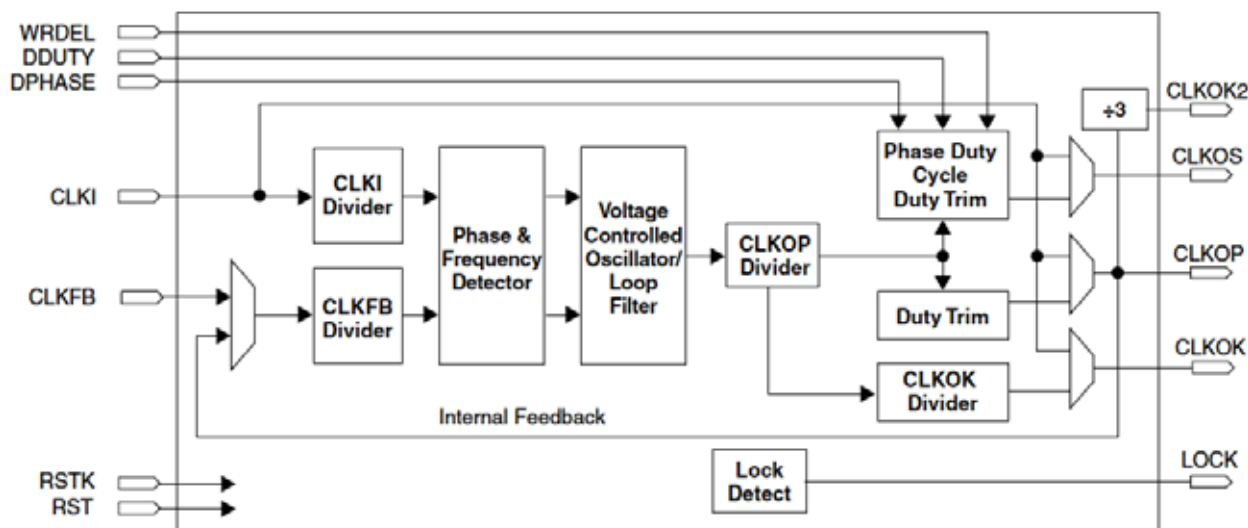


クロックネットワーク・ダイアグラムについては付録Aを参照してください。

sysCLOCK™ PLL

LatticeXP2 PLLはクロック注入遅延の除去や、周波数合成、位相 / デューティ比調整、或いはダイナミック遅延調整などの機能を提供します。図9-4はLatticeXP2 PLLのブロック図を示します。

図9-4 LatticeXP2 PLLブロック図



機能記述

PLL分周器と遅延ブロック

入力クロック (CLKI) 分周器

CLKI分周器は、PLLブロックへの入力クロック周波数を制御するのに用いられます。分周器設定値は出力クロックの除数に直接該当します。入力分周器の入出力は、デバイス・データシートで指定された入力出力周波数範囲の中になければなりません。

フィードバック・ループ (CLKFB) 分周器

CLKFB分周器は、フィードバック信号を分周するのに用いられます。実質的にこれは出力クロックを*n*倍します。というのは分周されたフィードバックはPLLブロックへの入力周波数に合わせるためにスピードアップしなければならないためです。分周されたフィードバック周波数が入力周波数と等しくなるまで、PLLブロックは出力周波数を大きくします。デバイス・データシートで規定される入出力周波数範囲の中にフィードバック分周器の入出力が収まる必要があります。

出力クロック (CLKOP) 分周器

CLKOP分周器は二つの目的を果たしていて、VCO出力のデューティサイクルを50%にすること、そしてジッタを最小にするためにVCO周波数を435MHzから870MHzの範囲（LatticeXP2の場合）に収めることです。CLKOSが使用されているかどうかに関係なく、CLKOP分周器の値は同じです。

CLKOK 分周器

CLKOK分周器出力はグローバル・クロックネットに供給できます。これはPLLのCLKOP信号を分周値で分周し、より低い周波数のクロックを生成します。

CLKOK2 分周器

CLKOK2はCLKOKを3分周した出力で、SPI4.2をサポートするために420MHzから140MHzを生成します。

位相調整とデューティサイクル選択

ユーザにはCLKOSの位相とデューティサイクルをプログラムするオプションがあります。位相は22.5°ステップで調整ができ、デューティサイクル精度はクロック周期の1/16です。しかし1/16と15/16デューティ比は、最小パルス幅の違反を避けるためにサポートされません。

ダイナミック位相調整 (DPHASダイナミック)とダイナミック・デューティサイクル選択 (DDUTY)

位相調整とデューティサイクル選択を制御することができます。ダイナミックモードが選択されるとこの両方が指定できます。どちらか一方の機能のみが用いられる場合、他の制御入力を所望の固定ロジックレベルに設定することができます。

デューティトリム調整 (Duty Trim Adjustment)

LatticeXP2デバイスファミリでは、Duty Trim Adjustmentでデューティサイクルが調整できます。

微細遅延 (fine delay) 調整

本オプションとしての機能は入力ポートWRDELで制御できます。WRDEL入力については次章を参照してください。

PLL入力と出力

CLKI 入力

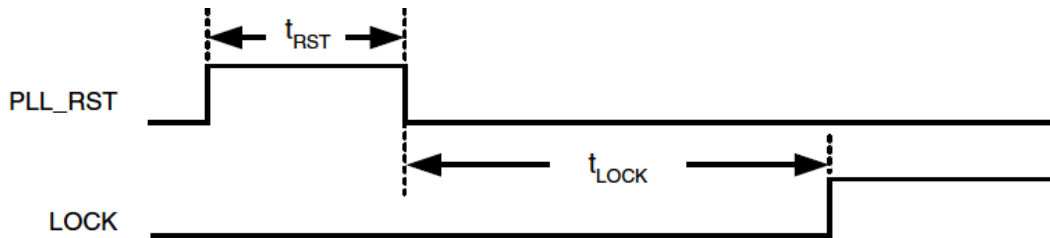
CLKI信号はPLLの基準クロックです。PLLが正しく動作するためには、（入力は）データシートの仕様に準拠しなければなりません。CLKIは、専用のデュアルファンクション・ピン、もしくは配線から引き出すことができます。

RST 入力

PLLリセットは2つの条件で発生します。パワーアップ時に、コンフィグレーション・ブロックからの内部パワーアップ・リセット信号がPLLをリセットします。PLLモジュールの一部にはユーザ制御のPLLリセット信号RSTがあり、内部的に生成されたリセット機能やピンからの入力ドライブすることができ

ます。このRST信号は内部のすべてのPLLカウンタ、(M分周器を含む)フリップフロップ、およびチャージポンプをリセットします。M分周器リセットはM分周器出力を入力クロックと同期させます。RSTが非アクティブになると、PLLはロックイン・プロセスを開始し、PLLがロックを完了するには t_{Lock} 時間がかかるでしょう。図9-5はRST入力のタイミングを示します。RSTはHighアクティブで、オプションです。

図9-5 RST入力タイミング図



RSTK入力

RSTKはK分周器のためのリセット入力です。K分周器リセットは、K分周器出力クロックを入力クロックと同期させるのに用いられます。LatticeXP2はI/Oセルでオプションのギアボックスを、出力と入力の両方に持っています。K分周器リセットはギアボックス実装の役立ちます。RSTKはHighアクティブです。

CLKFB入力

フィードバック分周器を介して加えられるPLLへのフィードバック信号として与えることができるのは、プライマリ・クロックネット(CLKOP)、所望のピン、CLKOP分周器、または汎用配線からです。外部フィードバックは、ボードレベルのクロック・アライメントとしての補償を可能にします。

CLKOP出力

sysCLOCK PLLの主出力CLKOPはプライマリクロックとして選択できる信号です。このクロック信号はCLK_OUTピンで利用できます。

位相とデューティサイクル選択できるCLKOS出力

sysCLOCK PLLの補助クロック出力CLKOSも、プライマリクロックとして選択できる信号です。CLKOSは位相シフト、そして/または、デューティサイクル調整が必要なときに使用されます。プログラマブル位相シフトは22.5度の増分で異なる位相を得ることができます。デューティ選択機能はクロック周期の1/16刻みでのデューティ選択を提供します。この機能はダイナミック・コントロールモードでもサポートされます。

低い周波数のCLKOK出力

より低い周波数が必要なとき、CLKOKが利用できます。これもプライマリクロックとして選択できる信号です。

CLKOP2出力

SPI4.2用途にもう一系統のクロックが提供されます。420MHzのCLKOK1は3分周され140MHzを生成します。CLKOK2出力は3分周が必要な場合、どのような用途でも使用できます。

LOCK出力

LOCK出力はPLLのステータスに関する情報を提供します。デバイスがパワーアップされた後、入力クロックが有効になると、PLLは仕様にあるロック時間内にロックを達成します。ロックがいったん達成されると、PLLロック信号がアサートされます。PLLが動作中に、入力クロックかフィードバック信号が無効になると、PLLはロックを失います。PLLを基準クロックと再同期させるにはPLL RSTを与えることを推奨します。LOCK信号はリセット信号などとしてFPGA内ユーザロジックで利用できます。

ダイナミック遅延コントロール / ダイナミック位相調整 / ダイナミック・デューティ比

DPHASE[3:0]ポートはダイナミック位相調整DPA機能と共に用い、ユーザがPLLに制御信号を与えられるようにします。DDUTY[3:0]ポートはダイナミック遅延調整DDA機能と共に用い、ユーザがPLLに制御信号を与られます。ダイナミック位相調整とデューティサイクル調整用のポートは表9-3で示され、また

これらの機能については本ドキュメントの後ろで議論されます。

表9-3 ダイナミック遅延調整、ダイナミック位相およびデューティ比調整用のポート

パラメータ	I/O	記述
DPHASE[3:0]	I	ダイナミック位相調整入力
DDUTY[3:0]	I	ダイナミック・デューティサイクル調整入力

WRDEL (Write Delay ; ライト遅延)

このファイン (微細) 遅延オプションはSPI4.2をサポートします。PLLには一周期を等しく16分割 (22.5度) した粗い位相調整機能があります。840Mbps動作のSPI4.2は420MHzクロック周波数ですが、この場合周期は約150psです。これはダイナミック位相調整機能ではやや粗すぎます。半分程度でちょうどよいステップです。粗調整機能との組み合わせで、70ps (nominal)ステップであれば32ステップの位相調整が期待できます。このファイン遅延位相調整機能はCLKOSのみに適用されます。GPLLをリード・ライト共に (CLKOSをリードに、CLKOPをライトに) 用いることができるので便利です。

PLLアトリビュート (属性)

PLLはいくつかのアトリビュートを利用しますが、これはソース中の制約によってPLLのコンフィグレーションができます。以下のセクションはこれらのアトリビュートとそれらの使い方を述べます。

FIN

入力周波数は分周器設定に基づきますが、仕様にある周波数範囲の値です。

CLKI_DIV、CLKFB_DIV、CLKOP_DIV、CLKOK_DIV

これらの分周器は各出力クロックの周波数を決定します。ユーザは無効な組み合わせを入力することはできません。入力周波数、分周器、およびPLL仕様で決定されます。

注 ; LatticeECP/EC、LatticeXP、MacoXOデバイスにおけるPLLと異なり、CLKOSが使用されているかどうかに関係なく、CLKOP分周値は同じです。

CLKOP_DIV値は、CLKI_DIVとCLKFB_DIV値と共に、FINとCLKOP_FREQの規定された範囲に基づいて、その中で f_{VCO} を最大にするように計算されます。これらの値の設定は、出力クロック・デューティ比ができるだけ50%に近くなるように計算されます。表9-4が取り得る分周値設定を示します。

表9-4 設定分周値

アトリビュート	名称	値	デフォルト
CLKI分周値設定	CLKI_DIV	1 ~ 43	1
CLKFB分周値設定	CLKFB_DIV	1 ~ 43	1
CLKOP分周値設定	CLKOP_DIV	2, 4, 8, 16, 32, 48, 64, 80	8
CLKOK分周値設定	CLKOK_DIV	2, 4, 6, ..., 126, 128	2

Frequency_Pin_CLKI、Frequency_Pin_CLKOP、Frequency_Pin_CLKOK

これらの出力クロック周波数は分周器の値を決定します。

CLKOP周波数公差

必要な出力周波数が達成できない場合、クロック出力の周波数公差を入力しても良いでしょう。

PHASEADJ

PHASEADJアトリビュートは、CLKOS出力用に粗い (Coarse) 位相シフトを選択するのに用いられます。位相調整は22.5度の増分でプログラマブルです。

DUTY (デューティサイクル)

DUTYアトリビュートは、CLKOS出力のデューティサイクルを選択するのに用いられます。デューティサイクルは1/16周期の増分でプログラマブルです。2/16 ~ 14/16がサポートされます。1/16と15/16のデューティ比は、最小パルス幅のバイオレーションを避けるためにサポートされません。

FB_MODE

CLKFB分周器をドライブするフィードバック・ソースとしては3つあり、それらは内部、クロックツリー、そして外部フィードバックです。クロックツリー・フィードバックがデフォルトで用いられます。内部フィードバックは、フィードバックパス遅延を最小にするために、クロックツリーの前のCLKOP分周器出力から取り出します。ユーザクロック・フィードバックは専用ピン、クロックピンまたはユーザの指定した内部ロジックからドライブされます。

DUTY_TRIM調整 (ダイナミックモードのみ)

ダイナミックPHASE/DUTY調整が選択されていると、ユーザはDUTY_TRIM機能でCLKOP出力、又はCLKOS出力のデューティを微調整出来ます。

- ・TRIM極性選択; ユーザはトリムするクロックの有効エッジを立ち上がりか立ち下がりを選択出来ます。
- ・CLKOPのTRIM遅延はトリム単位遅延の0~7ステップに設定出来ます。
- ・CLKOSのTRIM遅延はトリム単位遅延の0~3ステップに設定出来ます。

CLKOS / CLKOK / CLKOK2の選択

デザインで用いられるときだけ、ユーザはこれらの出力クロックを選択します。

CLKOP / CLKOS / CLKOK BYPASS

セットされるとそれぞれのバイパスがイネーブルされます。CLKIは直接対応する出力クロックに配線されます。

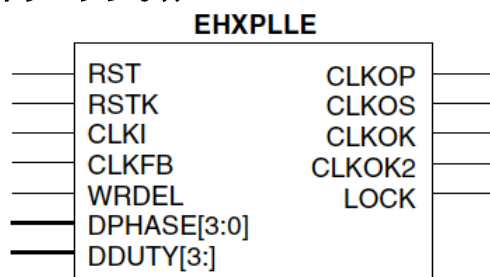
RESET / RSTKの選択

デザイン内で用いるときだけ、ユーザはこれらのリセット信号を選択します。

LatticeXP2 PLLプリミティブ定義

LatticeXP2のPLLは一種類のみです。図9-6はLatticeXP2 PLLプリミティブ・ライブラリのシンボルを示します。

図9-6 LatticeXP2 PLLプリミティブ・シンボル

**LatticeECP2/MのEPLLD設計からLatticeXP2への移行**

LatticeECP2で生成されたEPLLDはマイナーな修正で使用できます。ダイナミック位相 / デューティのオプションが未使用であれば、移行はフルサポートされます。もし使用されていれば、DPAMODEポートをグランドに接続する必要があります。

ダイナミック位相 / デューティ・モード

このモードはダイナミック位相調整とダイナミック・デューティ選択の両方を同時に設定します。これらは2つのモード、"Dynamic Phase and Dynamic Duty" および "Dynamic Phase and 50% Duty" です。

ダイナミック位相と50%デューティ (Dynamic Phase and 50% Duty)

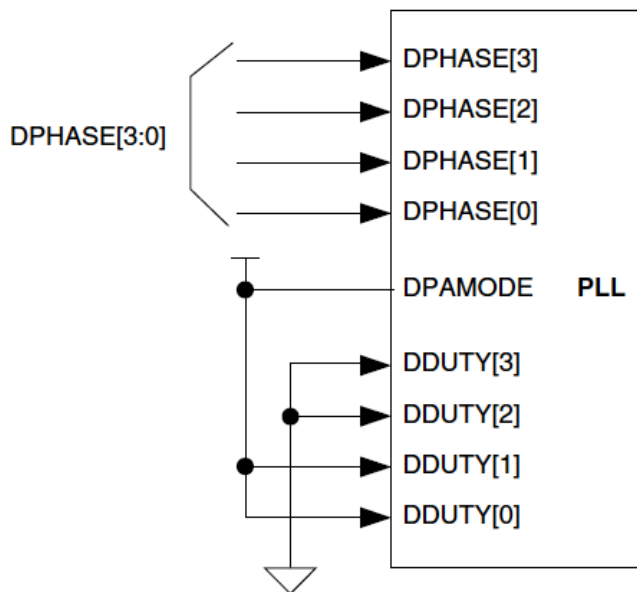
このモードはダイナミック位相入力の設定のみができます。50%デューティサイクルはispLEVERの内部で扱われます。DDUTY[3:0]ポートは "ユーザ・トランスペアレント" です。

ダイナミック位相とダイナミック・デューティ (Dynamic Phase and Dynamic Duty)

このモードではユーザがDDPHASE[3:0]とDDUTY[3:0]ポート入力を共に動的な値で使用できます。動的位相調整を50%以外の固定値で使用する場合は、DDUTY[3:0]入力を所望の値に設定します。図9-7はその回路例を示します。

例；動的位相調整を“3/16”固定デューティサイクルで使用。設定は以下のようになります。

図9-7 デューティサイクルを3/16に固定する動的位相調整セットアップ例



動的位相調整 / デューティサイクル選択

位相調整設定は表9-5で説明されています。

表9-5 動的位相調整の設定

DPHASE[3:0]	位相
0000	0
0001	22.5
0010	45.0
0011	67.5
0100	90.0
0101	112.5
0110	135.0
0111	157.5
1000	180.0
1001	202.5
1010	225.0
1011	247.5
1100	270.0
1101	292.5
1110	315.0
1111	337.5

デューティサイクル選択設定は表9-6で説明されています。

表9-6 ダイナミック・デューティサイクル選択の設定

DDUTY[3:0]	デューティサイクル (1/16期間)	コメント
0000	0	非サポート
0001	1	非サポート
0010	2	
0011	3	
0100	4	
0101	5	
0110	6	
0111	7	
1000	8	
1001	9	
1010	10	
1011	11	
1100	12	
1101	13	
1110	14	
1111	15	非サポート

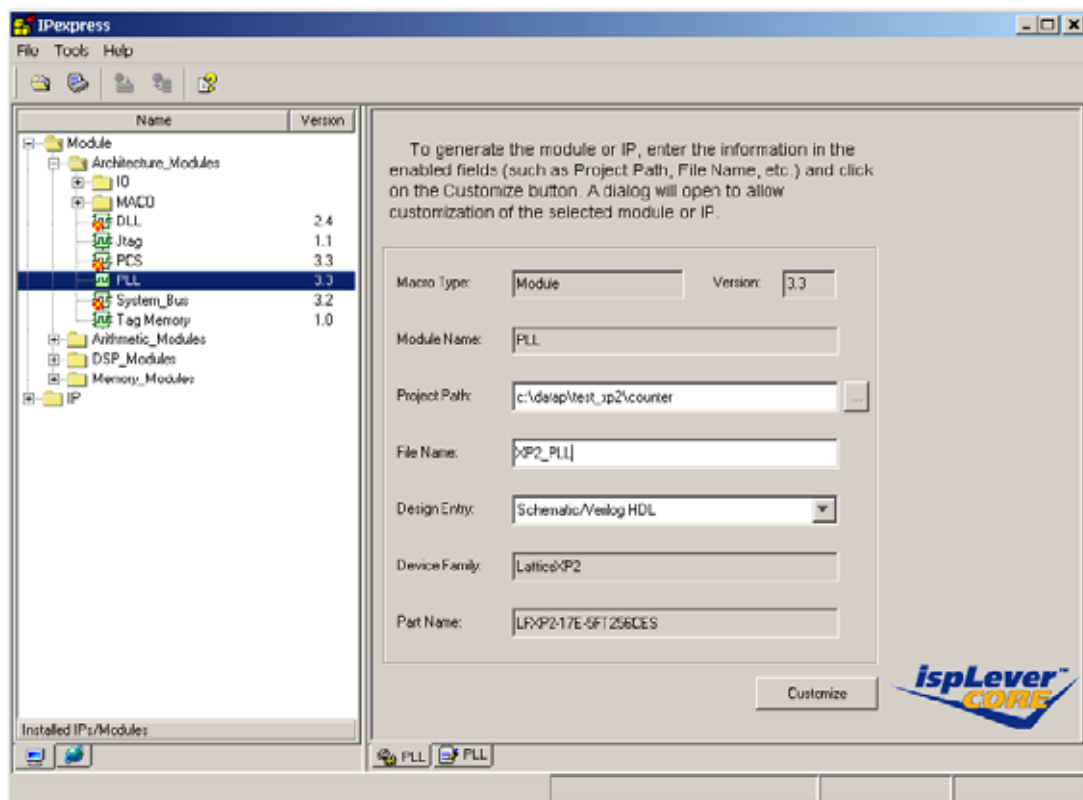
註； PHASEDUTY_CNTLはGUIの“PLL Phase & Duty Options” ボックスで選択される。もし Dynamic Mode が選択されている場合、DPHASE[3:0]とDDUTY[3:0]が共に入力されなければなりません。仮にこれらが固定値の場合、所望の論理レベルに接続される必要があります。

IPexpress™でのPLLの設定方法

PLLを構成して生成する為にIPexpressが用いられます。設計者は、PLL用にパラメータを選択するためにグラフィカル・ユーザインターフェイスを用います。その結果は、シミュレーションと合成フローで用いられるHDLが生成されます。

図9-8は、PLLが選択された場合のメインウィンドウを示します。このウィンドウに必要な唯一の入力はモジュール名です。他のエントリーはプロジェクト設定を元にセットされます。必要に応じてこれらのエントリーを変えても構いません。モジュール名を入れた後に**Customize**をクリックすると、図9-8で示されるような**Configuration Tab**ウィンドウが開きます。

図9-8 IPexpressメインウィンドー



コンフィグレーション・タブ

Configuration Tabは、ユーザがアクセスできる全アトリビュートをデフォルト値に設定してリストアップします。完了した後、**Generate**をクリックしてソースコードと制約ファイルを生成します。ユーザは、パラメータをロードするために .lpcファイルを用いることもできます。

コンフィグレーション・モード

PLLのConfiguration Tabで構成する2つのモードがあり、それらは周波数モードと分周器モードです。

周波数モード (Frequency Mode) : このモードでは、ユーザは入出力クロック周波数を入力し、ソフトウェアが分周器の設定値を計算します。ユーザが入力した出力周波数を実現できない場合、最も近い周波数が “Actual” テキスト・ボックスに表示されます。入出力周波を入力した後に、**Calculate**ボタンをクリックすると、周波数が表示されます。

分周器モード (Divider Mode) : このモードでは、ユーザは入力周波数と分周値を設定します。ユーザがPLL動作に詳しいことを想定しています。最適なPLL性能を実現するために、ユーザは、 f_{VCO} を最大にするCLKOP分周値を選ばなければなりません。入力周波数と分周器値を設定した後に**Calculate**ボタンをクリックすると、周波数が表示されます。図9-9にコンフィグレーション・タブを示します。

図9-9 LatticeXP2 PLLコンフィグレーション・タブ

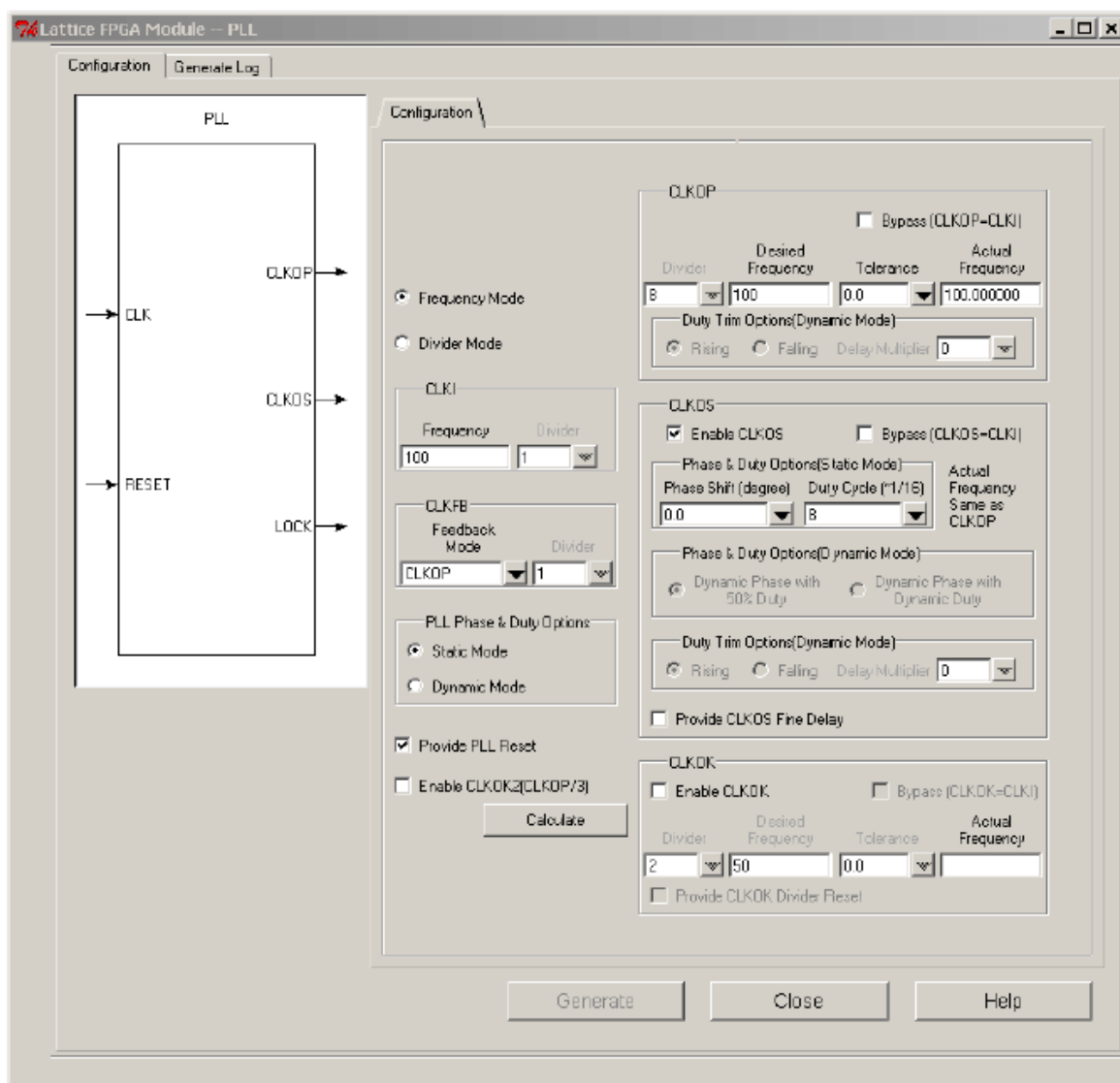


表9-7 コンフィグレーションGUIのユーザパラメータ

パラメータ		記述	値の範囲	デフォルト
Frequency Mode		所望の入・出力周波数	ON / OFF	ON
Divider Mode		所望の入力周波数と分周値設定	ON / OFF	OFF
CLKI	Frequency	入力クロック周波数	10MHz ~ 435MHz	100MHz
	Divider	入力クロック分周値 (Divider Mode)	1 ~ 43	1
CLKFB	Feedback Mode	フィードバック・モード	Internal, CLKOP, User Clock	CLKOP
	Divider	フィードバッククロック分周値 (Divider Mode)	1 ~ 43	1
PLL Phase & Duty Option	None	位相・遅延オプションはなし	ON / OFF	ON
	Static Mode	CLKOS位相・デューティ (Static Mode)	ON / OFF	OFF
	Dynamic Mode	CLKOSダイナミック位相・デューティ設定	ON / OFF	OFF
		CLKOPデューティ・トリミング	ON / OFF	OFF
CLKOP	Bypass	PLLのバイパス; CLKOP=CLKI	ON / OFF	OFF
	Frequency	所望のCLKOP出力周波数	10MHz ~ 435MHz	100MHz
	Divider	CLKOP分周器の設定値(Divider Mode)	2, 4, 8, 16, 32, 48, 64, 80	8
	Tolerance	許容できるCLKOP誤差	0.0, 0.1, 0.2, 0.5, 1.0	0.0
	Actual Frequency	実際の周波数 (リードオンリ)	--	--
	Rising	立ち上がりエッジ・トリム	ON / OFF	OFF
	Falling	立ち下がりエッジ・トリム	ON / OFF	OFF
	Delay Multiplier	遅延ステップ数	0 ~ 7	0
CLKOS	Enable	CLKOS出力をイネーブル	ON / OFF	OFF
	Bypass	PLLのバイパス; CLKOS=CLKI	ON / OFF	OFF
	Phase Shift	CLKOSスタティック位相シフト	0, 22.5, 45, ..., 337.5	--
	Rising	立ち上がりエッジ・トリム	ON / OFF	OFF
	Delay Multiplier	遅延ステップ数	0 ~ 7	0
CLKOK	Enable	CLKOK出力をイネーブル	ON / OFF	OFF
	Bypass	PLLのバイパス; CLKOK=CLKI	ON / OFF	OFF
	Frequency	所望のCLKOK出力周波数	78.125kHz ~ 217.5MHz	50MHz
	Divider	CLKOK分周器の設定値	2 ~ 128	2
	Tolerance	許容できるCLKOK誤差	0.0, 0.1, 0.2, 0.5, 1.0	0.0
	Actual Frequency	実際の周波数 (リードオンリ)	--	--
CLKOK2	Enable	CLKOK2出力をイネーブル	ON / OFF	OFF
Provide PLL Reset		PLLリセットポートを提供 (RESET)	ON / OFF	OFF
Provide CLKOK Divide Reset	CLKOK分周リセットを提供 (RSTK)		ON / OFF	OFF
Provide CLKOS Fine Delay Port		CLKOS分周リセットを提供 (WRDEL)	ON / OFF	OFF
Import LPC to ispLEVER Project		.lpc ファイルのプロジェクトへのインポート	ON / OFF	OFF

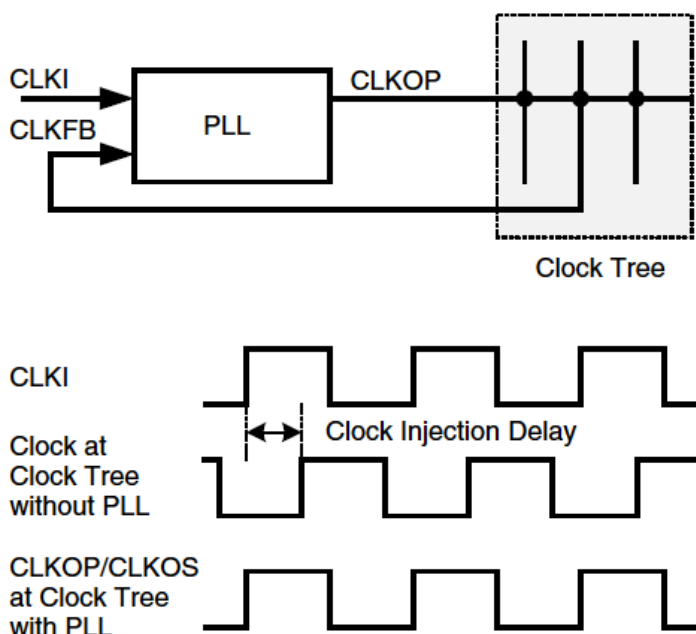
PLL動作モード

PLLには論理設計で多くの用途があります。最もよく用いられるのは、クロック注入 (遅延の) 除去とクロック位相調整です。これら2つの動作モードについて以下で説明します。

PLLクロック注入除去

このモードでPLLはクロック注入遅延を減少させるために用います。クロック注入遅延は、デバイスの入力ピンからフリップフロップなどの目的とするエレメントまでの遅延です。PLLの位相検出器はCLKFBをCLKIにアライン（整合）させます。CLKFB信号がクロックツリー(CLKOP)から来る場合、結果としてPLLの遅延とクロックツリーの遅延を取り除きます。図9-10はブロック図と波形について例示します。

図9-10 クロック注入遅延除去アプリケーション

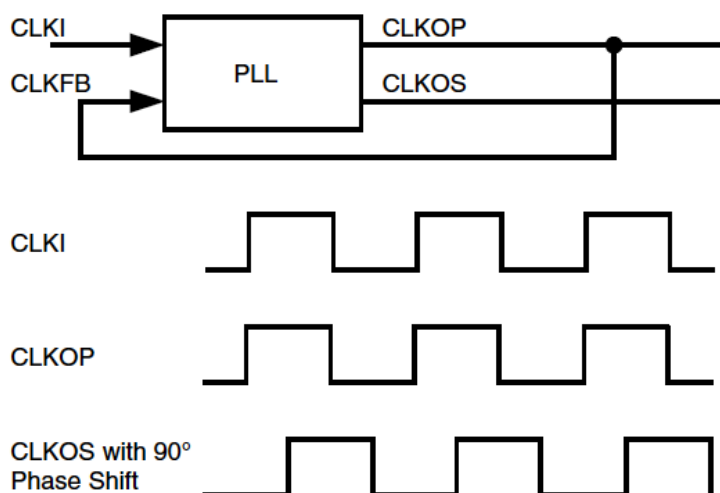


PLLクロック位相調整

このモードで、PLLは22.5度ステップで固定の位相関係を生成するために用いられます。固定位相の生成は、クロックとデータとの特定の関係が必要なクロック転送インターフェイスで役立ちます。

固定の位相関係はCLKIとCLKOSの間、またはCLKOPとCLKOSの間で用いることができます。

図9-11 CLKOPからのCLKOSの位相調整



IPexpress出力

デザインでの使用に重要なIPexpressの出力が2つあります。1番目はファイル <module_name>.[v | vhd] です。これは論理合成とシミュレーションの両方で用いられる、ツールが生成するユーザ命名のモジュ

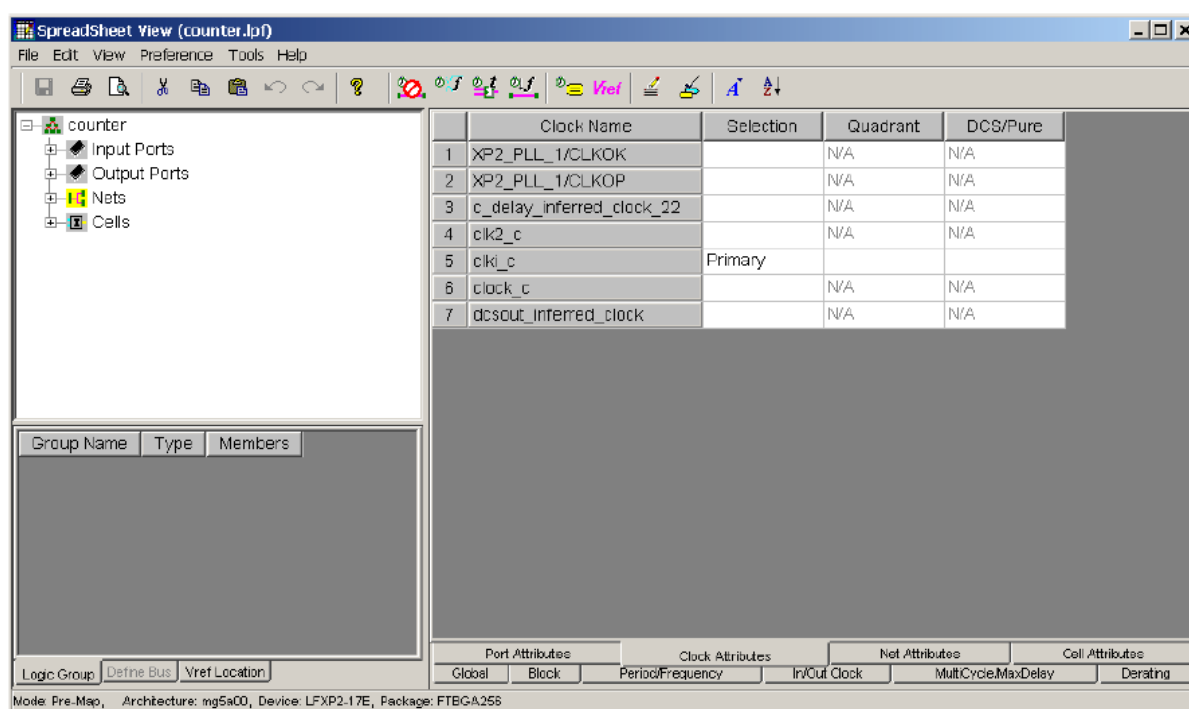
ールです。第二のファイルはテンプレートで <module_name>_tmpl.[v | vhd] です。このファイルはモジュールのインスタンス例を含んでいます。このファイルは、ユーザがインスタンス例をコピー/ペーストして使用するよう意図されており、論理合成フローやシミュレーションで直接用いるものではありません。

PLL用に、IPexpressは選択されたデータレートに特定したアトリビュートをHDLモジュールに設定します。これらのアトリビュートを容易に変えることもできますが、PLLの性能を維持するためには、GUIを再操作することによってのみそれらを変更すべきです。デザインフローのマッププロセスの後、PLLから生成されるクロックに制約を与えるために、FREQUENCY制約が自動的にプリファレンス・ファイルに含まれます。

デザインプランナの使用法

デザインプランナでクロック制約を与えることができます。図9-12はスクリーンショットの例です。

図9-12 デザインプランナの例



クロック分周器(CLKDIV)

クロック分周器は高速クロックを1/2/4分周、又は8分周します。全出力は入力からの遅延が整合しています。CLKDIV入力はエッジクロックやPLLのCLKOPから得られます。そして、分周出力をプライマリクロックや一般配線、又はセカンダリクロック入力として用いることができます。クロック分周器は、低速FPGAクロックをシフトレジスタ(x2、x4、x8)や、DDR / SPI4 I/Oロジック・インターフェイスに供給するのに用いられます。

CLKDIVプリミティブの定義

ユーザはこのセクションで定義されるようなソースコードでCLKDIVをインスタンスすることができます。図9-13、表9-8、および表9-9はCLKDIVBの定義について説明します。

図9-13 CLKDIVプリミティブ・シンボル

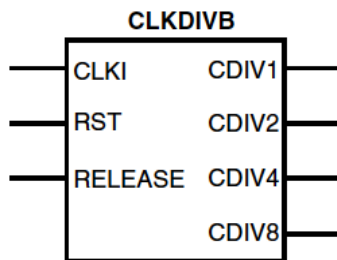


表9-8 CLKDIVBポートの定義

名前	記述
CLKI	クロック入力
RST	リセット入力。非同期にすべての出力を強制的にLowにします
RELEASE	入力クロックに同期して出力をリリースします
CDIV1	1分周出力
CDIV2	2分周出力
CDIV4	4分周出力
CDIV8	8分周出力

表9-9 CLKDIVBアトリビュートの定義

名前	記述	値	デフォルト
GSR	GSRイネーブル	ENABLED / DISABLED	DISABLED

VHDLソースコードにおけるCLKDIV宣言

```

COMPONENT CLKDIVB
-- synthesis translate_off
  GENERIC (
    GSR : in String);
-- synthesis translate_on
  PORT (
    CLKI,RST, RELEASE:          IN std_logic;
    CDIV1, CDIV2, CDIV4, CDIV8:OUT std_logic);
END COMPONENT;

attribute GSR : string;
attribute GSR of CLKDIVinst0 : label is "DISABLED";

begin
CLKDIVinst0:CLKDIVB
-- synthesis translate_off
  GENERIC MAP(
    GSR => "disabled"
  );
-- synthesis translate_on
  PORT MAP(
    CLKI => CLKIsig,
    RST  => RSTsig,
    RELEASE => RELEASEsig,
    CDIV1 => CDIV1sig,
    CDIV2 => CDIV2sig,
    CDIV4 => CDIV4sig,
    CDIV8 => CDIV8sig
  );
end

```

VerilogソースコードにおけるCLKDIVの使い方


```

module clkdiv_top(RST,CLKI,RELEASE,CDIV1,CDIV2,CDIV4,CDIV8);
  input CLKI, RST, RELEASE;
  output CDIV1, CDIV2, CDIV4, CDIV8;

  CLKDIVB CLKDIBinst0 (.RST(RST), .CLKI(CLKI), .RELEASE(RELEASE),
    .CDIV1(CDIV1), .CDIV2(CDIV2), .CDIV4(CDIV4), .CDIV8(CDIV8));

  defparam CLKDIBinst0.GSR = "DISABLED";
endmodule

```

CLKDIVの回路例

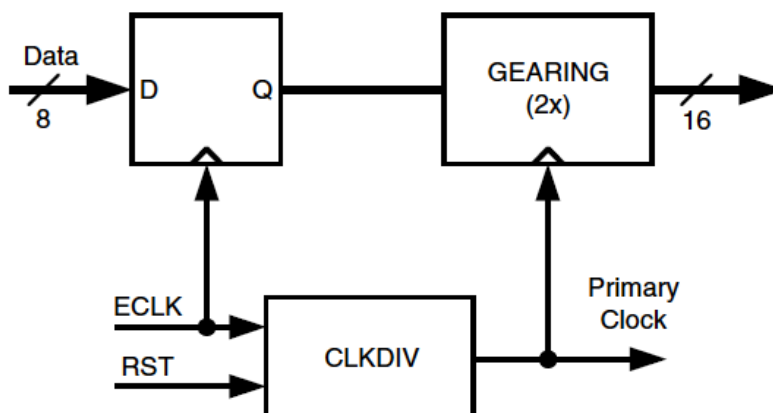
クロック分周器(CLKDIV)は、クロックを2分周か4分周することができ、プライマリクロック・ネットワークをドライブします。クロック分周器は、低速FPGAクロックをI/Oシフトレジスタ(x2、x4)とDDR(x2、x4) I/Oロジック・インターフェイスに提供するのに役立ちます。8分周が遅い速度 / 低電力動作に提供されています。

I/Oロジックで同期転送を保証するためには、CLKDIVクロック入力のエッジクロックから来ること、出力がプライマリクロックをドライブすることが必要です。この場合、それらの位相は揃っています。

これは特に図9-14で示されるように、Mux / DeMuxギアリングがデータバス全体を同期させるために使用されているとき、I/Oロジックを同時にリセットするために役立ちます。エッジクロック配線の低スキュー特性を用いて、Mux / DeMuxギアリングを同期させる為に、データバスの全ビットにリセットを与えることができます。

第二の回路は、x2とx4アプリケーションのためにDLLをCLKDIVに取り替えることができることを示しています。

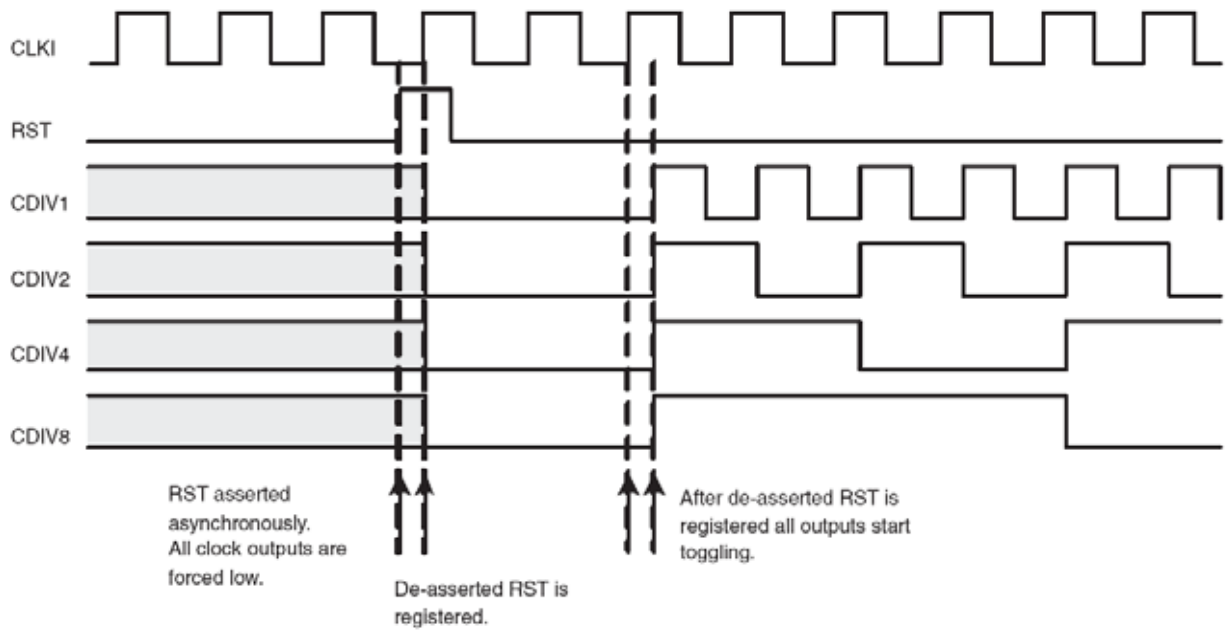
図9-14 CLKDIVアプリケーションの例



リセットの振舞い

図9-15は非同期リセットの振舞いについて図示します。

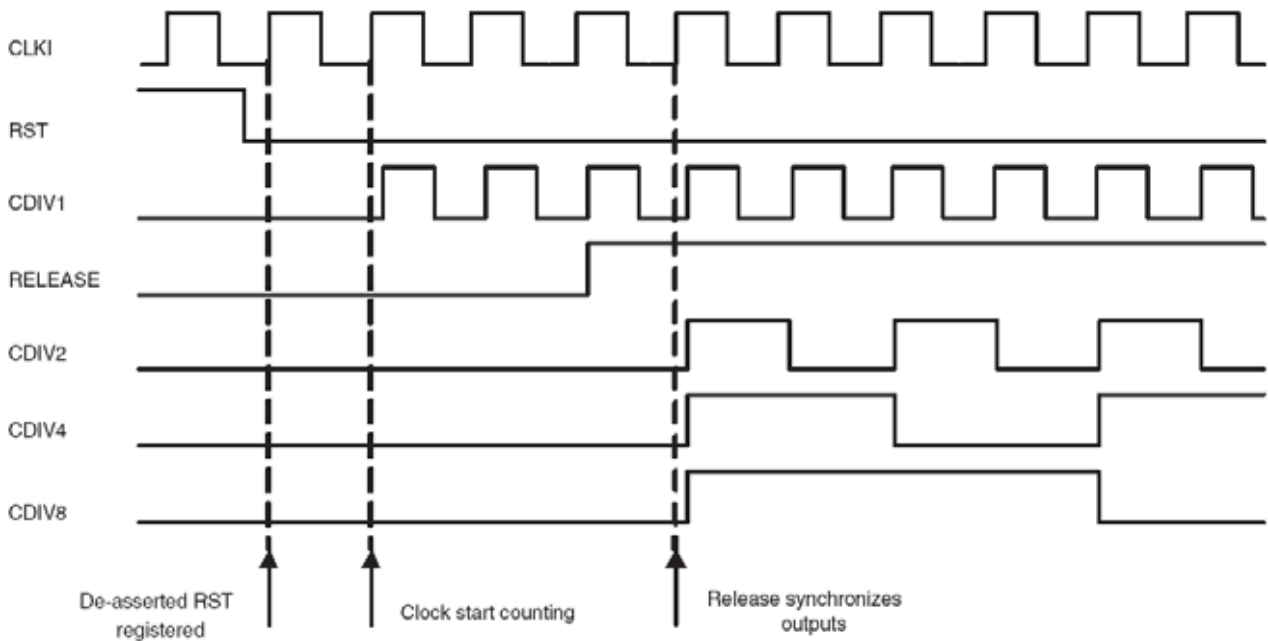
図9-15 CLKDIV Resetの振舞い



リリースの振舞い

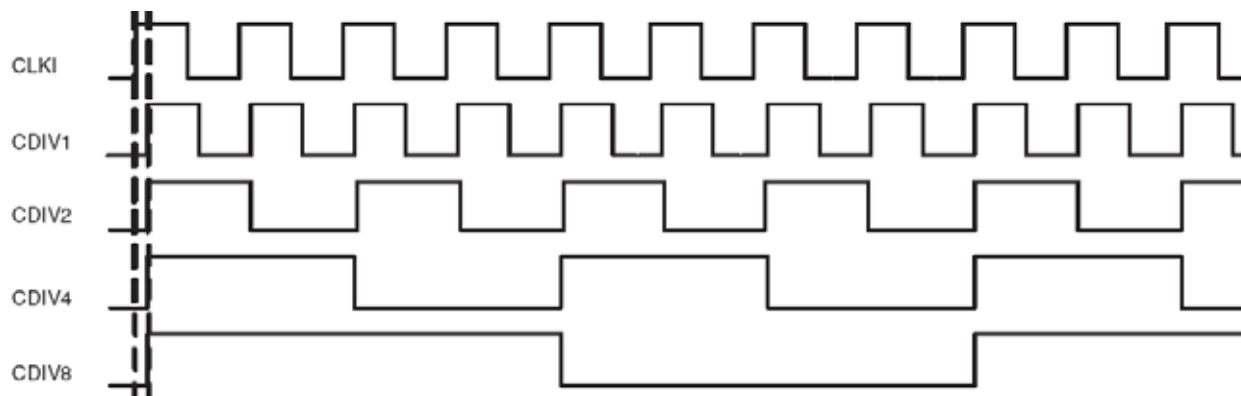
ポートReleaseは、RSTがネゲートされた後に全出力を同期させるために用いられます。図9-16はその振舞いについて図示します。

図9-16 CLKDIV RELEASEの振舞い



CLKDIV、入力から出力遅延の整合

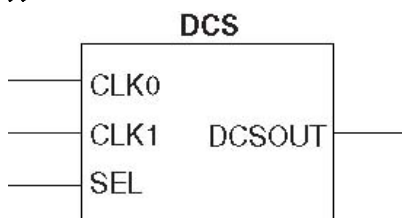
図9-17 CLKDIV 入力から出力遅延の整合



ダイナミック・クロック選択 (DCS)

DCSは洗練されたマルチプレクサ機能を取り入れたグローバル・クロックバッファです。2系統の独立した入力クロックソースから、いつイネーブル信号がトグルしたかに関わらず、出力クロックに細いパルスが出るのを避けます。DCSは各クオドラントに2つあります。DCS出力はそのあと供給線を通してプライマリ・クロックツリーに達します。図9-18はDCSのブロック図を示します。

図9-18 DCSのプリミティブ・シンボル



DCSプリミティブ要素の定義

表9-10はDCSのI/Oポートを定義しています。全部で8モードあり、表9-11にその構成を示します。

表9-10 DCS I/O定義

I/O	名称	説明
入力	SEL	入力クロック選択
	CLK0	クロック入力 0
	CLK1	クロック入力 1
出力	DCSOUT	クロック出力

表9-11 DCS動作モード

アトリビュート名	説明	出力		値
		SEL=0	SEL=1	
DCS MODE	立ち上がりエッジトリガ、ラッチ状態はHigh	CLK0	CLK1	POS
	立ち上がりエッジトリガ、ラッチ状態はLow	CLK0	CLK1	NEG
	SELはHighアクティブ、ディセーブル出力はLow	0	CLK1	HIGH_LOW
	SELはHighアクティブ、ディセーブル出力はHigh	1	CLK1	HIGH_HIGH
	SELはLowアクティブ、ディセーブル出力はLow	CLK0	0	LOW_LOW
	SELはLowアクティブ、ディセーブル出力はHigh	CLK0	1	LOW_HIGH
	CLK0用バッファ	CLK0	CLK0	CLK0
	CLK1用バッファ	CLK1	CLK1	CLK1

DCS タイミング図

各モードで独自の動作をします。クロック出力タイミングは入力クロックとSEL信号のエッジで決定されます。図9-19で各モードのタイミングを示します。

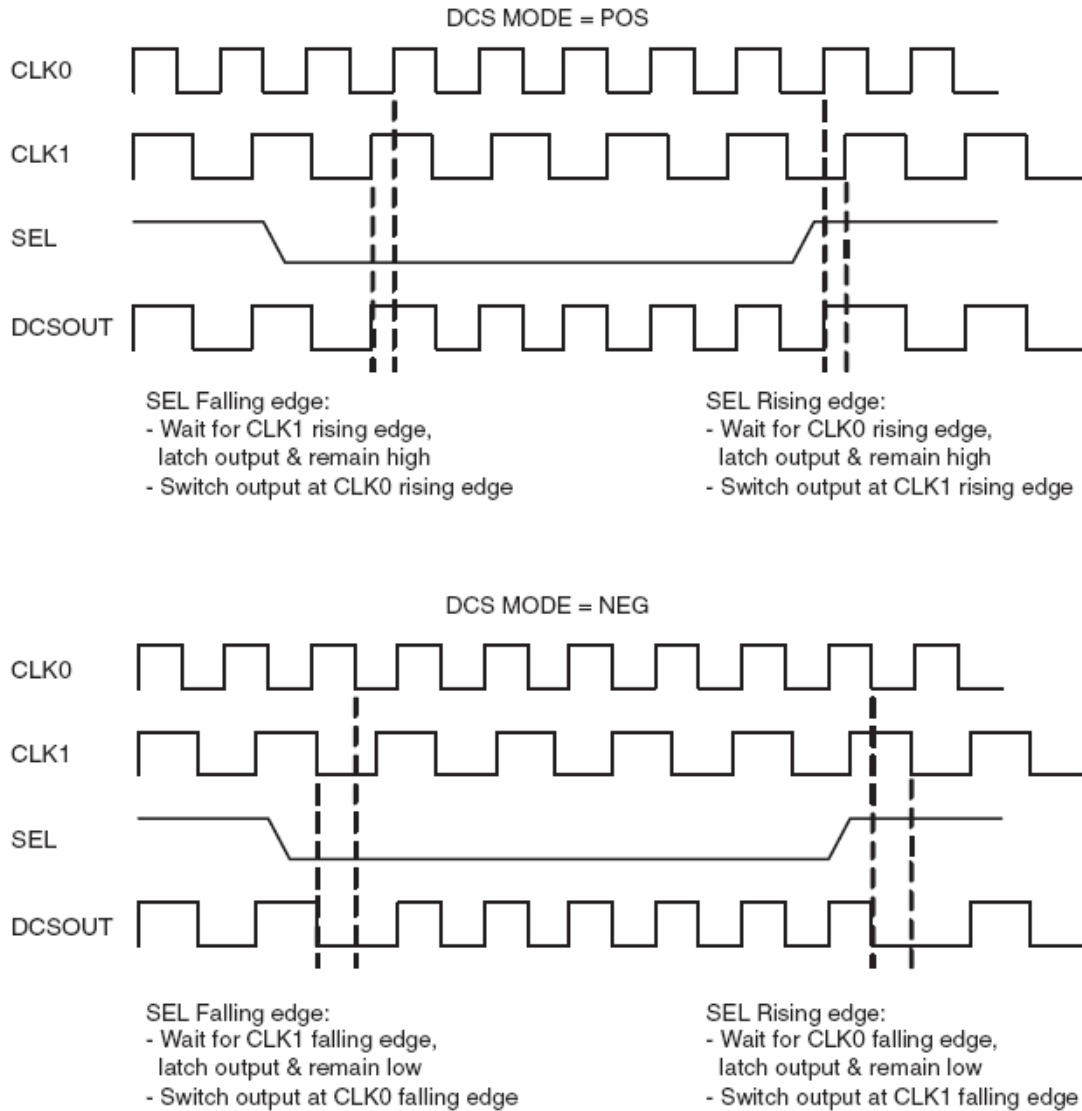
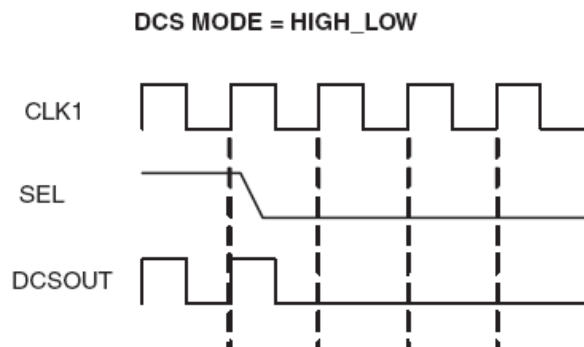
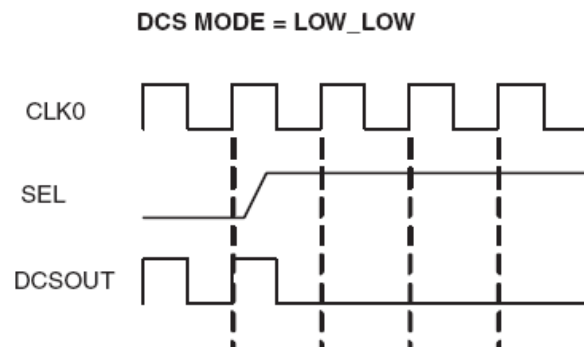
図9-19 DCS MODEごとのタイミング図

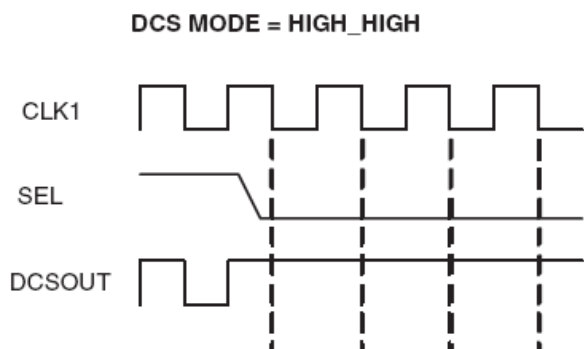
図9-20 DCS MODEごとのタイミング図(つづき)



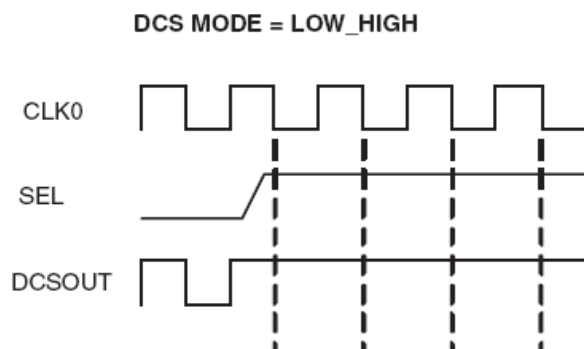
- Switch low @CLK1 falling edge.
- If SEL is low, output stays low at on CLK1 rising edge. SEL must not change during setup prior to rising clock.



- Switch low @CLK0 falling edge.
- If SEL is high, output stays low at on CLK0 rising edge.



- Switch high @CLK1 rising edge.
- If SEL is low, output stays low high on CLK1 falling edge.



- Switch high @ CLK0 rising edge.
- If SEL is high, output stays high on CLK0 falling edge.

VHDLでのDCS使用例

```

COMPONENT DCS
-- synthesis translate_off
  GENERIC (
    DCSMODE : string := "POS"
  );
-- synthesis translate_on

  PORT (
    CLK0 :IN std_logic;
    CLK1 :IN std_logic;
    SEL:IN std_logic;
    DCSOUT :OUT std_logic);
END COMPONENT;

attribute DCSMODE : string;
attribute DCSMODE of DCSinst0 : label is "POS";

begin
DCSinst0: DCS
-- synthesis translate_off
  GENERIC MAP (
    DCSMODE => "POS"
  )
-- synthesis translate_on
  PORT MAP (
    SEL => clkssel,
    CLK0 => dcsclk0,

```

```

        CLK1 => sysclk1,
        DCSOUT => dcscclk
    );
end

```

VerilogでのDCS使用例

```

module dcs(clk0,clk1,sel,dcscout);
    input clk0, clk1, sel;
    output dcscout;

    DCS DCSInst0 (.SEL(sel), .CLK0(clk0), .CLK1(clk1), .DCSOUT(dcscout));
    defparam DCSInst0.DCSMODE = "CLK0";

endmodule

```

発振器(OSCE)

LatticeXP2デバイスにはユーザが使用できる専用の発振器があります。

クロックツリーへの入力クロックとして発振器の出力を配線することができます。設定できる発振器周波数を表9-13に示します。必要であれば、より低い周波数とするために、発振器出力を内部ロジック(ユーザロジック)で分周することができます。発振器が使用されない場合は、不動作になります。

この発振器出力は精度の良いクロックではありません。それは正確なクロックを必要としない、付加的なクロックとしての使用を意図されています。

プリミティブ名 : OSCE

表9-12 OSCEポート定義

I/O	名前	記述
Output	OSC	発振器のクロック出力

表9-13 OSCEアトリビュート定義

ユーザ・アトリビュート	アトリビュート名	値 (MHz)	デフォルト
Nominal Frequency	NOM_FREQ	2.5, 3.14, 4.3, 5.4, 6.9, 8.1, 9.2, 10.0, 13.0, 15.0, 20.0, 26.0, 32.0, 40.0, 54.0, 80.0, 163.0	2.5

仕様についてはデータシートを参照してください。

OSCプリミティブ・シンボル(OSCE)

図9-21 OSCシンボル



VHDLでのOSCの使い方

```

COMPONENT OSCE
-- synthesis translate_off
    GENERIC (NOM_FREQ: string);
-- synthesis translate_on
    PORT (CFGCLK:OUT std_logic);
END COMPONENT;

attribute NOM_FREQ : string;

```

```

attribute NOM_FREQ of OSCins0 : label is "2.5";

begin

OSCInst0: OSCE
-- synthesis translate_off
   GENERIC MAP (NOM_FREQ => "2.5")
-- synthesis translate_on
   PORT MAP ( CFGCLK=> osc_int);
end

```

VerilogでのOSCの使い方

```

module OSC_TOP(OSC_CLK);
  output OSC_CLK;

  OSCE OSCinst0 (.CFGCLK(OSC_CLK));

  defparam OSCinst0.NOM_FREQ = "2.5";

endmodule

```

クロック・プリファレンス（制約）の設定

クロック・プリファレンスで、設計者は必要な性能にクロックを実装することができます。ispLEVER中のデザインプランナ、又はプリファレンス・ファイルで制約を設定することができます。頻繁に使用されるプリファレンスは付録Cで説明されています。

供給電源

各PLLにはそれ自身の供給電源 V_{CCPLL} があります。 V_{CCPLL} は3.3Vで、同一回路基板内の同じ電源からフィルタを介して供給されることを推奨します。その結果リークを最小にでき、またデジタル電源からのノイズ結合を最小にするために、適切なフィルタ技法を用いることで、PLL出力への影響を低減させます。

テクニカル・サポート支援

ホットライン: 1-800-LATTICE (North America)

+1-503-268-8001 (Outside North America)

e-mail: techsupport@latticesemi.com

インターネット: <http://www.latticesemi.com>

変更履歴（日本語版）

Rev.#	日付	変更箇所
1.0J1	Jan.2009-	日本語版新規発行 オリジナル英語版の差異 ; [1] DCS HDL例誤り、[2] 供給電源記述の誤り、[3] 付録C、ASICの例不適切、[4] "Preference Editor" 記述はデザインプランナに置き換え

付録A プライマリクロック・ソースと分配

図9-22 LatticeXP2プライマリクロック・ソースと分配

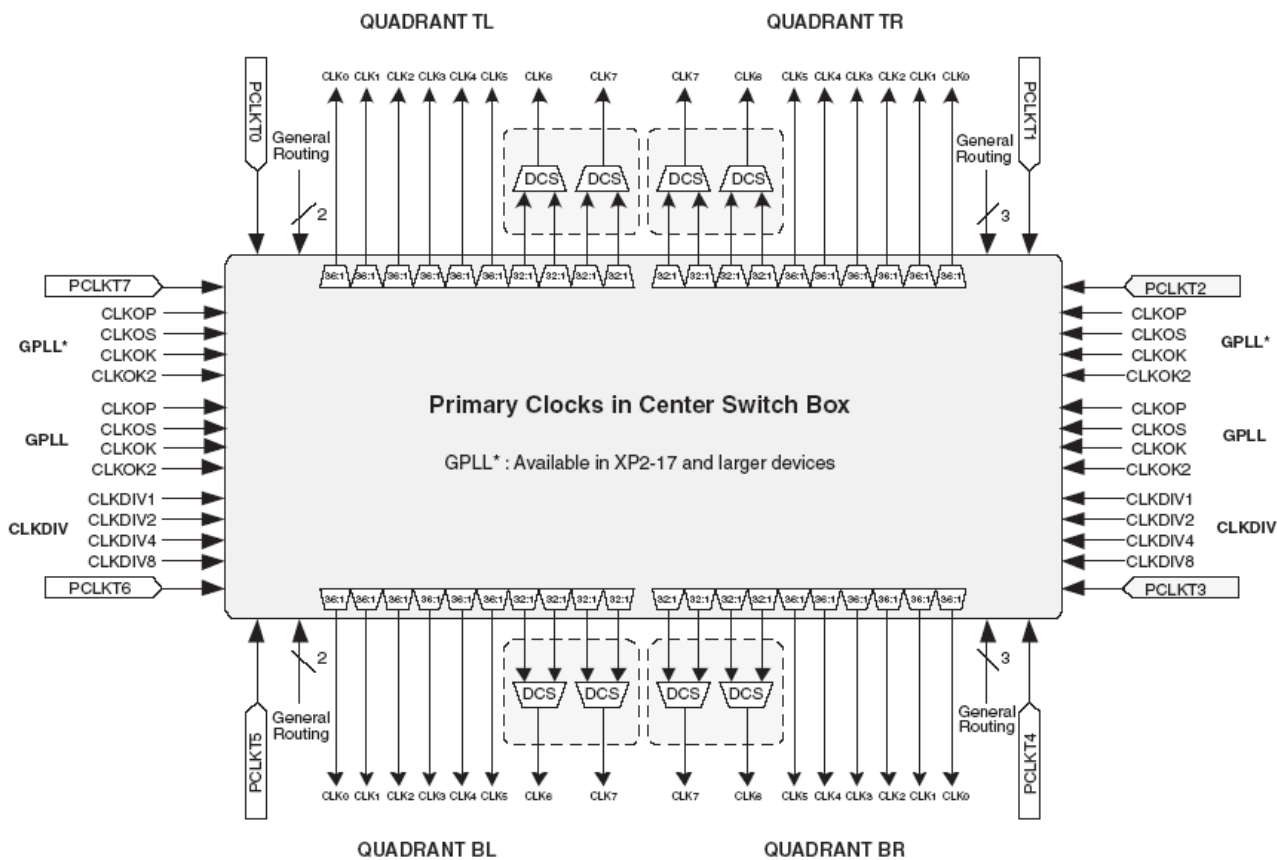
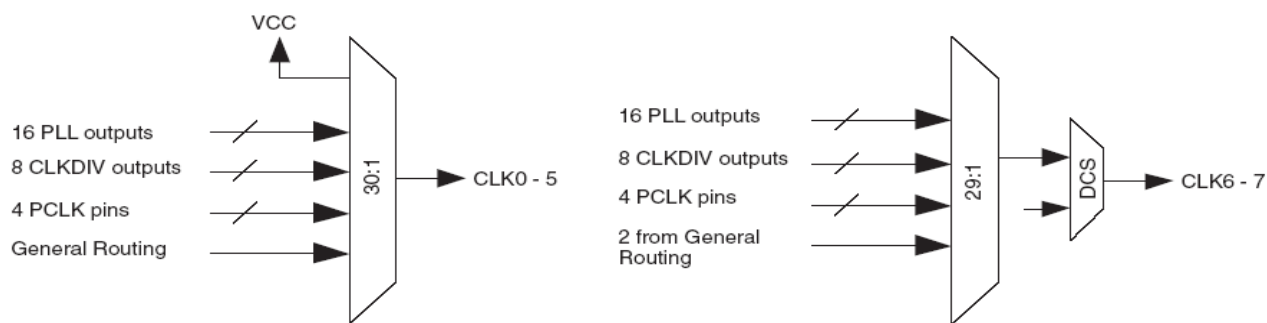


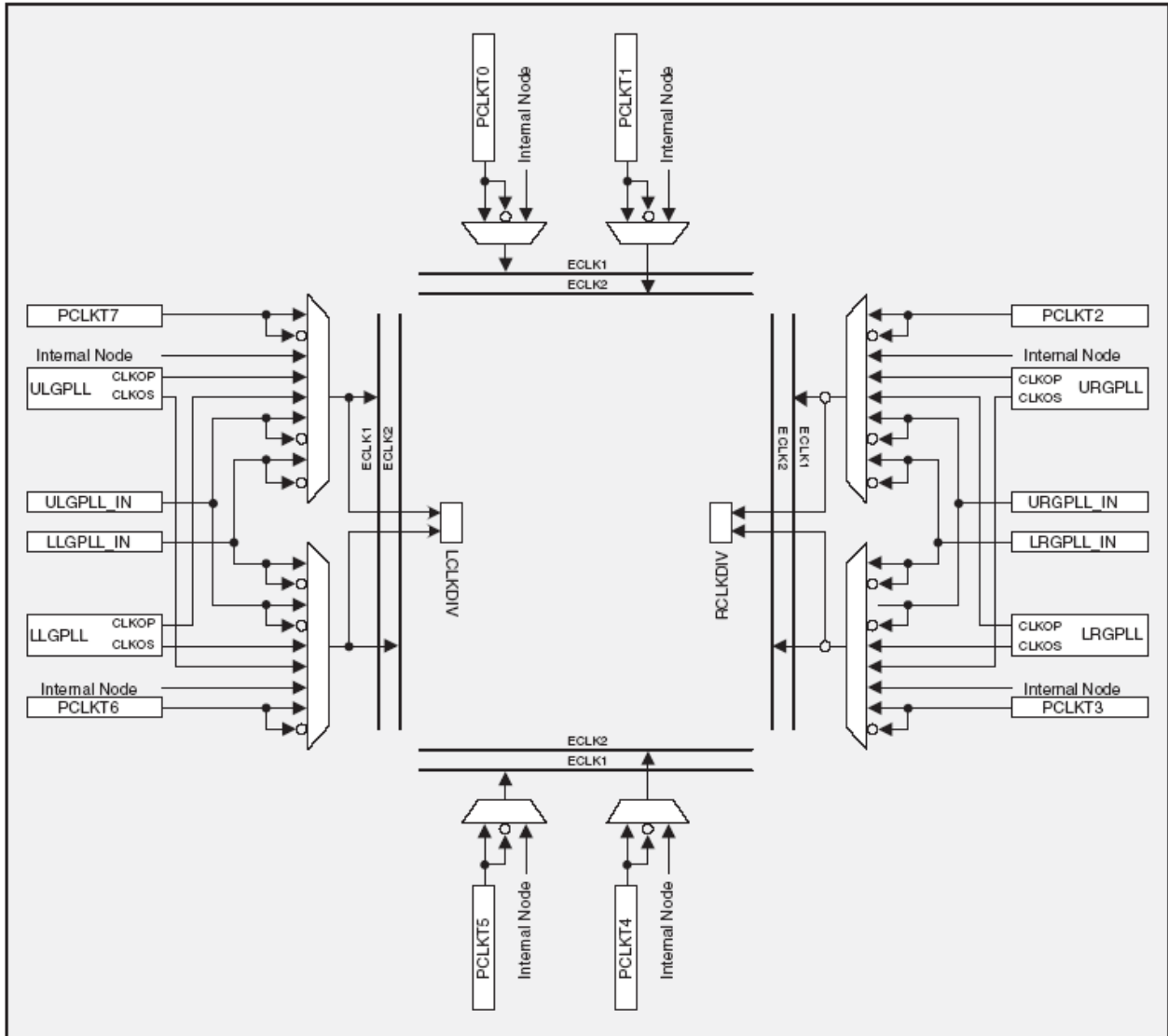
図9-23 LatticeXP2プライマリクロック・マルチプレクサ



付録B PLL、CLKDIV、ECLKの位置と接続性

図9-24はPLL、CLKDIV、およびECLKの位置、サイト名、および接続性を示します。

図9-24 PLL、CLKDIV、ECLKの位置、および接続性



付録C クロック制約

幾つかの主な制約を以下に紹介します。より詳細の情報とその他の制約についてはソフトウェアのヘルプを参照してください。

FREQUENCY

次の物理制約はclk1というネットに100 MHzを指定します。

```
FREQUENCY NET "clk1" 100 MHz;
```

次の制約は各クロックドメインにホールドマージンを指定します。

```
FREQUENCY NET "RX_CLKA_CMOS_c" 100.000 MHz HOLD_MARGIN 1 ns;
```

MAXSKEW

次の制約はNetBというネットに5 nsの最大スキューを指定します。

```
MAXSKEW NET "NetB" 5 NS;
```

MULTICYCLE

次の制約はCOMPAからCOMPB (NET1)のパスに対して50 nsの周期を指定します。

```
MULTICYCLE "PATH1" START COMP "COMPA" END COMP "COMPB" NET "NET1" 50 NS ;
```

PERIOD

次の制約はClk1というポートに30 nsのクロック周期を指定します。

```
PERIOD PORT "Clk1" 30 NS;
```

PROHIBIT

本制約はbf_clkというクロックをプライマリクロックに割り当てることを禁止します。

```
PROHIBIT PRIMARY NET "bf_clk";
```

USE PRIMARY

指定されたネットを配線するのにプライマリクロック・リソースを用います。

```
USE PRIMARY NET clk_fast;  
USE PRIMARY DCS NET "bf_clk";  
USE PRIMARY PURE NET "bf_clk" QUADRANT_TL;
```

USE SECONDARY

指定されたネットを配線するのにセカンダリクロック・リソースを用います。

```
USE SECONDARY NET "clk_lessfast" QUADRANT_TL;
```

USE EDGE

指定されたネットを配線するのにエッジクロック・リソースを用います。

```
USE EDGE NET "clk_fast";
```

CLOCK_TO_OUT

本制約はクロックに対する出力の許容最大遅延値を指定します。

以下の2つの制約はCLKPORTとCLKNETというキーワードを用いた例で、それぞれに対するタイミング解析 (TRACE) レポートも示します。

CLKNET制約はPLLの前のパスについて解析を行いません。従ってPLLタイミング補償値を得ることができません。

```
CLOCK_TO_OUT PORT "RxAddr_0" 6.000000 ns CLKNET "pll_rxclk";
```

これにより、以下のクロックパス解析結果を得ます。

Physical Path Details:

Clock path pll_inst/pll_utp_0_0 to PFU_33:

Name	Fanout	Delay (ns)	Site	Resource
ROUTE	49	2.892	ULPPLL.MCLK to R3C14.CLK0	pll_rxclk

		2.892	(0.0% logic, 100.0% route),	0 logic levels.

CLKPORT制約はクロックポート・リソースまでの解析を完了し、PLLタイミング補償値を得ます。

```
CLOCK_TO_OUT PORT "RxAddr_0" 6.000000 ns CLKPORT "RxClk";
```

これにより、以下のクロックパス解析結果を得ます。

Clock path RxClk to PFU_33:

Name	Fanout	Delay (ns)	Site	Resource
IN_DEL	---	1.431	D5.PAD to D5.INCK	RxClk
ROUTE	1	0.843	D5.INCK to ULPPLL.CLKIN	RxClk_c
MCLK_DEL	---	3.605	ULPPLL.CLKIN to ULPPLL.MCLK	pll_inst/pll_utp_0_0
ROUTE	49	2.892	ULPPLL.MCLK to R3C14.CLK0	pll_rxclk

		8.771	(57.4% logic, 42.6% route),	2 logic levels.

INPUT_SETUP

次の制約はクロックに対する入力のセットアップ値要件を指定します。

```
INPUT_SETUP PORT "datain" 2.000000 ns HOLD 1.000000 ns CLKPORT "clk" PLL_PHASE_BACK;
```

PLL_PHASE_BACK

次の制約は直前のクロックエッジに対するタイミング解析をしたい場合INPUT_SETUPと共に用います。この制約はPLL出力を位相調整なしに使用する際に有用です。これは負の位相調整機能はないため、PLL_PHASE_BACKがあたかもその機能として作用するためです。

例えば、CLKOSに -90° のシフトが求められる場合、ユーザは位相を 270° にし、PLL_PHASE_BACKとINPUT_SETUPを共に用います。

プリマップ・プリファレンスエディタにおけるPLL_PHASE_BACKの使い方:

PLL_PHASE_BACKアトリビュートを設定するのにプリマップ・プリファレンスエディタを用いることができます。

1. デザインプランナ(Pre-Map)を開きます。
2. デザインプランナ・コントロール・ウィンドウのViewの下で、Spreadsheet Viewを選択します。
3. Spreadsheet Viewウィンドウで、Input_setup/Clock_to_outを選択してます。

INPUT_SETUP/CLOCK_TO_OUTプリファレンス・ウィンドウを図9-25に示します。

図9-25 INPUT_SETUP/CLOCK_TO_OUTプリファレンス・ウィンドウ

