

## 简介

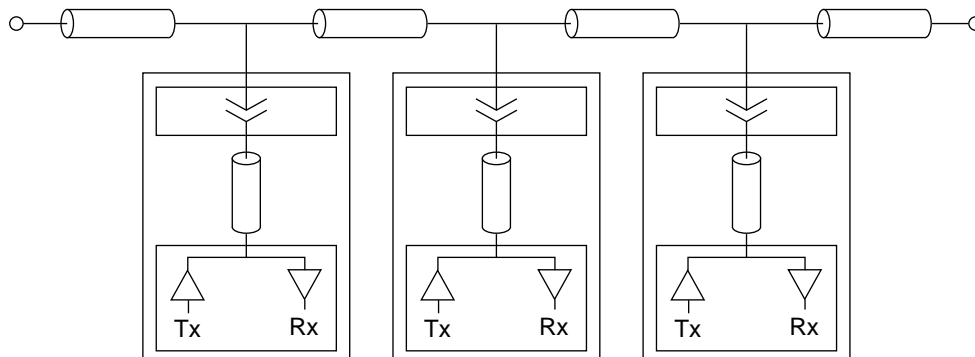
背板是一种典型的用于系统内汇集所有电子模块的物理互连的方式。复杂的系统依靠背板上的连线、走线和连接器来处理大量的高速数据。多个背板模块之间的通信受到诸如连接器、走线长度、过孔和终端等部件的阻抗、电容以及电感参数的影响。设计高性能分布式负载背板的一个极为重要的因素是要了解如何进行设计来保证良好的信号完整性。

本技术说明介绍了几种拓扑连接结构间的基本区别。说明了在背板设计时需要考虑到的各种问题，并重点讨论了通过背板以点对点的传输线方式进行连接时的关键问题。包括印刷电路板走线结构、过孔、器件封装和背板连接器等方面。我们还为设计师们提供了一份印刷电路板设计的检查清单。给出了针对某些特定频率的讨论和指导。本文档还讨论了莱迪思半导体公司的 FPGA 产品线及其 SERDES 高速背板接口。这些接口通过 CML 差分缓冲接口提供高速串行数据流。

## 背板拓扑结构和概述

目前背板的系统互连拓扑结构主要有三种。它们分别是多点对多点、一点对多点和点对点。传统系统使用多点对多点 / 一点对多点连接的拓扑结构，为带有单个网络（节点）的多个器件提供有效的互连和通信，如图 1 所示。

图 1: 多点对多点背板结构

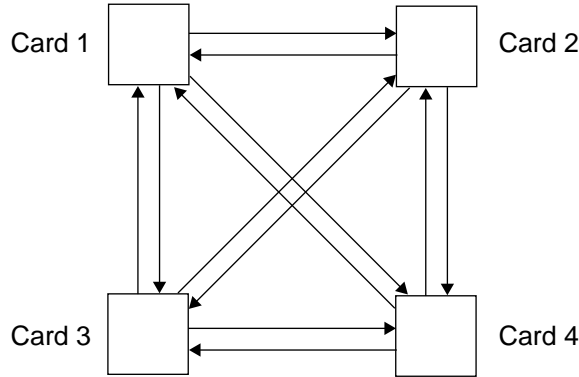


然而，这种网络结构有严格的数据速率限制。每个网络在卡与背板连接的节点上会有 T 型结构或者分支结构。这些 T 型结构会导致背板上信号路径传输线的不连续和不匹配。结果就会在高速传输时，卡与背板接口上都有大反射信号。这些反射信号会来回传送，持续较长的时间，在高速传输的情况下严重降低了信号的完整性。通常要等所传输数据的每个位的反射信号逐渐衰减后，才能实现可接受的信号通信。这大大限制了通信速率。因此，多点对多点和一点对多点的拓扑结构的速率极限一般都低于 100 Mbps。由于实际走线长度和卡的插槽的增加，该速度极限很容易就会低于 10 Mbps。

点对点的互连拓扑结构消除了上面所述的信号路径的分支。消除了所产生的信号反射，从而大大提高了最大的数据速率。通过周详的设计考虑，这种背板互连可用于数据速率高达 3 Gbps 甚至更高的通信。

这种方法的缺点是增加了背板走线和卡上端口的接口数。一个多点连接的背板上  $n$  个插卡互连的网络，必须使用  $n(n-1)$  个单向点对点的连接来代替。每个插卡必须提供  $n-1$  个发送和  $n-1$  个接收端口，用于整个系统的互连。例如：一个四块印刷电路板的系统的全互连如图 2 所示。

图 2: 四个插卡的点对点互连系统



每个插卡必须提供 3 个发送器和 3 个接收器端口。每条带箭头的线代表一个点对点的背板网络。

如今的通信设备设计已经呈现对于印刷电路板之间更高带宽互连的需求。快速发展的 IC 技术，随着其拥有数千兆位的处理和驱动能力，点对点的背板拓扑结构成为了许多当今新型硬件系统的理想选择。这种拓扑结构对于串行和并行的数据结构都提供支持。莱迪思半导体公司日前推出多款具有多个端口的 IC 产品，每个端口可实现高达 Gbps 的背板驱动能力。这些器件将在后文中进行介绍。本文的稍后部分将侧重讨论点对点背板互连的印刷电路板设计。

### 点对点背板信号路径结构

典型的点对点拓扑结构采用了简单、单路径互连结构，从一块卡的发送器件通过背板，传输到另一块卡的接收器件。这样一个互连的实际物理路径如图 3 所示。

图 3: 互连的实际物理结构



点对点互连单元都是串行连接的，并提供一个单一的信号路径。每个单元可以被认为是一个传输线区段。理想情况下，通过控制和匹配每个传输线区段的特性阻抗，可创建一条一致的电子信号路径。然后信号可以沿路径传播，而不会发生信号反射。在接收器件输入端添加一个终端电阻，其大小等于传输线的特性阻抗，这样可以实现发送器和接收器之间最大带宽的无失真数据连接通道。

图 3 中的每个单元都可以被分解成若干个子单元。例如：对信号路径影响最大的印刷电路板传输线部分，包括的子单元有：金属走线、绝缘层、接地层和（层间）过孔。每个子单元都是信号路径的重要组成部分，并且如果没有妥善的设计，可能导致电子信号路径的不连续性和信号反射。图 3 中的单元和子单元的设计问题，将在下文中的几个章节进行讨论。

## 差分信号的优点

关于使用差分信号互连方案的系统的优势，在电子设计的各个领域都是众所周知的。这些优势对于高带宽、高密度，同时需要极低错误率的数据链路的硬件系统来说是非常重要的。差分信号可以不受共模噪声的影响，而共模噪声在大多数应用系统中广泛存在。例如，使用差分信号避免了传统的“地反弹”的噪声问题，这正是许多使用单端接口的高密度 IC 所面临的问题。差分信号也提供了更高的噪声容限，从而使数字链路的位错误率更低。随着由于需要支持更高的带宽，信号的边沿速率随之提高，印刷电路板设计还需要为板上的电感耦合电流提供返回回路。因为电流仍然是局部性的，差分信号有助于减少这个感应电流引起的“反弹”。这是因为差分对的一端是吸入电流而另一端是源电流，从而从根本上消除了感应电流的影响。差分信号互连方法应被用于所有关键的高速互连。

## 电路板设计实践

### 差分走线设计

阻抗受控的差分信号走线对有许多种不同的配置方式。下面是最常见的四种方式。

图 4: 边缘耦合的微带方式 (表面走线)

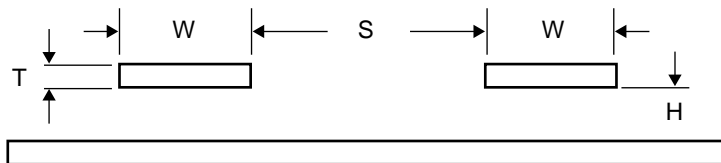


图 5: 边缘耦合的带状线方式 (夹在两个参考平面之间)

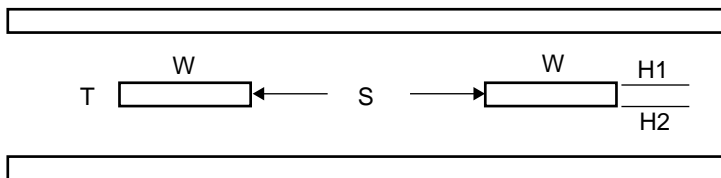


图 6: 偏置的边缘耦合带状线方式 (同图 5, 但是并不夹在两个参考平面正中间)

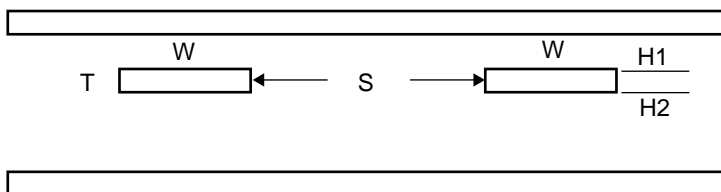
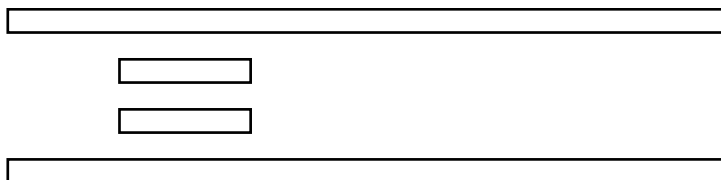


图 7: 宽边耦合的带状线方式 (又叫双带状线)



100 欧姆的特性阻抗已成为互连应用差分线的行业标准值。这个阻抗值更加适合于印刷电路板结构和需要控制传输线阻抗的其它元件设计。

100 欧姆差分线可由两根等长的 50 欧姆的单端线组成。

当两根走线非常接近时（如图 4 至图 7 所示），走线间的磁场耦合减小了走线的差模阻抗，为了保证 100 欧姆的差分阻抗，必须稍稍减小走线的宽度。所以，100 欧姆走线耦合差分对的每根走线的共模阻抗必须稍大于 50 欧姆。

使用耦合的走线对实现 100 欧姆差模阻抗，意味着单端阻抗  $Z_0$  的范围为 53 至 60 欧姆，耦合系数通常为 1-15%。共模阻抗  $Z_0$  和差模阻抗  $Z_{diff}$  的关系可由以下表达式得到： $Z_{diff} = 2 Z_0 (1 - k)/(1 + k)$ ，其中  $k$  是走线耦合系数。

50 欧姆的接地电阻通常用来最终连接 100 欧姆的差分走线对。它提供了理想的差分线终端，这对于使用差分信号的数据链路来说是最重要的。在共模模式下少许阻抗不匹配影响不大。通常只有噪声和串扰信号会出现在共模模式中。

## 共模噪声抑制

为了防止共模噪声转换为差分模式噪声，需要保证差分对的对称性。只要差模与共模保持相对的正交，共模方式中反射和阻抗不匹配就不会影响差模方式的性能。

回路是指信号路径及返回路径间的区域。对差分走线，信号通过一根走线而从另一根走线返回。因此，回路区域取决于走线的距离可以有多近。如果我们关心电磁干扰（EMI）的发射和接收的话，这也是考虑回路区域的主要原因，我们必须将走线安排的尽可能的接近。走线安排的越靠近，回路区域将会越小，那么电磁干扰也会越少。

差分信号的优点之一就是获得的良好信噪比。当正极性的信号在一条信号线上传输时，另一条信号线上则传输负极性的信号，反之亦然。由于差分电路的工作取决于两个信号线（它们的信号等值而反向）上信号之间的差值，得到的信号就是任何一个单端信号的两倍大小。接收器件的理想共模抑制是接收器件只响应两条走线间信号电平的差异。由于噪声通常是共模的，因而不会被接收器件接收，从而保持了差分信号的高信噪比。

为了有良好的共模噪声抑制，非常重要的一点是出现在两根走线上的噪声都相等。也就是说，如果噪声耦合到一根走线，相同大小的噪声也必须耦合到另一根走线上。那么接收电路的共模抑制能力将确保其不受噪声影响。但是，如果耦合到一根走线上的噪声比另一根更大，则这个差值会作为一个差分模式信号进入接收器，从而被放大。确保任何噪声都相同地耦合到两根走线的方法是将两根走线安排得尽可能的接近。这样，他们都会处于相同的噪声环境下。

## 印刷电路板走线的阻抗计算

过去，印刷电路板走线的特性阻抗的计算是一个复杂、容易出错的过程，涉及复杂的计算和近似。可用诺模图和简化后的方程式来简化设计过程，但往往是不准确的。最准确的可用方法是一个解场方程的程序（通常是 2D 的，有时 3D 的），考虑使用有限元法，在实际印刷电路板的布线情况下，直接解 Maxwell 方程。这种仿真可以在带有时域反射计（TDR）测量器件的硬件上进行。

一个 2D 场方程求解程序的示例是 Polar Instruments 的 Si6000b 程序。它有共享的软件试用版，可下载到工作站用于评估和测试。

即使使用场方程求解程序，阻抗计算仍有其不确定性，如典型 FR4 材料生产时玻璃纤维、其浸润程度和环氧树脂胶合等导致的等效介质常数差异。FR4 的平均介质常数在 4.2 到 4.5 之间，具体取决于材料、具体位置和组建方法。

印刷电路板的阻抗验证取决于典型铜线的实际长度的测量。一些生产商在印刷电路板上附加了一个测试部分，称之为“coupon”，它是印刷电路板上的长方形测试区域，有可与 TDR 设备测试探头相连使用的引脚。由于生产中一些不可知的原因导致铜走线的过度腐蚀，从而导致错误的阻抗特性。利用“coupon”我们就可以监控生产质量以避免此类问题。

## 印刷电路板走线阻抗计算示例

我们用一对 0.006 英寸宽，1/2 盎司铜厚，间距为 0.01 英寸，FR4 材料作衬底，离地线层 0.005 英寸（微带方式）的差分信号走线的差分阻抗计算作为例子，铜的厚度 T 为 0.7/1000 英寸。图 8 显示了各参数。注意这里我们采用的是前面提到的 Polar Instruments 公司的 Si6000b 传输线计算程序的前一个版本。

图 8: 采用 Polar CITS25 阻抗计算工具计算差分阻抗（微带方式）的示例



在一块典型的 FR4 印刷电路板上，有三种不同的差分对布线类型。对于表面贴装元件的连接，可能需要采用边缘耦合的微带方式，而连接通孔元件或过孔对时，可以使用带状线和偏置带状线方式。应避免使用宽边耦合的双带状线，因为这种方式容易受到参考平面的差分噪声耦合的影响。宽边耦合的另一个问题是，任何印刷电路板制造的不对称可能导致线路阻抗的不对称，这样即使实际长度完全匹配，但等效信号长度却不匹配。而使用边缘耦合差分对，更容易维护对称性。

过孔，连接器和所有元器件焊盘都会引起信号路径阻抗的不连续性，这可使用 TDR 设备进行测量。

为了避免串扰，当铺设差分对走线时应留有空间大小 S，我们建议如果还要安排其它差分走线对，则它们之间距离不小于 3 S，如果可能的话最好是 4 S。如果差分对只有很小一段在其它走线对附近，如连接器或过孔层接线器，这条规则可以放宽。

## 印刷电路板设计检查列表

1. 印刷电路板上使用 100 欧姆差分阻抗对。受控的阻抗线应该在印刷电路板布局图上特别标出。

2. 匹配走线对的长度可以有 20% 的信号上升 / 下降时间的容限。
3. 使用专为最高数据频率设计和表征特性参数的连接器。（供应商应该提供特性参数和模型数据。）
4. 使用带状线结构，地层 / 电源层分别在差分对的上下层。并且地层和电源层也为信号电流提供返回路径。
5. 印刷电路板使用边缘耦合对，尽量避免宽边耦合对。
6. 差分对间使用 3S 分隔原则，避免串扰和过耦合。使用偏移带状线可获得更高的差分对密度，每个布线层上的差分对都与另一层上的互相正交。

## 印刷电路板层设计（板的堆迭）

对子板和背板的设计来说多层板设计是必须的。多层金属走线实现了高密度的连接、具有最小的串扰和良好的电磁兼容（EMC）。这些对于实现所有信号互连时的良好信号完整性来说是必须的。理想情况下，所有的信号层应该用地线层或电源层（金属层）互相分隔。这可以最大限度地减小串扰，为器件间及器件与其它部件间提供同质的阻抗特性受控的传输线。最佳情况是在整个专用一层电路板布满地或电源层。如果不能在信号层间提供地或电源层，那么必须十分小心以确保信号线的耦合最小。在相邻信号层间应该使用正交布线以减小信号耦合。CAD 工具能预测线耦合和信号串扰，能有助于此类设计。

## 过孔

过孔一般有两个用处。一个是用于将器件通过过孔安装到电路板上。二是要将不同的金属层上的走线进行互连。从电性能角度讲过孔会有寄生的电感和电容产生，小的过孔其电容较小，而长度短、直径大的过孔电感较小。这两种寄生效应都有不利影响，但比较来说电感类的寄生参数带来的串行阻抗变化导致的问题更大些。

上层应该用于电源层。高瞬态电流与器件之间的垂直距离越短，就能减小电流通过过孔的距离。地线层也应邻近高瞬态电流的电源层，以减少电感和高频率噪声的耦合。

## 返回回路

通常设计师会简单地认为地线层是信号电流最好的回路。然而，仅地线层本身并不能保证其成为高速交流电路中高质量的参考地。印刷电路板堆迭应该考虑电路中地和电源的参考信号源。信号层的上下两层应相应参考这些电源点。这两层中不应有插槽，否则可能会迫使电流从其它返回路径返回。而这种返回路径可能引起电源或地线层的局部信号“反弹”，结果会电容耦合到相邻层的所有信号上。

## 去耦和旁路

传统的局部电源去耦的方法包括：根据电路板布局，在器件附近适当的位置放置电容，以及将一定比例的电容加到电源引脚上。莱迪思半导体公司的技术说明 TN1068 《可编程器件的电源去耦和旁路滤波》为印刷电路板的设计中通常遇到的有关电源去耦的少数几个问题提供指导。然而，由于复杂 FPGA 设计中更高的开关速率，这种传统的方法可能并不十分有用。今天的高速设计实现了很高的边沿速率和大输出负载，同时去耦的“第一法则”不再是最理想的。因而需要进行仔细的规划和分析，以确保有效的去耦。

FPGA 器件的电源引脚为 FPGA 内核、配置逻辑、I/O 缓冲器、锁相环和专门的 SERDES 进行供电。根据 FPGA 器件的设计意图，设计人员必须十分注意印刷电路板的电源分配。理解有高速开关电流的那些电源之间的意外耦合，可能导致您所十分不乐于见到的性能问题。FPGA 还提供了很多类似 ASIC 电路的高速 I/O 缓冲器。这些缓冲器使用的接口可用于多种通信协议的桥接和存储器互联。一些接口使用终端传输线。这些终端引起了许多需要在电源分配方案中讨论的问题。包括低阻抗输出终端电压和静态输入参考电压。这些也需要正确的去耦以满足性能要求。

## 电容的选择

去耦电容一般根据其电容特性进行选择。然而，在为高速设计选择电容时，设计师还要仔细考虑电容的其它寄生特性，如：电感和电阻。局部去耦电容应具有低有效串联电阻（ESR）和低等效串联电感（ESL），并具有足够大的电容值在开关期间为 IC 提供电流。

每个电容都有一个窄频带，最适合用作有效的去耦电容。有些电容和其它电容相比具有更广的频带范围。一个电容的有效频率带宽是由 ESR 和品质因子 Q 决定的。钽电容一般有非常宽的有效带宽，而通常具有较低 ESR 的陶瓷 X7R 和 X5R 片电容的有效带宽很窄。介质材料和电容的几何形状也决定了电容对于开关噪声的抑制能力。混合使用几种类型的电容器将有助于总体的去耦效果。

在一个典型的 FPGA 电路板设计中，最接近供电电源的电容，负载电流的变化引起的频率最低。低频能量可通过大电解电容去耦，并且通常由稳压电源管理。这些更大的电容用作低频滤波器以防止电压下降。电压下降通常是由于设计中的一些模块在稳压器还处于滞后时间内就开始工作引起的。这些大电解电容器通常会有 0 至几 KHz 的低频响应。因此，电容是否靠近 FPGA 并不重要。

中等电容值的大陶瓷或钽电容提供中等频率。使用这些通常具有非常宽的有效带宽的电容器时，应当靠近 FPGA 放置。这些电容通常有一个响应时间，足以抵消由于 FPGA 开始工作而增加的对电源电压的需求，从而导致局部电源电压的下降。陶瓷电容主要因为其较低的 ESR，通常被认为在高频性能上优于钽电容。然而，考虑去耦作用的话，您可以利用钽电容的 ESR 来缓和电容的 ESL 和 pc 板上各种电容的相互作用而引起的共振。高 ESR 使得钽电容成为内置阻尼电阻和去耦的一个很好的选择。

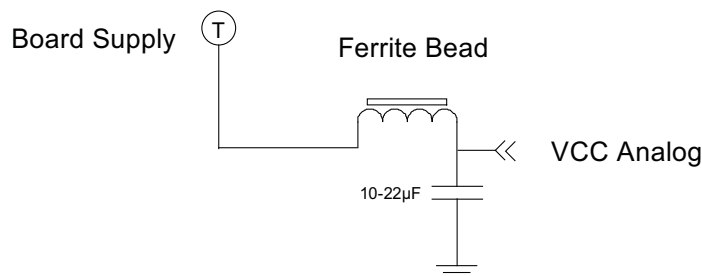
去耦路径的增加，使得经过这些路径的电压下降也越大，这会导致电源总线电压随其共模电磁辐射而瞬变。这个问题可以通过 IC 区域上适当的电源层设计来将其影响最小化。在印刷电路板堆迭的相邻层间使用电源层和地层都会有电容耦合。这个电源层和地层作为有效的高频电容，因而能作为额外的电压源对瞬态电流进行补偿。

在复杂的 FPGA 设计中，电源总线的瞬态开关电流增加。这些瞬态电流问题通常与同步开关输出或 SSO 有关。具有很小电感值的电容可提供局部的高频能量，需要去耦来自电源总线的开关电流噪声。为了防止瞬态电流影响器件电源的去耦电容应直接放在 FPGA 旁。使用许多小值的电容并排放置，可用于器件的局部的电能储存。仅有少量的电能储存在其中，因而不会成为直流电压源。但是这种用于局部电能存储的小电容对于电流变化的响应与能存储更多电能但是响应速度比较慢的大电容相比，其响应速度快得多。

## 局部去耦设计考虑

推荐使用局部无源滤波器对高频电源噪声进行必要的隔离。对模拟和高速收发器（SERDES）电源，建议使用滤波网络。该滤波网络应该包含一个串联的铁氧体磁珠电感，如：Murata BLM41P 或 BLM18A EMIFIL。负载的等效阻抗是很重要的，因为大输出阻抗会使负载噪声电流转化为大噪声电压。通常，铁氧体磁珠可提供良好的隔离。这将限制电源电压和器件电压之间的电能。然而，这需要大旁路电容来将输出阻抗保持在合理的水平。应使用能满足隔离所需的最小的电感。滤波网络应该通过一个合适的 10-22-uF 电容将交流耦合到地。

图 9: 无源滤波网络



## 适当地放置去耦电容

器件和去耦电容之间间距的增加会增加电流流过电源和地的距离，从而影响器件和电容之间电流路径的电感。为了使去耦电容的作用达到最佳，使用表面贴装电容安装在印刷电路板底层，将寄生效应降至最低。将电容直接放在 BGA 封装下方将改善非常小的电容的高频响应。

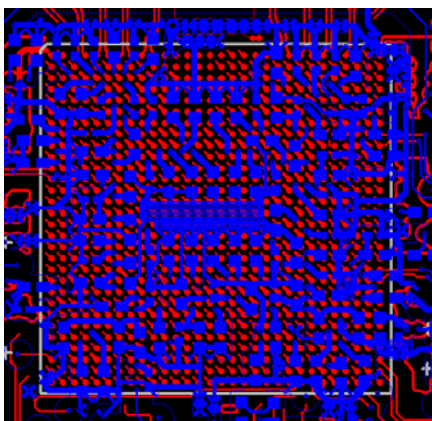
使用表面贴装的电容，不应使用长且薄的走线连接到电源或地，这样容易降低其有效性。尽量使用大的过孔、多过孔和短而厚的走线连接到电容。

底面布线应非常仔细，将电容直接放在连到器件电源引脚的球形封装过孔上。这种技术缩短了电流流过的距离。对于表面贴装器件的焊接或安装的印刷电路板表面的裸露金属，应以最短的距离连接到器件。最好的做法是，避免任何走线连接到电容。然而，由于印刷电路板组装的限制，这并不总是可以实现的。电容的往返延迟应该非常小。对于一个特定的频率来说，到电容的距离不应大于四分之一的波长。如果电容的位置大于了四分之一波长，那么传到 FPGA 的电能将是很小的，甚至可以忽略不计。

使用隐藏信号的球形过孔和建立底层岛的布局方法，可以有充足的空间来构成大的、低电感区域，从而可以容纳多个表面贴装电容。下图显示了一个带有下层去耦电容的 BGA 布局。



图 10: 去耦电容放置示例



进行去耦设计考虑时请使用以下检查列表。

1. 标明所有大电流源和吸入电流以及它们的返回路径。
2. 布线过程中，尽量使走线宽度最大以使互耦电感最小。如果可能的话，将电源总线安排在同一方格区域或一个平面上。避免较长的连续电源走线。
3. 在模拟电源上，使用铁氧体磁珠电感和适当的交流去耦电容构成的无源滤波网络。
4. 使用大小合适的电容旁路所有大电流源和吸入电流。陶瓷电容适用于此类应用，可放置在非常靠近 FPGA 处，因为它们价格便宜、体积小并且在高频下工作性能良好。使用分布式等效电容来降低 ESR 和 ESL 寄生电容。使用钽电容来防止局部电源电压的下降。将这些电容放置在 FPGA 附近可保证电压的稳定。
5. 根据隔离和频率响应的要求选择去耦元件，如果使用一个简单的串联电感，其值应尽可能小。在此应用中，应避免高 Q 值的电感，低 Q 值的电感是比较适合的。

## 特别针对 >622 Mbps 的设计考虑

### 线路损耗和阻抗不连续性

当数据速率达到 622Mbit 或更高时，信号传导时的趋肤效应变得格外重要。印刷电路板上小的走线（4/1000 英寸或 5/1000 英寸宽）在较长路径上会有较大的衰减。印刷电路板上的过腐蚀会产生窄的走线，减小了接收端信号幅度。最终结果是设计人员看到器件间的连接成了一个很糟糕的低通滤波器，其衰减随着频率的提高而加大。基于这个原因，背板越长，信号走线宽度应该越宽。长的背板走线（大于 20 英寸）其走线宽度应为 10/1000 英寸或 12/1000 英寸。

信号路径上的连接器和过孔会引入不连续性，类似于电气模型中的集总元件。我们可以利用有损耗的传输线模型和厂商提供的关于连接器、信号发送器、信号接收器进行 SPICE 仿真，从而得到具体结果。

### 高速连接器

在高速应用中许多连接器被试用、被弃用。出乎意料的是，一些过时的连接器设计仍用于吉比特的数据应用中。如古老的 DB-9 连接器，有时它也用于光纤通道的产品中。更先进的方法是采用一些专门针对高速数据的阻抗受控的连接器，它们带有足够的地连接和屏蔽措施，减少老式连接器中常见的噪声和阻抗不匹配。

例如 AMP 的 Mictor 连接器，它是一种标准的 2 毫米背板连接器系列，我们可以从许多供应商处获得符合 2 毫米 Hard Metric 背板标准的连接器（如 AMP 的 HS3 连接器）。它们可以是水平或垂直形状。一些评估板采用了非屏蔽的 2 毫米连接器（AMP 636120-1），它可以驱动 Twinax 电缆长达 65 英尺距离（622 Mbps）而无误码。

## 器件封装

发送接收器件封装的寄生电抗也会影响信号完整性。焊线和封装衬底的电感电容都应在器件 SPICE 模型中予以考虑。封装寄生效应的仿真表明阻抗变换和信号反射在高频时较明显。大封装的引脚位置对模型的寄生效应值影响较大。内置器件终端匹配的接收器，如莱迪思提供的 LVDS、CML 缓冲器，与需要外置电阻终端匹配的器件相比，性能有极大提高。

## 高速铜电缆

从带宽和信号衰减角度看，高性能的电缆远远优于印刷电路板的连接，这是因为高性能电缆采用 PTFE（Expanded Teflon Dielectric）、镀银导体和低损耗的屏蔽材料。同时这些电缆在设计加工时导体的几何尺寸非常接近于能提供所需带宽和阻抗特性的最佳位置。

一款性能卓越的电缆是 W.L. Gore DXSN2112 Eye-opener Plus 电缆，它是专门针对 622Mbps 数据传输设计的。遗憾的是它不能通过简单的手工工具与连接器相连。带有连接器的电缆可以直接从 Gore 公司订购。在莱迪思许多评估板上与 2 毫米背板连接器（AMP 636120-1）匹配的电缆是 Gore 公司部件编号为 2MMA3106 的产品。

更多有关铜电缆的信息，请查阅应用文章“高速串行信号在普通电缆上的传输”（技术说明 TN1066）。

## 高于 2.5 Gbps 时的特殊设计考虑

在 2.5 Gbps 及更高速率下，设计问题变得更加困难。在这些频率下会有更高的铜和电介质损耗，通常情况下印刷电路板互连长度最长约为 40 英寸。在这些频率下，印刷电路板的层和布局设计的各个方面都需要极其细致的考虑。

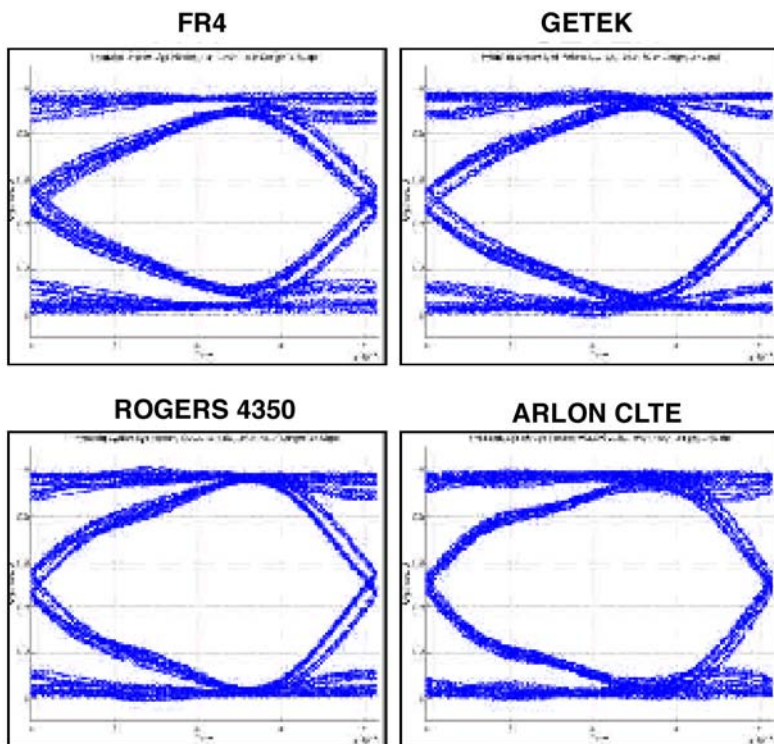
## 板厚度和过孔

板的厚度与过孔的设计会严重影响到信号完整性，小于 0.200 英寸是背板的最佳厚度。连接各层的过孔会导致传输线的不连续。印刷电路板设计中的高速信号走线应该尽量少在几层中走线，以减少过孔的数目。厚的板往往有较长的过孔，会产生大的不连续性而损害信号。连接相邻信号层的长过孔可视为信号路径上的传输线残段，残段会对信号完整性有不利影响。嵌入式的过孔可以避免厚板中的此类问题，但它所带来的加工成本令人望而止步。理想的方案是在背板上的每条信号线都放在同一走线层上。

## 板材料

FR4 的电介质损耗在 2Gbps 以上时成为一个重要的设计因素。另一设计选择是采用其他低电介质损耗的印刷电路板材料，如 Rogers 4350、GETEK 或 ARLON。它们的成本大约是 FR4 的两倍，但在较长走线情况下能提供更好的眼图开度性能，参见 AMP 公司提供的数据。图 11 为测量 2.4Gbps 时使用低损耗材料后信号眼图的改善情况。从图中可见，FR-4 材料可以提供一个令人满意的眼图开度，对特定应用来讲，它是一个广受欢迎的低成本解决方案。

图 11: 使用各种印刷电路板电介质材料时系统的眼图情况 (2.4Gbs)



**FR-4:**  
 Jitter = 0.11 UI  
 Opening = 733 mV

**GETEK:**  
 Jitter = 0.09 UI  
 Opening = 790 mV

**ROGERS 4350:**  
 Jitter = 0.07 UI  
 Opening = 896 mV

**ARLON CLTE:**  
 Jitter = 0.05 UI  
 Opening = 820 mV

The output waveforms shown result from a 1 volt, 32 bit inverting K28.5 input bit pattern (2.4 Gbps, 60 pS edges) that is applied to a system with two through holes, two AMP HS3 connectors, and a 12 mil, 50 ohm stripline trace that is approximately 18" long.

## 莱迪思带有 SERDES 的器件的特殊布局考虑

### 印刷电路板布线和板堆迭

内层和外层的布线阻抗与走线的宽度成反比，与高度成正比。与微带信号相比，带状线信号随高于 GND 的走线高度而变化的阻抗变化率比较小。带状线的传播时间大大高于微带（通常是微带的 1.5 倍）。

带状线布线是信号夹在 FR-4 材料和有一根导线悬空的微带之间。微带走线耦合到地层下方，从而通过吸收电磁场干扰来降低 EMI。带状线布线中，所有的电磁场线耦合到参考平面的上下方，从而大大降低了 EMI。为了达到相同的线路阻抗，带状线布局的绝缘距离必须大于微带线的布局。带状线需要较高的有效介电常数是因为与微带相比，它具有夹层效应。阻抗受控的带状线的走线比微带窄，并且也很难实现内层走线准确的 100 欧姆差分阻抗。

之前提到的微带和带状线布局的优劣权衡在确定系统的总抖动和信号强度参数上发挥着非常重要的作用。实验表明，SERDES 的接收器输入信号可以使用带状线稳定工作，没有任何大的负面的系统问题。然而，发送器输出端使用 1 盎司铜厚，10/1000 英寸宽的微带，在 14 层 FR-4 板上与实验使用带状线布线相比，提供了最优化的性能和信号参数。实验结果显示了微带的最大眼图开度和低抖动性能。此外，在器件一侧的外层的 SERDES 信号的布线提供了额外的好处，因为它也减少了由于其它过孔而导致的走线不连续，避免了板上连接器的潜在的不连续性。

### 高速连接器和 IC 封装

在高于 1Gbps 的情况下，我们推荐使用针对高速应用设计的连接器。许多控制阻抗特性的背板连接器已经面世，数据速率可达 3Gbps。例如常用的 Tyco 的 Z-Pack HD-Zd 2 毫米间距系列，它经仔细调校，工作频率可达 5GHz。这类的连接器还额外提供了屏蔽性能，帮助设计人员控制系统噪声和串扰。

前面讲的 IC 封装建议这里仍适用。封装寄生效应的 SPICE 模型是评估其对系统性能影响的最佳方法，因为如果采用测试设备的话，探头所带来的寄生效应会等于或大于目前使用的封装寄生效应。还要保证供应商提供的封装模型对所需要的工作频段都是有效的。

### 预加重

信号预加重是对信号在高频情况下在印刷电路板上的较大损耗的补偿。我们可以采用一种简单的方法用线路驱动器实现，当信号发生跳变时（这时有高频成分）增加发送信号的幅度。LatticeECP3™、LatticeECP2/M、LatticeSC/M 和 ORT82G5 SERDES 的 CML 驱动器提供这个功能。

对较长的印刷电路板互连走线，预加重会带来眼图开度的增加。因此它可以在系统设计中加大可以互连的长度，使用低成本（高损耗）材料和元件。关于预加重特性更详细的介绍可见莱迪思 SERDES/PCS 系列数据手册。

### 接收器均衡

接收器均衡和预加重相比有其特殊的优势。在均衡器中电磁干扰不像在预加重中有那么严重的影响，因为系统不需要在发送端发出一个高频信号。发送端预加重的问题是信号上加入了高频成分引起了更严重的串扰，特别是在连接器上。接收器均衡可适用于不同的走线长度、各种电路板和信号摆幅。

最佳的解决方案是不会对电路板的设计布局有过分的限制，并且能够提供最可靠的性能的方案。特别是当需要驱动更长的走线，或只是需要提供更高的裕度时，Tx 的预加重和 Rx 的均衡都是必需的。莱迪思 SERDES 拥有可编程自适应设置。

## 结论

目前的技术是可以实现背板上 3.7Gbps 及更高串行数据速率的互连。莱迪思器件可以使得高达 850Mbps 并行接口的系统设计更简单。如果需要更高性能如高于 3.7Gbps 的速率，可采用莱迪思 SERDES 产品，但在印刷电路板设计时要格外注意。发送端预加重、控制连接器阻抗以及低损耗印刷电路板介质材料都对此类高速数据速率系统的性能有益。

## 参考资料

- [LatticeECP3 系列数据手册](#)
- [LatticeECP2/M 系列数据手册](#)
- [LatticeSC/M 系列数据手册](#)
- [ORCA ORSO42G5 和 ORSO82G5 数据手册](#)
- [ORCA ORT42G5 和 ORT82G5 数据手册](#)
- [TN1027, ORTx2G5, ORSOx2G5 和 ORSPI4 高速背板测量](#)
- [TN1066, 通过普通电缆传输高速串行信号](#)
- [TN1068, 可编程器件的电源去耦和旁路滤波](#)
- Si6000b 场方程求解阻抗计算器（可供下载的演示版）：[www.polarinstruments.com](http://www.polarinstruments.com)
- W.L. Gore 高性能互连产品：[www.goreelectronics.com](http://www.goreelectronics.com)

## 技术支持

热线电话: +86-21-52989090

电子邮件: [techsupport-asia@latticesemi.com](mailto:techsupport-asia@latticesemi.com)

网站: [www.latticesemi.com.cn](http://www.latticesemi.com.cn)

## 修订历史

日期	版本	变更摘要
—	—	之前的莱迪思版本
2011 年 4 月	06.1	更新了 LatticeECP3 FPGA 系列。