

LatticeECP2/M sysIO使用ガイド

はじめに

LatticeECP2™ とLatticeECP2M™ のsysIOバッファは先進のシステムI/O規格を用いて容易に他のデバイスとインターフェイスする機能を設計者に与えます。このテクニカルノートは利用できるsysIO規格について、またラティスの設計ソフトウェアを用いてどうそれらを実装するかを説明します。

sysIOバッファ概要

LatticeECP2/M sysIOインターフェイスは複数のプログラマブルI/Oセル(PIC)ブロックを含んでいます。各PICはそれらのそれぞれのsysIOバッファに接続された2つのプログラマブルI/O (PIOA、およびPIOB)を含んでいます。差動のI/Oペア(“T” と “C” として表記)を提供するために、隣接している2PIOを一緒にすることができます。

各PIOはsysIOバッファとI/Oロジック(IOLOGIC)を含んでいます。LatticeECP2/M sysIOバッファは種々シングルエンドと差動のシグナリング規格をサポートします。また、sysIOバッファはDDRメモリとインターフェイスするために必要なDQSストローク信号をサポートします。16～18PIO毎に1つ遅延素子があり、遅延DQSストローク信号が生成できるようになっています。遅延DQS信号はメモリからのDDRデータを入力レジスタブロックに取り込むストロークとして用いられます。sysIOバッファのアーキテクチャに関する詳しい情報については、LatticeECP2/Mファミリ・データシートを参照してください。

必要なクロックやデータ選択ロジックと共に、IOLOGICはシングル・データレート(SDR)やダブル・データレート(DDR)アプリケーションを実装するための入力、出力、およびトライステート・レジスタを含んでいます。IOLOGICの中のプログラマブル遅延線と専用ロジックは、入力されるクロックとデータ信号に必要なシフトのため、またDDRメモリにおけるDQS入力に必要な遅延のために用いられます。IOLOGICのDDR実装とDDRメモリ・インターフェイス・サポートのその他詳細については、ラティス・テクニカルノートTN1105 (LatticeECP2/M 高速I/Oインターフェイス使用ガイド) で議論します。

サポートするsysIO規格

LatticeECP2/M sysIOバッファは、シングルエンドと差動の規格を共にサポートします。シングルエンド規格は(内部)レシオ型の規格であるLVCMOS、LVTTTL、及びPCIと、外部参照型のHSTL、SSTLなどに細分化することができます。バッファはLVTTTL、LVCMOS 1.2/1.5/1.8/2.5/3.3Vの規格をサポートします。LVCMOSとLVTTTLモードでは、バッファは個別に構成可能なオプションとして、ドライブ強度、バス・メンテナンス(弱いプルアップ、弱いプルダウンまたはバスキーパ・ラッチ)、およびオープン・ドレインなどが指定できます。サポートする他のシングルエンド規格にはSSTLとHSTLが含まれます。サポートされる差動規格にはLVDS、RSDS、BLVDS、LVPECL、差動SSTL、および差動HSTLを含みます。表9-1と表9-2はLatticeECP2/MデバイスでサポートするsysIO規格を記載します。

表9-1 サポートする入力規格

入力規格	V _{REF} (Nom., [V])	V _{CCIO} ¹ (Nom., [V])
シングルエンド・インターフェイス		
LVTTTL	—	—
LVCMOS33	—	—
LVCMOS25	—	—
LVCMOS18	—	1.8
LVCMOS15	—	1.5

LVCMOS12	—	—
PCI 33	—	3.3
HSTL18 Class I, II	0.9	—
HSTL15 Class I	0.75	—
SSTL3 Class I, II	1.5	—
SSTL2 Class I, II	1.25	—
SSTL18 Class I, II	0.9	—
差動インターフェイス		
差動SSTL18 Class I, II	—	—
差動SSTL2 Class I, II	—	—
差動SSTL3 Class I, II	—	—
差動HSTL15 Class I	—	—
差動HSTL18 Class I, II	—	—
LVDS, MLVDS, LVPECL, BLVDS, RSDS	—	—

1. 特に明記していないものは、Vccioを有効な値のどこに設定しても良いことを示す

表9-2 サポートする出力規格

出力規格	ドライブ	Vccio (Nom., [V])
シングルエンド・インターフェイス		
LVTTTL	4mA, 8mA, 12 mA, 16 mA, 20 mA	3.3
LVCMOS33	4mA, 8mA, 12 mA, 16 mA, 20 mA	3.3
LVCMOS25	4mA, 8mA, 12 mA, 16 mA, 20 mA	2.5
LVCMOS18	4mA, 8mA, 12 mA, 16 mA	1.8
LVCMOS15	4mA, 8mA	1.5
LVCMOS12	2mA, 6mA	1.2
LVCMOS33、オープンドレイン	4mA, 8mA, 12 mA, 16 mA, 20 mA	—
LVCMOS25、オープンドレイン	4mA, 8mA, 12 mA, 16 mA, 20 mA	—
LVCMOS18、オープンドレイン	4mA, 8mA, 12 mA, 16 mA	—
LVCMOS15、オープンドレイン	4mA, 8mA	—
LVCMOS12、オープンドレイン	2mA, 6mA	—
PCI 33 / PCIX	N/A	3.3
HSTL18 Class I	8mA, 12mA	1.8
HSTL18 Class II	N/A	1.8
HSTL15 Class I	4mA, 8mA	1.5
SSTL3 Class I, II	N/A	3.3
SSTL2 Class I	8mA, 12mA	2.5
SSTL2 Class II	16mA, 20mA	2.5
SSTL18 Class I	N/A	1.8
SSTL18 Class II	8mA, 12mA	1.8
差動インターフェイス		
差動SSTL3 Class I, II	N/A	3.3
差動SSTL2 Class I	8mA, 12mA	2.5
差動SSTL2 Class II	16mA, 20mA	2.5
差動SSTL18 Class I	N/A	1.8

差動SSTL18 Class II	8mA, 12mA	1.8
差動HSTL18 Class I	8mA, 12mA	1.8
差動HSTL18 Class II	N/A	1.8
差動HSTL15 Class I	4mA, 8mA	1.5
LVDS	N/A	2.5
MLVDS ¹	N/A	2.5
BLVDS ¹	N/A	2.5
LVPECL ¹	N/A	3.3
RSDS ¹	N/A	2.5

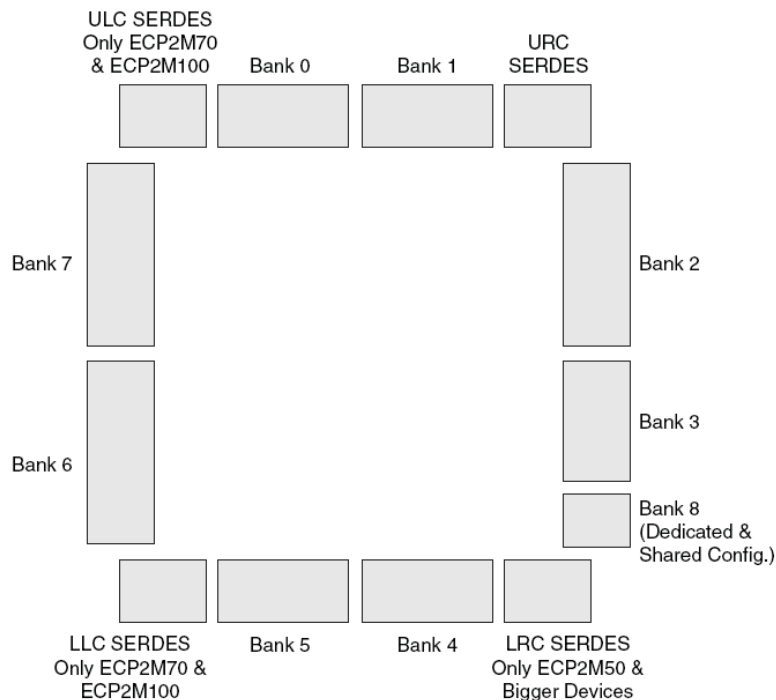
1. 外部抵抗を加えてエミュレート

sysIOのバンク体系

LatticeECP2/Mデバイスには、8つの汎用プログラマブルsysIOバンクと9番目のコンフィグレーション用バンクがあります。8つの汎用sysIOバンクには、それぞれ一本の V_{CCIO} 供給電圧、2本の基準電圧 (V_{REF1} および V_{REF2}) があります。図9-1は8汎用バンクとコンフィグレーション・バンクを関連する供給電源と共に示します。バンク8は、コンフィグレーション・ロジック専用のバンクであり、7本のコンフィグレーション専用I/Oと、14本のデュアル・ファンクションのコンフィグレーションI/Oがあります。バンク8は供給電源パッド (V_{CCIO} と V_{CCAUX}) を持っていますが、独立している V_{REF} パッドはありません。バンク8のI/Oはバンク3からの V_{REF} に接続されています。

上辺・底辺バンクでは、sysIOバッファペアは2本のシングルエンド出力ドライバと、二組のシングルエンド入力バッファ（レシオ型と参照型共に）があります。左右のsysIOバッファペアは2本のシングルエンド出力ドライバと、二組のシングルエンド入力バッファ（レシオ型と参照型共に）があります。参照型の入力バッファは差動入力としても構成できます。50%のペアには差動出力ドライバがあります。ペアの両パッドはそれぞれ "true" と "comp" と表記されており、trueは差動入力ペアの正（非反転）側を意味し、compは負（反転）側を意味しています。

図 9-1 LatticeECP2/M sysIOバンク構成



V_{CCIO} (1.2V/1.5V/1.8V/2.5V/3.3V)

合計8つのV_{CCIO}電源があり、それらはV_{CCIO0} ~ V_{CCIO7}です。各バンクには、シングルエンド出力ドライバ用と、LVTTTLや、LVCMOS、PCIなどのレシオ入力バッファを動作させる別々のV_{CCIO}電源があります。LVTTTL、LVCMOS3.3、LVCMOS2.5、およびLVCMOS1.2は、それらがどのバンクに置かれても良い固定スレシヨルド・オプションを持っています。バンクに適用されたV_{CCIO}電圧が、そのバンクでサポートすることができるレシオ入力規格を決定します。また、それは、差動出力ドライバを動作させるのにも用いられます。加えてV_{CCIO8}はsysCONFIG信号に供給される電源として用いられます。

V_{CCAUX} (3.3V)

バンクV_{CCIO}電源以外に、デバイスにはV_{CC}コアロジック電源、さらに参照電圧を用いる差動入力バッファを動作させるためのV_{CCAUX}補助電源があります。これらドライバと入力バッファのコモンモード範囲要件を満たすため、V_{CCAUX}をI/O参照電圧として用いる3.3Vが必要です。

V_{CCJ} (1.2V / 1.5V / 1.8V / 2.5V / 3.3V)

JTAGピンには、バンクV_{CCIO}電源から独立している別のV_{CCJ}電源があります。V_{CCJ}はLVCMOS JTAGピンの電気特性、すなわち出力のHighレベルと入力スレシヨルドの両方を決定します。

表9-3に供給電源のまとめを示します。

表9-3 供給電源

供給電源	記 述	値
V _{CC}	コア電源	1.2V
V _{CCIO}	I/Oとコンフィグレーション・バンク用電源	1.2V/1.5V/1.8V/2.5V/3.3V
V _{CCAUX}	補助 (Auxiliary) 電源	3.3V
V _{CCJ}	JTAGピン用電源	1.2V/1.5V/1.8V/2.5V/3.3V

注；推奨min. / max.値についてはLatticeECP2/Mデータシートを参照

入力参照電圧(V_{REF1}, V_{REF2})

各バンクは、最大2つの別々のV_{REF}入力電圧(V_{REF1}とV_{REF2})をサポートし、これらは参照電圧を用いる入力バッファのスレシヨルドを設定するのに用いられます。これらのV_{REF}ピンの位置はバンク内で予め決められています。バンクがV_{REF}電圧を必要としない場合、通常のI/Oとしてこれらのピンを用いることができます。

DDRメモリ・インターフェイスのためのV_{REF1}

DDRメモリにインターフェイスするとき、メモリからのDQSとDQ入力のために、参照電圧としてV_{REF1}入力を用いなければなりません。V_{REF1}とGNDの間の電圧分割器が、DQS遷移検出回路によって用いられるオンチップ基準電圧を発生させるのに用いられます。この電圧分割器はV_{REF1}にのみ存在しており、V_{REF2}は利用できません。DQS遷移検出口ロジックについてと、その実装についての詳しい情報は、ラティス・テクニカルノートTN1105を参照してください。DDR1メモリ・インターフェイスではSSTL25_II規格に従い、DDR2メモリ・インターフェイスにおいては、SSTL18_II規格に従います。

バンク内における複数電圧のサポート

LatticeECP2/M sysIOバッファは3本のパラレル・レシオ入力バッファに接続されています。これらの3本のパラレル・バッファはV_{CCIO}とV_{CCAUX}、そしてV_{CC}に接続されており、V_{CCIO}に追従するスレシヨルド、および3.3V (V_{CCAUX}) / 1.2V (V_{CC})の固定スレシヨルドを共にサポートします。これによって、V_{CCIO}に追従するだけでなく、レシオ・バッファの入力スレシヨルドをピンごとに割り当てることができます。このオプ

ションは、1.2V、2.5V、および3.3Vの全レシオ入力で利用でき、バンクV_{CCIO} 電圧から独立しています。例えばバンクV_{CCIO} が1.8Vである場合、固定スレッシュホールドを1.2Vと3.3Vレシオ入力バッファに与え、同時に2.5Vレシオ入力に対して追従するスレッシュホールドを持たせることが可能です。

デバイスのコンフィグレーション前には、レシオ入力スレッシュホールドは常にバンクV_{CCIO} に追従します。このオプションはコンフィグレーションの後にのみ有効になります。バンク内の出力規格はいつもV_{CCIO} によって設定されます。表9-4は、ユーザが同じバンクで混用することができるsysIO規格を示します。

表9-4 電圧の混在のサポート

V _{CCIO}	sysIO 入力規格					sysIO 出力規格				
	1.2V	1.5V	1.8V	2.5V	3.3V	1.2V	1.5V	1.8V	2.5V	3.3V
1.2V	Yes			Yes	Yes	Yes				
1.5V	Yes	Yes		Yes	Yes		Yes			
1.8V	Yes		Yes	Yes	Yes			Yes		
2.5V	Yes			Yes	Yes				Yes	
3.3V	Yes			Yes	Yes					Yes

各バンクでサポートするsysIO規格

表9-5 各バンクのサポートするI/O規格

記述	上辺 バンク0-1	右辺 バンク2-3	下辺 バンク4-5	左辺 バンク6-7
I/Oバッファタイプ	シングルエンド	シングルエンドと差動	シングルエンド	シングルエンドと差動
サポートする 出力規格	LVTTTL LVC MOS33 LVC MOS25 LVC MOS18 LVC MOS15 LVC MOS12	LVTTTL LVC MOS33 LVC MOS25 LVC MOS18 LVC MOS15 LVC MOS12	LVTTTL LVC MOS33 LVC MOS25 LVC MOS18 LVC MOS15 LVC MOS12	LVTTTL LVC MOS33 LVC MOS25 LVC MOS18 LVC MOS15 LVC MOS12
	SSTL18クラス I, II SSTL25クラス I, II SSTL33クラス I, II	SSTL18クラス I, II SSTL25クラス I, II SSTL33クラス I, II	SSTL18クラス I, II SSTL25クラス I, II SSTL33クラス I, II	SSTL18クラス I, II SSTL25クラス I, II SSTL33クラス I, II
	HSTL15クラス I HSTL18クラス I, II	HSTL15クラス I HSTL18クラス I, II	HSTL15クラス I HSTL18クラス I, II	HSTL15クラス I HSTL18クラス I, II
	SSTL18Dクラス I, SSTL25Dクラス I, II SSTL33Dクラス I, II	SSTL18Dクラス I, SSTL25Dクラス I, II SSTL33Dクラス I, II	SSTL18Dクラス I, SSTL25Dクラス I, II SSTL33Dクラス I, II	SSTL18Dクラス I, SSTL25Dクラス I, II SSTL33Dクラス I, II
	HSTL15Dクラス I HSTL18Dクラス I, II	HSTL15Dクラス I, II HSTL18Dクラス I, II	HSTL15Dクラス I HSTL18Dクラス I, II	HSTL15Dクラス I HSTL18Dクラス I, II
	LVDS25E ¹ LVPECL ¹ BLVDS ¹ RSDS ¹	LVDS LVDS25E ¹ LVPECL ¹ BLVDS ¹ RSDS ¹	PCI33 LVDS25E ¹ LVPECL ¹ BLVDS ¹ RSDS ¹	LVDS LVDS25E ¹ LVPECL ¹ BLVDS ¹ RSDS ¹
	入力	全シングルエンドと差動	全シングルエンドと差動	全シングルエンドと差動
クロック入力	全シングルエンドと差動	全シングルエンドと差動	全シングルエンドと差動	全シングルエンドと差動
PCIサポート	クランプなしPCI33	クランプなしPCI33	クランプありPCI33	クランプなしPCI33 (ECP2Mはクランプあり)
LVDS出力バッファ		LVDS (3.5mA)バッファ ²		LVDS(3.5mA)バッファ ²

1. これらの差動規格は、外付け抵抗パックと共にコンプリメンタリLVCMOSドライバを用いることによって、実装されます。
2. バンク内の50%のI/Oのみ

LVC MOSバッファの構成

すべてのLVCMOSバッファには、ソフトウェアで設定することができるプログラマブル・プル、プログラマブル・ドライブ、およびプログラマブル・スルーレートの各コンフィグレーションがあります。

バス・メンテナンス回路

各パッドには弱いプルアップ、弱いプルダウン、および弱いバスキーパ機能があります。プルアップとプルダウン設定は固定特性を提供し、ワイヤードORなどのロジックを作成する際に役に立ちます。しかし、信号ステートによっては電流は他のオプションよりわずかに高い場合があります。バスキーパ・オプションは最後にドライブされたステートで信号をラッチし、最小の電力消費で有効なレベルを保持します。またユーザはバス・メンテナンス回路をオフに選択することができ、電力消費と入力リークを最小にできます。この場合重要なのは、入力が既知のステートにドライブされることを確実にすることであり、入力バッファにおける不要な電力消費を避けなければなりません。バンクの V_{CCIO} が3.3Vに割り当てられるとき、弱いバスキーパは利用できません。

プログラマブル・ドライブ

LVC MOSとLVTTTL出力バッファ・ピンは、幾つかの電圧参照タイプ (SSTL/HSTL) と共に、それぞれがプログラマブルなドライブ強度オプションを持っています。各I/Oにこのオプションを個別に設定することができます。用意されているドライブ強度設定は、2mA、4mA、6mA、8mA、12mA、16mA、そして20mAです。利用できる実際のオプションはI/O電圧で異なります。ドライブ強度を選択するとき、ユーザは、バンクあたりの最大許容電流とパッケージの熱限界となる電流を考慮しなければなりません。表9-6はそれぞれの出力規格で利用できるドライブ設定を示します。

表9-6 シングルエンド・バッファのプログラマブル・ドライブ強度値

シングルエンドI/O規格	プログラマブル・ドライブ (mA)
HSTL15_I / HSTL15D_I	4, 8
HSTL18_I / HSTL18D_I	8, 12
SSTL25_I / SSTL25D_I	8, 12
SSTL25_II / SSTL25D_II	16, 20
SSTL18_II / SSTL18D_II	8, 12
LVC MOS12	2, 6
LVC MOS15	4, 8
LVC MOS18	4, 8, 12, 16
LVC MOS25	4, 8, 12, 16, 20
LVC MOS33	4, 8, 12, 16, 20
LVTTTL	4, 8, 12, 16, 20

プログラマブル・スルーレート

LVC MOSとLVTTTL出力バッファ・ピンは、プログラマブルな出力スルーレート制御も持っており、それぞれ低雑音もしくは高速性能などのために構成することができます。各I/Oピンには、個々にスルーレート制御があります。これにより、スルーレート制御をピンごとに指定できます。このスルーレート制御は、立ち上がりエッジと立ち下がりエッジの両方に影響します。

オープンドレイン・コントロール

全てのLVCMOSとLVTTTL 出力バッファはオープンドレインとして構成することができます。これはソフトウェアでOPENDRAINアトリビュートをオンにすることによって行います。

差動SSTLとHSTLサポート

コンプリメンタリなCパッドに関連付けられたシングルエンド・ドライバは、Trueパッドと関連づけられたシングルエンド・ドライバをドライブするデータをコンプリメント（反転）して任意にドライブすることができます。これは、信号間のスキューが最も低い1組のシングルエンド・ドライバでコンプリメンタリな出力をドライブするのに用いることを可能にします。同期タイプのDRAMとSRAMで用いられるそれぞれ差動のSSTL/HSTLクロック入力が必要とされます。この機能はデバイス外部の抵抗と共に用いてLVPECLとBLVDS両出力ドライバをエミュレートして行います。

プログラマブルPCICLAMPによるPCIのサポート

それぞれのsysIOバッファはPCI33をサポートするために構成することができます。デバイスの上辺バンク（LatticeECP2）、又は左辺と底辺（LatticeECP2M）のバッファには、ispLEVERデザインツールで任意に指定できるオプションのPCIクランプ・ダイオードがあります。

プログラマブルPCICLAMPは該当バンクのI/Oで個別にオン、オフできます。

プログラマブル入力遅延

各入力は、コアロジックが入力レジスタに渡される前に任意に遅延させることができます。入力遅延の第一の用途は、ダイレクト・ドライブ・プライマリクロックを用いるとき、入力レジスタのためのゼロホールド時間を達成することです。ゼロホールド時間に到着するように、少なくともプライマリクロックの注入遅れと同じくらい入力遅延でデータを遅らせます。このオプションはソフトウェアでFIXEDDELAYアトリビュート(属性)を用いることで、各I/O個別にON/OFFすることができます。このアトリビュートはさらに“ソフトウェアsysIOアトリビュート”セクションで説明されます。付録AはHDLアトリビュートでどのようにこの機能をイネーブルできるかを示します。

ソフトウェアsysIOアトリビュート(属性)

sysIOアトリビュートは、デザインプランナ(Design Planner) GUIを用いて、或いはHDLで指定するか、またはASCIIプリファレンス・ファイル(.lpf)中で直接指定することができます。付録A、B、およびCはこれらの方法を用いることで、どう割り当てることができるかの例をそれぞれリストアップします。このセクションはこれらのアトリビュートについてそれぞれ詳細に説明します。

IO_TYPE

これはI/OのsysIO標準を設定するのに用いられます。これらI/O規格に対応しなければならない V_{CCIO} 値は、アトリビュート名自体に組み込まれているのみです。表9-7は利用できるI/Oタイプをリストしています。

表9-7 IO_TYPEアトリビュート値

sysIO シグナリング規格	IO_TYPE
DEFAULT	LVCMOS25
LVDS 2.5V	LVDS25
RSDS	RSDS
エミュレートLVDS 2.5V	LVDS25E ¹
バスLVDS 2.5V	BLVDS25 ¹
LVPECL 3.3V	LVPECL33 ¹
HSTL18 Class I, II	HSTL18_I, HSTL18_II

差動HSTL18 Class I, II	HSTL18D_I, HSTL18D_II
HSTL15 Class I	HSTL15_I
差動HSTL15 Class I	HSTL15D_I
SSTL33 Class I, II	SSTL33_I, SSTL33_II
差動SSTL33 Class I, II	SSTL33D_I, SSTL33D_II
SSTL25 Class I, II	SSTL25_I, SSTL25_II
差動SSTL25 Class I, II	SSTL25D_I, SSTL25D_II
SSTL18 Class I, II	SSTL18_I, SSTL18_II
差動SSTL18 Class I	SSTL18D_I, SSTL18D_II
LVTTTL	LVTTTL33
3.3V LVC MOS	LVC MOS33
2.5V LVC MOS	LVC MOS25
1.8V LVC MOS	LVC MOS18
1.5V LVC MOS	LVC MOS15
1.2V LVC MOS	LVC MOS12
3.3V PCI	PCI33

注1: これらの差動規格はコンプリメンタリLVC MOSドライバと外部抵抗パックを用いて実装する

OPENDRAIN

OPENDRAINアトリビュートを用いることによって、LVC MOSとLVTTTL規格を指定したポートをオープンドレインとして設定することができます。

値: ON, OFF

デフォルト:OFF

DRIVE

ドライブ強度アトリビュートはプログラマブル・ドライブ強度を持つLVTTTLとLVC MOS出力規格に設定できます。

表9-8 DRIVE設定値

出力規格	DRIVE (mA)	デフォルト
HSTL15_I / HSTL15D_1	4, 8	8
HSTL18_I / HSTL18D_I	8, 12	12
SSTL25_I / SSTL25D_I	8, 12	8
SSTL25_II / SSTL25D_II	16, 20	16
SSTL18_II / SSTL18D_II	8, 12	12
LVC MOS12	2, 6	6
LVC MOS15	4, 8	8
LVC MOS18	4, 8, 12, 16	12
LVC MOS25	4, 8, 12, 16, 20	12
LVC MOS33	4, 8, 12, 16, 20	12
LVTTTL	4, 8, 12, 16, 20	12

PULLMODE

PULLMODEアトリビュートはすべてのLVTTTL / LVC MOS I/Oで利用できます。このアトリビュートを各I/Oごと独立してイネーブルすることができます。

値: UP, DOWN, NONE, KEEPER

デフォルト: UP

表9-9 PULLMODE値

PULLオプション	PULLMODE値
プルアップ (デフォルト)	UP
プルダウン	DOWN
バスキーパ	KEEPER
プルオフ	NONE

PCICLAMP

デバイスの底辺(LatticeECP2)、またはデバイスの左辺と底辺(LatticeECP2M)にあるPCI33バッファには、オプションのPCIクランプ・ダイオードがあり、ispLEVERデザインツールでPCICLAMPアトリビュートでイネーブルできます。また、PCICLAMPはすべてのLVCMOS33とLVTTTL入力で利用できます。

値: ON, OFF

デフォルト: OFF

表9-10 PCICLAMP値

入力タイプ	PCICLAMP値
PCI33	ON
LVCMOS33	OFF (デフォルト)、ON
LVTTTL	OFF (デフォルト)、ON

SLEWRATE

SLEWRATEアトリビュートはすべてのLVTTTL / LVCMOS出力ドライバに利用できます。それぞれのI/Oピンには、個々のスルーレート制御があります。

値: FAST, SLOW

デフォルト: FAST

FIXEDELAY

FIXEDELAYアトリビュートはそれぞれの入力ピンで利用できます。このアトリビュートがイネーブルされると、グローバル・クロックを用いるときの入力レジスタがゼロホールド時間を達成するのに用いられます。このアトリビュートはHDLソースコード内でのみアサイン可能です。

値: TRUE, FALSE

デフォルト: FALSE

INBUF

デフォルトですべての未使用の入力バッファはディセーブルされます。INBUFアトリビュートは、バウンダリスキャン・テストを実行するとき、未使用の入力バッファをイネーブルするために用いられます。これはグローバルなアトリビュートであり、ONかOFFに設定することができます。

値: ON, OFF

デフォルト: OFF

DIN / DOUT

I/Oレジスタを割り当てる必要があるときに、このアトリビュートを用いることができます。DINを用いると設計内の入力レジスタがI/Oブロックに配置され、同様にDOUTアトリビュートを用いると出力レジスタがI/Oブロックに配置されます。ソフトウェアは、デフォルトでなるべくI/Oレジスタを割り当てようとします。ユーザは、論理合成のアトリビュート、またはソフトウェアのデザインプランナを用いることによって、オフにすることができます。これらのアトリビュートはレジスタにのみ適用することができます。

LOC

設計内のI/Oポートへのピン割り当てにこのアトリビュートを用いることができます。このアトリビュートは、HDLソース内でピン割り当てがされているときだけ用いられます。ソフトウェアのデザインプランナGUIを用いることでピンの割り当てをすることもできます。付録でさらに詳細に説明します。

設計における考察と用法

このセクションでは、LatticeECP2/M sysIOバッファを設計するとき、考慮に入れる必要がある設計ルールと配慮事項のいくつかについて論じます。

バンクに関するルール

- どのバンクでも V_{CCIO} か V_{CCJ} が3.3Vに設定される場合、それを V_{CCAUX} と同じ電源に接続されることを勧めます。その結果リークを最小にします。
- どのバンクでも V_{CCIO} か V_{CCJ} が1.2Vに設定される場合、それを V_{CC} と同じ電源に接続されることを勧めます。その結果リークを最小にします。
- DDRメモリ・インターフェイスを実装するとき、バンクの V_{REF1} をインターフェイス・ピンの参照電圧を提供するのに用います。いかなる他の参照電圧を用いる入力動作にも用いることはできません。
- LatticeECP2の底辺バンク(バンク4、5)と、LatticeECP2Mの左辺・底辺バンク(バンク4、5、6、7)だけが、PCIクランプをサポートします。
- すべての有効な入力バッファはバンク V_{CCIO} から独立していますが、1.8Vと1.5Vバッファのみはバンク V_{CCIO} としてそれぞれ1.8Vと1.5Vが必要です。

差動I/Oルール

- すべてのバンクがLVDS入力バッファをサポートすることができます。左右バンク(2、3、6、および7)のバンクだけが、真のLVDS差動出力バッファをサポートします。従って上下バンクは、LVDS入力バッファをサポートしますが、真のLVDS出力はサポートしません。ユーザはこれらバンクではエミュレートしたLVDS出力バッファとして用いることができます。
- 全バンクは、外部抵抗パックとコンプリメンタリなLVCMOSドライバを用いることで、差動バッファをエミュレートすることをサポートします。
- 左右辺のI/Oのうち50%のみにLVDSバッファ出力機能があります。LVDSはTRUEパッドのみに割り当てることができます。差動ペアの他方のI/OをコンプリメンタリなパッドにispLEVERデザインツールが自動的にアサインします。すべてのLVDSペアのピンについてはデバイスのデータシートを参照してください。

参照電圧を用いる入力用の V_{REF1} / V_{REF2} グループの割り当て

各バンクには2本の専用 V_{REF} 入力ピン、 V_{REF1} および V_{REF2} があります。複数のバッファを特定の V_{REF} レイラ(V_{REF1} または V_{REF2}) に分類することができます。LOCATE PGROUPプリファレンスと共に、PGROUP VREFプリファレンスを割り当てることによって、この組分けをします。

プリファレンス構文(シンタックス)

```
PGROUP <pgrp_name> [(VREF <vref_name>)+] (COMP <comp_name>)+;
LOCATE PGROUP <pgrp_name> BANK <bank_num>;
LOCATE VREF <vref_name> SITE <site_name>;
```

VREFグループの例

```
PGROUP "vref_pg1" VREF "ref1" COMP "ah(0)" COMP "ah(1)" COMP "ah(2)" COMP "ah(3)"
COMP "ah(4)" COMP "ah(5)" COMP "ah(6)" COMP "ah(7)";
```

```
PGROUP "vref_pg2" VREF "ref2" COMP "al(0)" COMP "al(1)" COMP "al(2)" COMP "al(3)"
COMP "al(4)" COMP "al(5)" COMP "al(6)" COMP "al(7)";
```

```
LOCATE VREF "ref1" SITE PR29C;
LOCATE VREF "ref2" SITE PR48B;
```

または

```
LOCATE PGROUP " vref_pg1" BANK 2;
LOCATE PGROUP " vref_pg2" BANK 2;
```

この例は2つの V_{REF} グループを示し、"vref_pg1" は "ref1" に割り当て、"vref_pg2" を "ref2" に割り当てています。ユーザはLOCATEプリファレンスを用いることで V_{REF1} が V_{REF2} のどちらかに V_{REF} をロックしなければなりません。または単にどのバンク V_{REF} グループに置く(入れる)かをユーザは指定することができます。この場合、ソフトウェアがこれらをバンクの V_{REF1} か V_{REF2} のどちらかに割り当てます。

PGROUP VREFが使用されていないと、ソフトウェアは同じ V_{REF} 参照電圧の必要なすべてのピンを自動的に分類します。同じ参照電圧を用いる1系統以上のバスがあって、ユーザがそれぞれのこれらのバスを異なった V_{REF} リソースに関連づけたい場合、このプリファレンスは最も役に立ちます。

差動I/Oの実装

LatticeECP2/Mデバイスは以下のセクションで詳しく述べるように種々の差動規格をサポートします。

LVDS

真のLVDS (LVDS25)出力ドライバは、デバイスの左右辺バンクの50%で利用でき、外部抵抗を一切必要としません。LVDS入力はデバイスの全バンクでサポートします。またすべてのバンクで外部抵抗と共にコンプリメンタリLVCMOSドライバ(LVDS25E)を用いてLVDSをサポート(エミュレート)します。これらLVDS実装についてはLatticeECP2/Mファミリ・データシートを参照してください。

BLVDS

LatticeECP2/Mファミリにおける全てのシングルエンドsysIOバッファペアが、外部抵抗と共にコンプリメンタリLVCMOSドライバを用いることでバスLVDS (BLVDS)規格をサポートします。BLVDS実装に関しては、LatticeECP2/Mファミリ・データシートを参照してください。

RSDS

LatticeECP2/MファミリすべてのシングルエンドsysIOバッファペアが、外部抵抗と共にコンプリメンタリLVCMOSドライバを用いることでRSDS規格をサポートします。RSDS実装に関しては、LatticeECP2/Mファミリ・データシートを参照してください。

LVPECL

すべてのsysIOバッファがLVPECL入力をサポートします。LVPECL出力は、外部抵抗と共にコンプリメンタリLVCMOSドライバを用いることでサポートされます。LVPECL実装に関しては、LatticeECP2/Mファミリ・データシートを参照してください。

差動SSTLと差動HSTL

LatticeECP2/MとLatticeXPファミリ全てのシングルエンドsysIOバッファペアは、差動のSSTLとHSTLをサポートします。差動HSTL / SSTLの実装についてはLatticeECP2/Mファミリ・データシートを参照してください。

テクニカル・サポート支援

ホットライン: 1-800-LATTICE (North America)
+1-503-268-8001 (Outside North America)

e-mail: techsupport@latticesemi.com

インターネット: <http://www.latticesemi.com>

変更履歴 (日本語版)

Rev.#	日付	変更箇所
1.5J	Aug.2008	既発行
1.6J	Jan.5, 2008	図9-1 sysIO Banking を更新。全面的に文章・用語を校正。

付録A Synplicity® と Precision® RTL Synthesis用HDLアトリビュート

HDLアトリビュートを用いて、直接ソース内でsysIOに属性を割り当てることができます。設計者は、用いている論理合成ツール・ベンダのアトリビュート定義と構文を用いる必要があります。以下は、PrecisionとSynplifyのための全sysIOアトリビュート構文のリストと例です。このセクションはこれらデバイスのためのsysIOバッファ・アトリビュートのみを記載します。設計者は論理合成アトリビュートに関する全リストについてPrecisionとSynplifyのユーザ・マニュアルを参照して下さい。これらのマニュアルはispLEVERソフトウェア・ヘルプでも利用できます。

VHDL Synplify / Precision RTL Synthesis

PrecisionかSynplify論理合成ツールを用いる場合のため、このセクションはVHDLのすべてのsysIOアトリビュートの構文と例をリストアップします。

構文 (シンタックス)

表9-8 SynplifyとPrecisionのためのVHDLアトリビュート構文

アトリビュート (属性)	構文
IO_TYPE	attribute IO_TYPE: string; attribute IO_TYPE of Pinname: signal is "IO_TYPE Value";
OPENDRAIN	attribute OPENDRAIN: string; attribute OPENDRAIN of Pinname: signal is "OpenDrain Value";
DRIVE	attribute DRIVE: string; attribute DRIVE of Pinname: signal is "Drive Value";
PULLMODE	attribute PULLMODE: string; attribute PULLMODE of Pinname: signal is "Pullmode Value";
PCICLAMP	attribute PCICLAMP: string; attribute PCICLAMP of Pinname: signal is "PCIClamp Value"
SLEWRATE	attribute PULLMODE: string; attribute PULLMODE of Pinname: signal is "Pullmode Value";
FIXEDELAY	attribute FIXEDDELAY: string; attribute FIXEDDELAY of Pinname: signal is "Fixeddelay Value";
DIN	attribute DIN: string; attribute DIN of Pinname: signal is " ";
DOUT	attribute DOUT: string; attribute DOUT of Pinname: signal is " ";
LOC	attribute LOC: string; attribute LOC of Pinname: signal is "pin_locations";

例

IO_TYPE

```
--***Attribute Declaration***
ATTRIBUTE IO_TYPE: string;
--***IO_TYPE assignment for I/O Pin***
ATTRIBUTE IO_TYPE OF portA:    SIGNAL IS "PCI33";
ATTRIBUTE IO_TYPE OF portB:    SIGNAL IS "LVCMOS33";
ATTRIBUTE IO_TYPE OF portC:    SIGNAL IS "LVDS25";
```

OPENDRAIN

```
--***Attribute Declaration***
ATTRIBUTE OPENDRAIN: string;
--***OPENDRAIN assignment for I/O Pin***
```

ATTRIBUTE OPENDRAIN OF portB: SIGNAL IS “ON”;

PCICLAMP

--*** Attribute Declaration***

ATTRIBUTE PCICLAMP : string;

--***PCICLAMP assignment for I/O Pin***

ATTRIBUTE PCICLAMP OF portA: SIGNAL IS “ON”;

DRIVE

--*** Attribute Declaration***

ATTRIBUTE DRIVE: string;

--***DRIVE assignment for I/O Pin***

ATTRIBUTE DRIVE OF portB: SIGNAL IS “20”;

PULLMODE

--*** Attribute Declaration***

ATTRIBUTE PULLMODE : string;

--***PULLMODE assignment for I/O Pin***

ATTRIBUTE PULLMODE OF portA: SIGNAL IS “DOWN”;

ATTRIBUTE PULLMODE OF portB: SIGNAL IS “UP”;

SLEWRATE

--*** Attribute Declaration***

ATTRIBUTE SLEWRATE : string;

--*** SLEWRATE assignment for I/O Pin***

ATTRIBUTE SLEWRATE OF portB: SIGNAL IS “FAST”;

FIXEDEDELAY

--*** Attribute Declaration***

ATTRIBUTE FIXEDDELAY: string;

--*** FIXEDDELAY assignment for I/O Pin***

ATTRIBUTE FIXEDDELAY OF portB: SIGNAL IS “TRUE”;

DIN/DOUT

--*** Attribute Declaration***

ATTRIBUTE din : string;

ATTRIBUTE dout : string;

--*** din/dout assignment for I/O Pin***

ATTRIBUTE din OF input_vector: SIGNAL IS “ “;

ATTRIBUTE dout OF output_vector: SIGNAL IS “ “;

LOC

--*** Attribute Declaration***

ATTRIBUTE LOC : string;

--*** LOC assignment for I/O Pin***

ATTRIBUTE LOC OF input_vector: SIGNAL IS “E3,B3,C3 “;

Verilog / Synplify

このセクションは、Synplify合成ツールを用いる場合の、すべてのsysIOアトリビュートVerilog構文と例をリストアップします。

構文

表9-9 Verilog / Synplifyアトリビュート構文

アトリビュート	構文
IO_TYPE	PinType PinName /* synthesis IO_TYPE="IO_Type Value"*/;
OPENDRAIN	PinType PinName /* synthesis OPENDRAIN="OpenDrain Value" */
DRIVE	PinType PinName /* synthesis DRIVE="Drive Value"*/;
PULLMODE	PinType PinName /* synthesis PULLMODE="Pullmode Value"*/;
PCICLAMP	PinType PinName /* synthesis PCICLAMP="PCIClamp Value"*/
SLEWRATE	PinType PinName /* synthesis SLEWRATE="Slewrates Value"*/;
FIXEDEDELAY	PinType PinName /* synthesis FIXEDDELAY="Fixeddelay Value"*/;
DIN	PinType PinName /* synthesis DIN=" "*/;
DOUT	PinType PinName /* synthesis DOUT=" "*/;
LOC	PinType PinName /* synthesis LOC="pin_locations "*/;

例

//IO_TYPE, PULLMODE, SLEWRATE and DRIVE assignment

```
output portB /*synthesis IO_TYPE="LVCMOS33" PULLMODE ="UP" SLEWRATE ="FAST"
DRIVE ="20"*/;
output portC /*synthesis IO_TYPE="LVDS25" */;
```

// OPENDRAIN

```
input load /* synthesis OPENDRAIN="ON" */;
```

// PCICLAMP

```
output portA /* synthesis IO_TYPE="PCI33" PULLMODE="PCICLAMP"*/;
```

// Fixeddelay

```
input load /* synthesis FIXEDDELAY="TRUE" */;
```

// Place the flip-flops near the load input

```
input load /* synthesis din=" " */;
```

// Place the flip-flops near the outload output

```
output outload /* synthesis dout=" " */;
```

//IO pin location

```
input [3:0] DATA0 /* synthesis loc="E3,B1,F3"*/;
```

//Register pin location

```
reg data_in_ch1_buf_reg3 /* synthesis loc="R40C47" */;
```

//Vectored internal bus

```
reg [3:0] data_in_ch1_reg /*synthesis loc ="R40C47,R40C46,R40C45,R40C44" */;
```

Verilog / Precision

このセクションは、Precision RTL Synthesisツールを用いる場合の、すべてのsysIOアトリビュートVerilog構文と例をリストアップします。

構文

表9-10 Verilog / Precisionアトリビュート構文

アトリビュート	構文
IO_TYPE	//Precision attribute PinName IO_TYPE IO_TYPE Value
OPENDRAIN	//Precision attribute PinName OPENDRAIN OpenDrain Value
DRIVE	//Precision attribute PinName DRIVE Drive Value
PULLMODE	//Precision attribute PinName IO_TYPE Pullmode Value
PCICLAMP	//Precision attribute PinName PCICLAMP PCIClamp Value
SLEWRATE	//Precision attribute PinName IO_TYPE Slewrate Value
FIXEDELAY	//Precision attribute PinName IO_TYPE Fixeddelay Value
LOC	//Precision attribute PinName LOC pin_location

例

```

//***IO_TYPE ***
//pragma attribute portA IO_TYPE PCI33
//pragma attribute portB IO_TYPE LVCMOS33
//pragma attribute portC IO_TYPE SSTL25_II

//*** Opendrain ***
//pragma attribute portB OPENDRAIN ON
//pragma attribute portD OPENDRAIN OFF

//*** Drive ***
//pragma attribute portB DRIVE 20
//pragma attribute portD DRIVE 8

//*** Pullmode***
//pragma attribute portB PULLMODE UP

//*** PCICLAMP***
//pragma attribute portA PCICLAMP ON

//*** Slewrate ***
//pragma attribute portB SLEWRATE FAST
//pragma attribute portD SLEWRATE SLOW

// ***Fixeddelay***
//pragma attribute load FIXEDDELAY TRUE

//***LOC***
//pragma attribute portB loc E3

```


付録B デザインプランナ・ユーザGUIを用いるsysIOアトリビュート

(日本語注; 英文オリジナルは“プリファレンス・エディタ Preference Editor”とあるが、これはispLEVER6.0以降は“デザインプランナDesign Planner”と呼ばれ機能拡充された。ここでは後者の名称を使用する。)

ispLEVERツールのDesign Planner GUIを用いることでsysIOバッファ・アトリビュートを割り当てることもできます。ピン・アトリビュート (Pin Attribute) タブが、設計内の全てのポートと、プリファレンスとして指定している全sysIOアトリビュートをリストします。これらの各セルをクリックすると、そのポートに有効な全てのIOプリファレンスのリストが与えられます。特定のIO_TYPEが選ばれていると、そのIO_TYPEのために有効な組み合わせDRIVE、PULLMODE、およびSLEWRATEコラムのみをリストします。ユーザは、ピン・アトリビュート・シート内のピン・ロケーション(pin location)コラムを用いることでピン位置をロックすることができます。セル上で右クリックすると、全ての利用できるピン位置がリストされます。またデザインプランナは、不正なピン割り当てを探すためにDRCチェックを実行します。

デザインプランナのセル・アトリビュート (Cell Attributes) タブを用いることで、DIN / DOUTプリファレンスを入れることができます。デザインプランナを用いて割り当てた全てのプリファレンスは、プリファレンス・ファイル(.lpf)の中に書き出されます。

図9-2と図9-3はデザインプランナのピン・アトリビュート・タブとセル・アトリビュート・タブの概観です。デザインプランナに関する詳細については、ソフトウェアのヘルプ・メニュー・オプションにあるispLEVERヘルプ・ドキュメントを参照してください。

図9-2 ピン・アトリビュート・タブ

Type	Signal/Gr...	Group...	Pin Location	IO Type	Drive	Slewrate	Pullmode	Output Load
2	Output Port	portD(3)	N/A		N/A	N/A	N/A	
3	Output Port	portD(2)	N/A		N/A	N/A	N/A	
4	Output Port	portD(1)	N/A		N/A	N/A	N/A	
5	Output Port	portD(0)	N/A		N/A	N/A	N/A	
6	Output Port	portC(4)	A17	LVCMOS33			NONE	
7	Output Port	portC(3)	A18	BLVD525			NONE	N/A
8	Output Port	portC(2)	A19	LVCMOS25_OD			NONE	
9	Output Port	portC(1)	A20	LVCMOS15			NONE	
10	Output Port	portC(0)	A15	LVPECL33			NONE	N/A
11	Output Port	portB(4)	N/A		N/A	N/A	N/A	
12	Output Port	portB(3)	N/A		N/A	N/A	N/A	
13	Output Port	portB(2)	N/A		N/A	N/A	N/A	
14	Output Port	portB(1)	N/A		N/A	N/A	N/A	

図9-3 セル・アトリビュート・タブ

Type	Cell Name	Din / Dout	
1	FFs	ix266	Din
2	FFs	ix205	Din
3	FFs	ix212	Din
4	FFs	ix215	Din
5	FFs	ix218	Din
6	FFs	ix221	Din
7	FFs	ix224	Dout
8	FFs	ix227	Dout
9	FFs	ix230	Dout
10	FFs	ix233	Din
11	FFs	ix236	Dout
12	FFs	ix239	Din
13	FFs	ix242	Din

付録C プリファレンス・ファイル(ASCIIファイル)を用いるsysIOアトリビュート

sysIOバッファ・プリファレンスは、プリファレンス・ファイルにsysIOアトリビュートとして直接入れることもできます。プリファレンス・ファイルは2つのセクションを含むASCIIファイルです。マップやトランスレータによって作成されたスキマティック・プリファレンスのセクション、およびユーザによって入られたプリファレンスのためのユーザ・セクションです。設計者はこのファイル内のユーザ・プリファレンスを直接書くことができます。論理合成アトリビュートはプリファレンス・ファイル内のスキマティック最終行の後に、以下の構文例のようにsysIOバッファ・プリファレンス入れることができます。

IOBUF

このプリファレンスは、アトリビュートのIO_TYPE、PULLMODE、SLEWRATE、およびDRIVEを割り当てるのに用いられます。

構文

```
IOBUF [ALLPORTS | PORT <port_name> | GROUP <group_name>] (keyword=<value>)+;
```

ここで:

<port_name> = これらは実際のトップレベル・ポート名ではなく、ポートに付けられた信号名である必要があります。物理設計ファイル(.ncd)内のPIOはこの慣例(コンベンション)を用いて命名されます。複数のリスティングやワイルドカードの場合は、GROUPを用いないといけません。

キーワード = IO_TYPE, OPENDRAIN, DRIVE, PULLMODE, PCICLAMP, SLEWRATE.

例

```
IOBUF PORT "port1" IO_TYPE=LVTTL33 OPENDRAIN=ON DRIVE=8 PULLMODE=UP
PCICLAMP=OFF SLEWRATE=FAST;
DEFINE GROUP "bank1" "in*" "out_[0-31]";
IOBUF GROUP "bank1" IO_TYPE=SSTL18_II;
```

LOCATE

明示されたコンポーネントに適用されるとき、このプリファレンスは、指定されたサイトにそのコンポーネントを配置してロックします。指定されたマクロ・インスタンスに適用される場合、(1)マクロの参照コンポーネントを指定されたサイトに配置し、(2)マクロ内のライブラリ・ファイルに事前に配置された全てのコンポーネントをサイトに配置し、そして(3)これらのコンポーネントのすべてをそのサイトにロックします。また、これは指定されたPGROUPにも適用することができます。

構文

```
LOCATE [COMP <comp_name> | MACRO <macro_name>] SITE <site_name>;
LOCATE PGROUP <pgroup_name> [SITE <site_name>; | REGION <region_name>;]
LOCATE PGROUP <pgroup_name> RANGE <site_1> [<site_2> | <count>] [<direction>] | RANGE
<chip_side> [<direction>];
LOCATE BUS <bus_name> ROW|COL <number>;
<bus_name> := string
<number> := integer
```

注 ; comp_name、macro_name、あるいはsite_nameがアルファ・キャラクタ以外の何か(例えば、"11C7")で始まる場合、名前をクォート記号で囲まなければなりません。ワイルドカード表記は<comp_name>で許容されています。

例

このコマンドはポートCik0をサイトA4に置きます。

```
LOCATE COMP "Cik0" SITE "A4";
```

このコマンドはコンポーネントPFU1をサイトにR1C7置きます。

```
LOCATE COMP "PFU1" SITE "R1C7";
```

このコマンドはbus1をROW 3に、bus2をCOL4に置きます。

```
LOCATE BUS "bus1" ROW 3;
LOCATE BUS "bus2" COL 4;
```

USE DIN CELL

このプリファレンスは、入力フリップフロップとして用いる特定のレジスタを指定します。

構文

```
USE DIN CELL <cell_name>;
```

ここで: <cell_name> := string

例

```
USE DIN CELL "din0";
```

USE DOUT CELL

出力フリップフロップとして用いる特定のレジスタを指定します。

構文

```
USE DOUT CELL <cell_name>;
```

ここで: <cell_name> := string

例

```
USE DOUT CELL "dout1";
```

PGROUP VREF

このプリファレンスは、バンク内の1本のV_{REF} ピンに関連づけられる必要があるすべてのコンポーネントをグループ化するのに用いられます。

構文

```
PGROUP <pgrp_name> [(VREF <vref_name>)+] (COMP <comp_name>)+;
LOCATE PGROUP <pgrp_name> BANK <bank_num>;
LOCATE VREF <vref_name> SITE <site_name>;
```

例

```
PGROUP "vref_pg1" VREF "ref1" COMP "ah(0)" COMP "ah(1)" COMP "ah(2)" COMP "ah(3)" COMP
"ah(4)" COMP "ah(5)" COMP "ah(6)" COMP "ah(7)";
PGROUP "vref_pg2" VREF "ref2" COMP "al(0)" COMP "al(1)" COMP "al(2)" COMP "al(3)" COMP "al(4)"
COMP "al(5)" COMP "al(6)" COMP "al(7)";
LOCATE VREF "ref1" SITE PR29C;
LOCATE VREF "ref2" SITE PR48B;
```

または

```
LOCATE PGROUP " vref_pg1" BANK 2;
LOCATE PGROUP " vref_pg2" BANK 2;
```

